

Fortschritt-Berichte VDI

VDI

Reihe 21

Elektrotechnik

Nr. 419

Dipl.-Ing. Christian Bödeker,
Bremen

Extrinsische und intrinsische Beeinflussungen des Verhaltens von Siliziumkarbid- Leistungshalbleiter- bauelementen



Berichte des Instituts für elektrische
Antriebe, Leistungselektronik und
Bauelemente der Universität Bremen

Extrinsische und intrinsische Beeinflussungen des Verhaltens von Siliziumkarbid-Leistungshalbleiterbauelementen

Vom Fachbereich für Physik und Elektrotechnik
der Universität Bremen

zur Erlangung des akademischen Grades eines

Doktor-Ingenieur (Dr.-Ing.)

genehmigte Dissertation

von

Dipl.-Ing. Christian Bödeker

aus Bremen

Referent: Prof. Dr.-Ing. Nando Kaminski
Korreferent: Prof. Dr.-Ing. Josef Lutz

Eingereicht am: 09.03.2018
Tag des Promotionskolloquiums: 18.09.2018

Fortschritt-Berichte VDI

Reihe 21

Elektrotechnik

Dipl.-Ing. Christian Bödeker,
Bremen

Nr. 419

Extrinsische und
intrinsische
Beeinflussungen des
Verhaltens von
Siliziumkarbid-
Leistungshalbleiter-
bauelementen



Berichte des Instituts für elektrische
Antriebe, Leistungselektronik und
Bauelemente der Universität Bremen

Bödeker, Christian

Extrinsische und intrinsische Beeinflussungen des Verhaltens von Siliziumkarbid-Leistungshalbleiterbauelementen

Fortschr.-Ber. VDI Reihe 21 Nr. 419. Düsseldorf: VDI Verlag 2019.

184 Seiten, 179 Bilder, 18 Tabellen.

ISBN 978-3-18-341921-0, ISSN 0178-9481,

€ 67,00/VDI-Mitgliederpreis € 60,30.

Für die Dokumentation: Siliziumkarbid – parasitäre Elemente – Streuinduktivität – Messwiderstand – thermische Stabilität – statisches und dynamisches Verhalten – Halbleitergehäuse – Kelvin-Source-Anschluss – Kurzschlussverhalten – Überspannungsschutz

Die vorliegende Arbeit beschäftigt sich mit dem Verhalten von Halbleitern aus Siliziumkarbid (SiC). Zunächst werden die Auswirkungen par. Elemente betrachtet. Es wird u.a. der planare M-Shunt untersucht. Die Charakterisierung der Halbleiter wird mit stat. und dyn. Messmethoden durchgeführt. Der Sperrbetrieb der Dioden wird im Hinblick auf therm. Stabilität untersucht und bei der dyn. Charakterisierung werden die Überspannung sowie die Ladung bestimmt. Bei den stat. Messungen der Transistoren wird das Verhalten hinsichtlich verschiedener Transistorarten sowie herstellerbedingter Unterschiede aufgezeigt. Die dyn. Vermessung der Transistoren umfasst eine Analyse des Einflusses der Ansteuerparameter, der Gehäuse, der Sperrsichtstemperatur und unterschiedlicher Dioden auf das Schaltverhalten. Des Weiteren werden die Zerstörungsgrenzen von SiC-MOSFETs und die Anwendbarkeit von Überspannungsschutzbeschaltungen auf SiC-MOSFETs analysiert.

Bibliographische Information der Deutschen Bibliothek

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliographie; detaillierte bibliographische Daten sind im Internet unter www.dnb.de abrufbar.

Bibliographic information published by the Deutsche Bibliothek

(German National Library)

The Deutsche Bibliothek lists this publication in the Deutsche Nationalbibliographie (German National Bibliography); detailed bibliographic data is available via Internet at www.dnb.de.

Dissertation Universität Bremen

© VDI Verlag GmbH · Düsseldorf 2019

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe (Fotokopie, Mikrokopie), der Speicherung in Datenverarbeitungsanlagen, im Internet und das der Übersetzung, vorbehalten.

Als Manuskript gedruckt. Printed in Germany.

ISSN 0178-9481

ISBN 978-3-18-341921-0

Verlags-Innentitel (gestaltet vom Verlag)

Impressumseite (gestaltet vom Verlag)

Vorwort

Die Grundlage für die vorliegende Arbeit wurde im Rahmen meiner Anstellung am Institut für elektrische Antriebe, Leistungselektronik und Bauelemente (IALB) der Universität Bremen im Zeitraum zwischen September 2010 und November 2017 gelegt. Die Tätigkeit am IALB hat mir die Gelegenheit gegeben, Forschungsergebnisse zu erzielen, welche in eine Vielzahl an Veröffentlichungen und darüber hinaus auch in diese Arbeit eingegangen sind. Hierbei hat die Arbeit unter anderem Unterstützung vom European Center for Power Electronics e. V. (ECPE) im Zusammenhang mit dem Projekt „Current Measurement with Low-inductive Planar Shunts“ erfahren, das im Rahmen des „ECPE Joint Research Programme“ gefördert wurde. Einige der Veröffentlichungen sind durch Kooperationen mit Industriepartnern beziehungsweise der Unterstützung von Firmen entstanden. Hierbei ist im Speziellen Dr. Jeffrey B. Cassidy, Edgar Ayerbe und Cam Pham von Wolfspeed, Dr. Ranbir Singh von GeneSiC, Dr. Martin Domeij von ON Semiconductor sowie der Firma Isabellenhütte Heusler ein Dank für die Versorgung mit Materialien und auch Informationen auszusprechen.

Bei meinem Doktorvater Herrn Prof. Dr.-Ing. Nando Kaminski sowie Herrn Prof. Dr.-Ing. Josef Lutz möchte ich mich für die Übernahme der Gutachten zu dieser Arbeit bedanken. Des Weiteren gilt mein Dank Herrn Prof. Dr.-Ing. Nando Kaminski, Herrn Prof. Dr. phil. nat. Dieter Silber und natürlich allen Kolleginnen und Kollegen beider Arbeitsgruppen des IALBs für die vielen hilfreichen und wertvollen Diskussionen. Insbesondere sind diesbezüglich Melanie Adelmund, Alexander Würfel, Michael Hanf, Matthias Joost und Jacek Borecki hervorzuheben. Ferner sei Dr.-Ing. Tobias Appel (ehemals Universität Rostock) für einige hilfreiche Hinweise gedankt.

Die zahlreichen betreuten studentischen Arbeitsvorhaben an der Universität Bremen haben selbstverständlich auch zur vorliegenden Arbeit beigetragen. Hierfür danke ich allen von mir betreuten Studentinnen und Studenten recht herzlich. Ebenfalls möchte ich mich bei allen Studenten bedanken, die im Rahmen einer Anstellung als Hilfskraft beigetragen haben.

Ein weiterer großer Dank gilt Elke Krüger, Melanie Adelmund, Michael Hanf und Alexander Würfel für die Durchsicht der Rohfassung der Arbeit auf Fehler.

Zu guter Letzt möchte ich meinen Eltern ganz herzlich für die jahrelange Unterstützung während des Studiums und der anschließenden Zeit der Promotion danken.

Inhalt

Vorwort.....	III
Inhalt.....	V
Formelzeichen und Abkürzungen.....	VII
Kurzfassung.....	XIII
Abstract	XIV
1 Einleitung.....	1
2 Grundlagen der Siliziumkarbid-Bauelemente	3
2.1 Materialeigenschaften	3
2.2 Siliziumkarbid-Bauelemente	5
2.2.1 pin-Diode.....	5
2.2.2 Schottky-Diode	6
2.2.3 Bipolartransistor (BJT).....	8
2.2.4 Sperrsichtfeldeffektransistor (JFET)	11
2.2.5 Metall-Oxid-Halbleiter-Feldeffektransistor (MOSFET)	14
2.3 Parasitäre Elemente.....	17
3 Messtechnik.....	21
3.1 Schaltversuche	21
3.1.1 Doppelpulsversuch.....	22
3.1.2 Kurzschlussversuch.....	24
3.1.3 Messplatzkonzept	25
3.1.4 Schaltverläufe und deren Auswertung.....	27
3.2 Strommessung über einen Widerstand.....	31
3.2.1 Koaxialer Messwiderstand (Koaxialshunt)	35
3.2.2 Hair-pin-Shunt	40
3.2.3 M-Shunt.....	43
3.2.4 PCB-M-Shunt	47
3.2.5 Messwiderstände im Überblick.....	48
3.3 Lastinduktivitäten für Messaufbauten	49
4 Sperr- und Schaltverhalten von Dioden	53
4.1 Thermische Stabilität von 0,6 kV bis 1,7 kV Dioden im Sperrbetrieb.....	53
4.1.1 Selbsterwärmung und thermisches Weglaufen	53
4.1.2 Leckströme	55
4.1.3 Ermittlung der Verdopplungstemperaturdifferenzen der Leckströme.....	61
4.1.4 Anwendung des Stabilitätskriteriums	67
4.1.5 Lawinendurchbruch in SiC im Vergleich mit Silizium und Galliumnitrid	69

4.2	Schaltverhalten von 1,2 kV Dioden	71
4.2.1	Einschaltverhalten	74
4.2.2	Ausschaltverhalten	77
5	Durchlass- und Schaltverhalten von Transistoren	82
5.1	1,2 kV BJT	83
5.1.1	Durchlassverhalten	83
5.1.2	Schaltverhalten	84
5.2	1,2 kV JFET	87
5.3	1,2 kV MOSFET	89
5.3.1	Durchlassverhalten	89
5.3.2	Schaltverhalten	94
5.4	3,3 kV MOSFET	114
5.4.1	Durchlassverhalten	115
5.4.2	Schaltverhalten	116
5.5	Zerstörungsgrenzen beim Kurzschluss	117
5.6	Überspannungsschutz	126
5.6.1	Active Clamping	128
5.6.2	Dynamic Voltage Rise Control	129
5.6.3	Dynamic Active Clamping	133
6	Zusammenfassung	138
7	Anhang	141
7.1	Darstellung des Messplatzes	141
7.2	Wichtige Komponenten zur Durchführung der Schaltversuche	142
7.3	Darstellung der Messplatten für vergleichende Messungen	143
7.4	Technische Zeichnung des erstellten Simulationsmodells vom Koaxialshunt	144
7.5	SiC-BJT: Schaltgeschwindigkeiten in Abhängigkeit von I_C und T_J	145
7.6	SiC-MOSFET: Schaltverläufe in Abhängigkeit von $C_{GS,ext}$	146
7.7	SiC-MOSFET: Schaltgeschwindigkeiten in Abhängigkeit von $C_{GS,ext}$ und T_J	147
7.8	SiC-MOSFET: Simulationsmodell	148
8	Literaturverzeichnis	149
8.1	Fachliteratur	149
8.2	Datenblätter und Bedienungsanleitungen	160
8.3	Betreute studentische Arbeitsvorhaben	164

Formelzeichen und Abkürzungen

Formelzeichen/ Abkürzung	Bedeutung
A	Chipdicke
A^*	Richardson-Konstante
A_{aktiv}	Aktive Fläche des Chips
AC	Active Clamping
A_{Chip}	Gesamtfläche eines Chips
A_{Diode}	aktive Fläche der Diode
A_{Spule}	Fläche einer Spule
B	Stromverstärkung
b	Breite
BJT	Bipolar Junction Transistor, Bipolartransistor
BV	Breakdown Voltage, Durchbruchspannung
C	Kapazität
C_{DC}	Zwischenkreiskapazität
C_{DS}	Drain-Source-Kapazität
C_{GD}	Gate-Drain-Kapazität, Miller-Kapazität
C_{GS}	Gate-Source-Kapazität
$C_{\text{GS,ext}}$	externe Gate-Source-Kapazität
C_{iss}	Eingangskapazität eines MOSFETs
C_j	Sperrschichtkapazität
C_{komp}	Kapazität des Kompensationsnetzwerks
C_{koppel}	Koppelkapazität
$C_{\text{L,par}}$	parasitäre Induktivität der Lastinduktivität
C_{oss}	Ausgangskapazität des MOSFETs
C_{ox}	Oxid-Kapazität
C_s	Speed-Up-Kondensator
C_{th}	spezifische Wärmekapazität
C_{th}	Wärmekapazität, thermische Kapazität
C_σ	parasitäre Kapazität
d	Dicke, Schichtdicke
d_{Chip}	Chipdicke
d_{Epitaxie}	Epitaxieschichtdicke
d_{Wafer}	Wafer-Dicke
D	Diode
DAC	Dynamic Active Clamping
D_F	Freilaufdiode
D_p	Diffusionskoeffizient von Löchern
D_{Spule}	Durchmesser einer Spule
DVRC	Dynamic Voltage Rise Control
E	elektrische Feldstärke

E	Energie, Schaltenergie
E_{aus}	Ausschaltenergie
E_{Chip}	in einen Chip eingebrachte Energie
E_{ein}	Einschaltenergie
E_{Epitaxie}	in die Epitaxieschicht eines Chips eingebrachte Energie
E_{ges}	Gesamtenergie
E_{krit}	kritische elektrische Feldstärke
ECPE	European Center for Power Electronics e. V.
f	Frequenz
f_{Mess}	Messfrequenz
f_N	Faktor für Spuleninduktivität
$f_{\text{res,Spule}}$	Resonanzfrequenz einer Spule, Resonanzfrequenz einer Lastinduktivität
f_{Signal}	Signalfrequenz
g_{fs}	Transkonduktanz
H	magnetische Feldstärke
h	Plancksches Wirkungsquantum
h_{FE}	Stromverstärkung
HP-Shunt	Hair-pin-Shunt
i	intrinsisches Halbleitergebiet
I, i	Strom
IALB	Institut für elektrische Antriebe, Leistungselektronik und Bauelemente
I_B, i_B	Basisstrom
I_C, i_C	Kollektorstrom
$I_{\text{ca}}, i_{\text{ca}}$	Strom durch Kapazität
I_D, i_D	Drain-Strom
$i_{D,\text{Leck}}$	Drain-Source-Leckstrom
$i_{\text{DSC}}, i_{\text{DSC}}$	Drain-Strom im Kurzschlussfall
$i_{\text{DSC,max}}, i_{\text{DSC,max}}$	maximaler Drain-Strom im Kurzschlussfall
i_E, i_E	Emitterstrom
I_F, i_F	Strom durch Freilaufdiode
I_G, i_G	Gate-Strom
$i_{G,\text{Leck}}$	Gate-Leckstrom
IGBT	Insulated Gate Bipolar Transistor
i_{komp}	Strom durch ein Kompensationsnetzwerk
I_L, i_L	Strom durch Lastinduktivität
I_{Nenn}	Nennstrom
I_R	Leckstrom
i_{Referenz}	Strom eines Referenzshunts
i_{RR}	Rückstrom
i_{RRM}	Rückstromspitze
I_S, i_S	Source-Strom
$I_{\text{SC}}, i_{\text{SC}}$	Kurzschlussstrom
i_{Shunt}	Shuntstrom

I_{Test}	Teststrom
J, j	Stromdichte
JFET	Junction Field Effekt Transistor, Sperrschiichtfeldeffekttransistor
J_F, j_F	Stromdichte im Durchlassbetrieb einer Diode
$J_{\text{Generation}}$	Generationsleckstromdichte
J_R, j_R	Leckstromdichte
J_S	Diffusionsleckstromdichte
J_{TFE}	Leckstrom durch thermionische Feldemission
k_B	Boltzmann-Konstante
K_{XY}	Koppelfaktor der Induktivitäten L_x und L_y mit der Gegeninduktivität M_{XY}
l	Länge
L_{Kanal}	Kanallänge
l_{Spule}	Länge der Spule
L	Induktivität
L^a	äußere Induktivität zwischen zwei Leitern (koaxiale Anordnung)
L_B	Basis-Induktivität
L_C	Kollektor-Induktivität
L_D	Drain-Induktivität
L_E	Emitter-Induktivität
L_G	Gate-Induktivität
L_i^i	innere Induktivität eines äußeren Leiters (koaxiale Anordnung)
L_i^i	innere Induktivität eines Leiters (koaxiale Anordnung)
$L_{i,\text{hohl}}^i$	innere Induktivität eines inneren hohlen Leiters (koaxiale Anordnung)
$L_{i,\text{massiv}}^i$	innere Induktivität eines inneren massiven Leiters (koaxiale Anordnung)
L_{KS}	Kelvin-Source-Induktivität
L_L	Lastinduktivität, Lastspule
L_{Mess}	Induktivität des Messkreises
L_s	Source-Induktivität
L_{Shunt}	Induktivität eines Shunts, Streuinduktivität eines Shunts
$L_{\text{Shunt},\text{ber}}$	berechnete Induktivität eines Shunts
$L_{\text{Shunt},\text{ideal}}$	ideale Induktivität eines Shunts
$L_{\text{Shunt},\text{sim}}$	simulierte Induktivität eines Shunts
L_o	parasitäre Induktivität, Streuinduktivität
$L_{o,\text{Diode}}$	Induktivität zwischen Dioden-Chip und Gehäuseanschlüssen
M	Metall-Oxid-Halbleiter-Feldeffekttransistor
m	Masse
m	effektive Elektronenmasse
m_0	Elektronenmasse
m_{Chip}	Chipmasse
M_{MESS}	Gegeninduktivität des Messkreises
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor
n	Anzahl der Messpunkte zur Filterung mittels gleitender Mittelwertbildung
n, n^-, n^+	n-dotiertes Halbleitergebiet

N_D	Dichte der Donatoren
n_i	intrinsische Ladungsträgerdichte
n_w	Windungszahl
p, p^-, p^+	p-dotiertes Halbleitergebiet
PCB	Printed Circuit Board, Leiterplatte
P_R	Verlustleistung im Sperrbetrieb
P_{SC}	Verlustleistung während eines Kurzschlusses
P_{Shunt}	umgesetzte Verlustleistung in einem Shunt
P_V	Verlustleistung
q	Elementarladung
Q	Bipolartransistor
Q_C	Sperrsichtladung
Q_{RR}	Sperrverzögerungsladung
Q_{th}	Wärmemenge
r	Radius
R	Widerstand
$R_{Abschluss}$	Abschlusswiderstand
R_B	Basis-Widerstand
$r_{CE,on}$	Durchlasswiderstand eines BJTs
r_{on}	spezifischer Widerstand
$r_{CE,on}$	spezifischer Durchlasswiderstand eines BJTs
$r_{DS,on}$	spezifischer Durchlasswiderstand eines MOSFETs beziehungsweise eines JFETs
$R_{DS,on}$	Durchlasswiderstand eines MOSFETs beziehungsweise eines JFETs
R_G	Gate-Widerstand
$R_{G,ext}$	externer Gate-Widerstand
$R_{G,int}$	interner Gate-Widerstand
$R_{G,ges}$	Gesamt-Gate-Widerstand
R_{Koax}	Widerstand eines Koaxialshunts
R_{komp}	Widerstand eines Kompensationsnetzwerks
$R_{Kontakt}$	Kontaktwiderstand, Übergangswiderstand
R_{min}	Mindestwiderstand im Ansteuerkreis
R_S	Widerstand im Speed-Up-Zweig einer Ansteuerschaltung
R_{Shunt}	Widerstand eines Shunts
$R_{Shunt,Ref}$	Widerstand eines Referenzshunts
$R_{th,JA}$	thermischer Widerstand zwischen Sperrsicht und Umgebung
SC	Short Circuit, Kurzschluss
Si	Silizium
SiC	Siliziumkarbid
S_{Shunt}	Standardabweichung von L_{Shunt}
T	Transistor
T	Temperatur
T_A	Umgebungstemperatur
$T_{A,0}$	Umgebungstemperatur

$T_{A,krit}$	kritische Umgebungstemperatur
T_J	Sperrsichttemperatur
$T_{J,ini}$	initiale Sperrsichttemperatur
TC	Temperaturkoeffizient
t	Zeit
t_{SC}	Kurzschlusszeit beziehungsweise -dauer
$t_{SC,krit}$	kritische Kurzschlusszeit beziehungsweise -dauer
$t_{\Delta E}$	Zeitdauer, in der Energie entnommen wird
U_{BE}, U_{BE}	Basis-Emitter-Spannung
U_{CB}, U_{CB}	Kollektor-Basis-Spannung
U_{CE}, U_{CE}	Kollektor-Emitter-Spannung
U_{DC}	Zwischenkreisspannung
U_{DS}, U_{DS}	Drain-Source-Spannung
$U_{DS,ein}$	Drain-Source-Spannung im Durchlassfall
U_{FRM}	Durchlassverzögerungsspannung
U_{GKS}	Gate-Kelvin-Source-Spannung
U_{GS}, U_{GS}	Gate-Source-Spannung
$U_{GS,Miller}$	Spannung des Miller-Plateaus
U_{komp}, U_{komp}	kompensiertes Spannungssignal
$U_{Kontakt}$	Kontaktspannung
$U_{korrigiert}$	korrigiertes Spannungssignal
U_L	induktiver Spannungsanteil im Messsignal
U_{Lo}, U_{Lo}	Überspannung an Induktivität
U_Q	Quellenspannung
$U_{Q,erhöht}$	erhöhte Quellenspannung
U_R	ohmscher Spannungsanteil im Messsignal
U_R	Sperrspannung
$U_{R,max}$	maximale Sperrspannung beziehungsweise Sperrfähigkeit
U_S	Spannung an der Induktivität L_S
U_{Shunt}	Spannung am Shunt, Messspannung am Shunt
U_{Signal}	Signalspannung
U_{th}	Schwellenspannung
$U_{Treiber}, U_{Treiber}$	Treiberspannung
$U_{o,Diode}$	von $L_{o,Diode}$ bedingte Spannung
V_{Chip}	Chipvolumen
V_{sat}	Sättigungsgeschwindigkeit
W	Weite
w	Driftgebiete weite
W_g	Bandlücke
W_{RLZ}	Weite der Raumladungszone, Weite der Sperrsicht
Z	Wellenwiderstand
α	Temperaturkoeffizient
α_{20}	Temperaturkoeffizient eines Widerstandsmaterials bei 20 °C

α_T	Transportfaktor
γ	Emitter-Effizienz
δ	Eindringtiefe
ΔE	Energiedifferenz, Energieentnahme
$\Delta E_{SC,krit}$	Differenz zweier kritischer Kurzschlussenergien
ΔR_{Shunt}	Widerstandsänderung
ΔT	Temperaturänderung
ΔT_d	Verdopplungs temperaturdifferenz
ΔT_J	Sperrsichttemperaturänderung
ΔU	Spannungsversatz
ΔU_{DC}	Abfall der Zwischenkreisspannung
ϵ	Dielektrizitätskonstante
ϵ_R	relative Permittivität
Θ	Durchflutung
λ	Wärmeleitfähigkeit
μ	Permeabilität
μ_0	Permeabilitätskonstante
μ_r	relative Permeabilität
μ_n	Elektronenbeweglichkeit
μ_n^*	Elektronenbeweglichkeit im Kanal
μ_p	Löcherbeweglichkeit
ρ	spezifischer elektrischer Widerstand
ρ	Dichte eines Materials
ρ_{20}	spezifischer Widerstand eines Materials bei 20 °C
σ	Leitfähigkeit
τ_g	Generationsträgerlebensdauer
τ_p	Lebensdauer der Löcher
φ_B	Barrierenhöhe
ω	Kreisfrequenz

Kurzfassung

Die vorliegende Arbeit beschäftigt sich mit den extrinsischen - somit von der Gehäuse- sowie Schaltungsumgebung bedingten - und den intrinsischen - also vom Chip herrührenden - Beeinflussungen des Verhaltens von Leistungshalbleiterbauelementen aus Siliziumkarbid (SiC). Zunächst werden deren strukturelle Eigenschaften und die Auswirkungen parasitärer Elemente allgemein betrachtet. Anschließend erfolgt eine Zusammenfassung der für die Charakterisierung verwendeten Messschaltungen sowie der durch notwendige Bestandteile der Schaltung eingebrachten parasitären Elemente. Es wird dabei unter anderem der planare M-Shunt, der mit dem Koaxialshunt verwandt ist, untersucht. Den Messergebnissen zufolge weist der M-Shunt - wie angestrebt - eine deutlich geringere Streuinduktivität auf als der häufig in Messschaltungen genutzte Koaxialshunt. Die Charakterisierung der SiC-Dioden und SiC-Transistoren wird mittels statischer und dynamischer Messmethoden, das heißt mit unterschiedlichen Kennlinienschreibern und einem Doppelpulsmessplatz, durchgeführt. Der Sperrbetrieb der Dioden wird im Hinblick auf die thermische Stabilität untersucht und die Leckströme werden in Abhängigkeit der Sperrsichttemperatur beschrieben. Ein wesentliches Ergebnis der Messungen ist, dass die thermische Stabilität der SiC-Dioden nur unter atypischen Umgebungsbedingungen hinterfragt werden muss beziehungsweise gefährdet ist. Demgegenüber werden bei der dynamischen Charakterisierung der Dioden die Einschaltüberspannung sowie die zu extrahierende Ladung beim Ausschalten bestimmt. Abschließend werden die ermittelten Kenngrößen jeweils mit den entsprechenden Werten von Silizium-Dioden verglichen. Bei den statischen Messungen der SiC-Transistoren wird das Durchlassverhalten hinsichtlich verschiedener Transistorarten sowie herstellerbedingter Unterschiede beim SiC-MOSFET aufgezeigt. Die dynamische Vermessung der Transistoren umfasst eine Analyse des Einflusses der Ansteuerparameter, der Gehäuse, der Sperrsichttemperatur und unterschiedlicher SiC-Freilaufdioden auf das Schaltverhalten beziehungsweise auf die Schaltenergien. Mit Hilfe der Messungen lässt sich unter anderem quantitativ zeigen, wie groß der Vorteil von mit Kelvin-Source-Anschluss ausgestatteten Gehäusen gegenüber klassischen Gehäusen wie dem TO-247-3L-Gehäuse ist. Allerdings wird anhand ergänzend durchgeföhrter Simulationen auch ersichtlich, dass es bei den mit einem Kelvin-Source-Anschluss aufgewerteten Gehäusen zu neuen Beeinflussungen beziehungsweise auch Einschränkungen kommt, da diese zum Teil in der verwendeten Schaltung eine Zunahme der Streuinduktivitäten hervorrufen. Des Weiteren werden die Zerstörungsgrenzen von SiC-MOSFETs untersucht und das Kurzschlussverhalten beschrieben. Abschließend wird die Anwendbarkeit unterschiedlicher Überspannungsschutzbeschaltungen auf SiC-MOSFETs analysiert. Hierbei zeigt sich, dass insbesondere die von Silizium-IGBTs bekannte Dynamic Active Clamping-Beschaltung auch bei SiC-MOSFETs zu guten Ergebnissen führt.

Abstract

The present work deals with the extrinsic - thus dependent on the package and the surrounding circuit - and the intrinsic - thus caused by the chip - effects on the behaviour of silicon carbide (SiC) power semiconductor devices. First, their structural properties and the effects of parasitic elements are generally considered. This is followed by a summary of the measuring circuits used for the characterisation as well as the parasitic elements introduced by necessary components of the circuit. Among other things, the planar M-shunt is investigated, which is related to the coaxial shunt. According to the measurement results, the M-shunt has - as desired - a significantly lower stray inductance than the coaxial shunt that is frequently used in measurement circuits. The characterisation of the SiC diodes and SiC transistors is carried out by means of static and dynamic measuring methods, i. e. with different curve tracers and a double pulse test bench. The blocking operation of diodes is examined regarding the thermal stability and the leakage currents are described as a function of the junction temperature. An essential result of the measurements is that the thermal stability of SiC diodes only has to be questioned under atypical environmental conditions and is endangered under these, respectively. In contrast, by dynamic characterisation of the diodes, the turn-on overvoltage and the charge to be extracted during turn-off are determined. Finally, the investigated values are compared with the corresponding values of silicon diodes. Static measurements of SiC transistors show the on-state behaviour regarding different transistor types as well as manufacturer specific differences for SiC-MOSFETs. The dynamic characterisation of the transistors comprises an analysis of the impact of the drive parameters, the housing, the junction temperature and different SiC freewheeling diodes on the switching behaviour and the switching energies, respectively. The measurements show i. a. quantitatively the great advantage of housings with Kelvin source connection over the classical TO-247-3L housing. However, based on additional simulations, it becomes apparent that new influences and restrictions arise due to the usage of the housings with Kelvin source connection, since in some cases these lead to higher stray inductances in the used circuit. Furthermore, the destruction limits of SiC-MOSFETs are investigated and the short-circuit behaviour is described. Finally, the application of different overvoltage protection circuits to SiC-MOSFETs is analysed. It is shown that in particular the dynamic active clamping circuit, which is known from silicon IGBTs, leads also to good results for SiC-MOSFETs.

1 Einleitung

Leistungshalbleiterbauelemente aus Siliziumkarbid (SiC) zeichnen sich durch eine verbesserte Leistungsfähigkeit gegenüber Silizium-Bauelementen aus. Die Begründung liegt in der großen Bandlücke des Materials SiC. Seit dem Aufkommen erster kommerzieller SiC-Leistungshalbleiterbauelemente hat es eine stetige Weiterentwicklung gegeben. Nachdem anfangs unterschiedliche Bauteilkonzepte für Transistoren von neuen als auch etablierten Halbleiterherstellern verfolgt wurden, hat sich der Markt in den letzten Jahren bereinigt. Der SiC-Metall-Oxid-Halbleiterfeldeffekttransistor (SiC-MOSFET) ist das beherrschende Bauelement im Bereich der Transistoren in der Spannungsklasse von 1,2 kV und hat sich nach Widerlegung der Bedenken in Hinblick auf den langfristigen Einsatz gegenüber dem SiC-Bipolartransistor (SiC-BJT) und dem SiC-Sperrschiichtfeldeffekttransistor (SiC-JFET) durchgesetzt. Im Segment der kommerziellen SiC-Dioden ist die SiC-Schottky-Diode aufgrund der Unipolarität und der niedrigen Durchlassspannung das dominierende Bauteil, wobei unterschiedliche Auslegungen der SiC-Schottky-Diode existieren. Mit der vorliegenden Arbeit soll ein Überblick über die extrinsischen - von der Schaltumgebung verursachten - sowie die intrinsischen - von dem selbst Halbleiterbauelement verursachten - Einflüsse auf das Verhalten von SiC-Leistungshalbleitern gegeben werden.

Die Transistoren und Dioden stehen in Wechselwirkung mit ihrer Schaltungsumgebung. Das heißt parasitäre und bewusst eingebrachte Elemente beeinflussen das Verhalten der SiC-Bauelemente, wobei die Leistungshalbleiter durch die intrinsischen Eigenschaften im Betrieb auch Auswirkungen auf weitere aktive und passive Komponenten haben. Deshalb werden in Abschnitt 2 zunächst die strukturellen Eigenschaften der in dieser Arbeit untersuchten Leistungshalbleiter sowie die wichtigsten parasitären Elemente und deren Auswirkung auf das Schaltverhalten betrachtet.

Die Voraussetzungen für die messtechnische Untersuchung der Transistoren und Dioden werden in Abschnitt 3 dargelegt. Im Speziellen wird auf die Minimierung der parasitären Induktivitäten von Messwiderständen und parasitären Kapazitäten von Lastinduktivitäten eingegangen. Es erfolgt eine Analyse verschiedener Messwiderstandsstrukturen, wobei der in der Messtechnik weitverbreitete Koaxialshunt als Referenz verwendet wird. Im Hinblick auf die bei dynamischen Schaltversuchen eingesetzten Spinnwebspulen wird deren parasitäre Kapazität an einer segmentierten Spule gemessen und strukturbezogen bewertet.

In Abschnitt 4 wird zunächst der Sperrbetrieb von SiC-Dioden im Hinblick auf die thermische Stabilität und die somit gegebene Relevanz dieses Betriebspunkts für leistungselektronische Systeme betrachtet. Des Weiteren werden die durch die SiC-Dioden selbst verursachten parasitären Effekte während des Schaltbetriebs untersucht. Alle Ergebnisse zum Sperr- und Schaltverhalten der SiC-Dioden werden mit denen von Silizium-pin-Dioden verglichen.

Eine Analyse des Verhaltens von SiC-Transistoren wird in Abschnitt 5 vorgenommen. Damit ein Vergleich zu anderen Bauteilkonzepten durchgeführt werden kann, wird neben dem SiC-MOSFET kurz auf den SiC-BJT und den SiC-JFET eingegangen. Der SiC-MOSFET wird im

Detail hinsichtlich des Einflusses der Ansteuerung, der Sperrschichttemperatur, des Gehäuses und der verwendeten Freilaufdiode vermessen. Im Weiteren werden die Belastungsfähigkeit eines SiC-MOSFETs anhand von Kurzschlussversuchen betrachtet und die Einsatzmöglichkeiten von bekannten Überspannungsschutzbeschaltungen aus dem Bereich der Silizium-IGBT-Module erörtert. Einen Ausblick auf höhersperrende Leistungshalbleiterbauelemente geben abschließend die Durchlass- und Schaltversuche an einem 3,3 kV SiC-MOSFET.

2 Grundlagen der Siliziumkarbid-Bauelemente

Das Grundlagenkapitel soll für die im Rahmen dieser Arbeit durchgeführten Untersuchungen beziehungsweise Betrachtungen in Abschnitt 2.1 die wichtigsten Eigenschaften von SiC als Halbleitermaterial - wie zum Beispiel auch ähnlich in [Bali08] [Lutz12] [KiCo14] beschrieben - sowie in Abschnitt 2.2 die SiC-typischen Eigenschaften der jeweiligen Leistungshalbleiterbauelemente zusammenfassen. Die exakte Funktionsweise der in Abschnitt 2.2 vorgestellten Halbleiterbauelemente wurde hinreichend in Lehr- und Applikationshandbüchern wie beispielsweise [Sze02] [Reis05] [Bali08] [Lutz12] [KiCo14] [VoHo12] diskutiert. Aus diesem Grund soll an dieser Stelle auf eine weitreichende Erklärung der generellen Funktionsweise verzichtet werden. Es erfolgt lediglich eine zusammenfassende Betrachtung beziehungsweise Darstellung der konkreten Strukturen der Halbleiterbauelemente und deren spezifischer Eigenschaften. Auch wird ein Einblick in die Ansteuerung von Transistoren gegeben. Im Weiteren wird aufgeführt, wie parasitäre Elemente sich im Speziellen auf das Schaltverhalten auswirken.

2.1 Materialeigenschaften

Die grundlegenden Parameter des Halbleitermaterials SiC sind im Vergleich zu Silizium in Tabelle 2.1 aufgeführt. Diese Parameter definieren das Durchlass-, Sperr- und Schaltverhalten sowie das damit in Verbindung stehende Temperaturverhalten der in SiC realisierten Halbleiterbauelemente.

Entscheidend für die Höhe der kritischen Feldstärke E_{krit} und der intrinsischen Ladungsträgerdichte n_i des jeweiligen Halbleitermaterials ist die Bandlücke W_g , welche für SiC größer ist, als jene von Silizium. Die im Vergleich zu Silizium entsprechend höhere Feldstärke E_{krit} des SiC gestattet es, dass eine Erhöhung der Dotierung N_D des Driftgebiets und eine Verminderung

Tabelle 2.1: Parameter von Siliziumkarbid (SiC) in der 4H-Kristallstruktur im Vergleich zu Silizium (Si) bei 300 K; gemäß [SzNg07] [KiCo14]

Parameter		Silizium	4H-SiC	4H-SiC
			senkrecht zur c-Achse	parallel zur c-Achse
W_g	eV	1,12	3,26	3,26
E_{krit}	MV/cm	0,25-0,8	2,2	2,8
ϵ_r		11,9	9,76	10,32
v_{sat}	cm/s	$1 \cdot 10^7$	$2,2 \cdot 10^7$ (Elektronen)	$2,2 \cdot 10^7$ (Elektronen)
μ_n	cm ² /(V·s)	1450	1020	1200
μ_p	cm ² /(V·s)	500	120	120
n_i	cm ⁻³	$9,65 \cdot 10^9$	$5 \cdot 10^9$	$5 \cdot 10^9$
λ	W/(cm·K)	1,56	3,3 ... 4,9	3,3 ... 4,9

Werte der Parameter aus den Anhängen von [SzNg07] für Silizium und [KiCo14] für 4H-SiC entnommen

der Driftgebietsweite w für eine sinnvolle Driftgebietsmodifikation - bei identischem (unipolaren) Bauteilkonzept sowie gleicher maximaler Sperrfähigkeit $U_{R,\max}$ - in Betracht kommen [DLZÖ07] [Bali08]. Eine solche Modifikation des Driftgebiets führt wiederum zu einem der Hauptargumente für die Nutzung von SiC-Bauelementen: dem geringeren spezifischen Durchlasswiderstand r_{on} bei identischen Voraussetzungen [DLZÖ07] [Bali08].

Aus Gleichung 1 [Sze02] geht durch das Einsetzen der Elementarladung q , der Dotierung N_D und der Beweglichkeit μ_n , gemäß [Sze02] der Widerstand eines unipolaren n-dotierten Halbleiters hervor, woraus mit der Driftgebietsweite w dessen oben bereits genannter spezifischer Widerstand r_{on} (Gleichung 2) resultiert.

$$\rho = \frac{1}{q \cdot N_D \cdot \mu_n} \quad (1)$$

$$r_{on} = \frac{w}{q \cdot N_D \cdot \mu_n} \quad (2)$$

Ein negatives Merkmal von SiC sind die im Vergleich zu Silizium geringeren Werte der Beweglichkeiten μ_n und μ_p der Ladungsträger. Wie auch bei Silizium-Halbleiterbauelementen ist die Beweglichkeit der Elektronen μ_n in SiC deutlich höher als die der Löcher μ_p . Deshalb werden auch üblicherweise für Leistungshalbleiterbauelemente in SiC n- oder n-dotierte Driftgebiete beziehungsweise Grundmaterialien infolge der höheren Elektronenbeweglichkeit und des somit geringeren Durchlasswiderstands r_{on} (Gleichung 2) genutzt. Da - wie schon oben dargelegt - die Dotierung N_D stärker und die Driftgebietsweite w in SiC geringer ausfallen kann, ist die verminderte Beweglichkeit μ_n generell kein Hindernis für die Nutzung von SiC für leistungselektronische Halbleiterbauelemente mit geringem spezifischen Durchlasswiderstand r_{on} (Gleichung 2).

Die im Vergleich zu Silizium außerordentlich geringe intrinsische Ladungsträgerdichte n_i führt entsprechend Gleichung 3 [Sze02] zu einer ebenfalls geringen Leckstromdichte J_R , da weniger freie Ladungsträger im Halbleitermaterial verfügbar sind, die zu dieser beitragen können. Im Weiteren ist bekanntermaßen durch das sehr geringe Niveau von n_i bei Raumtemperatur davon auszugehen, dass auch bei sehr hohen Sperrsichtstemperaturen T_J im Vergleich zu Silizium-Bauelementen lediglich geringe Leckströme I_R auftreten. [Bali08]

$$J_R = J_s + J_{\text{Generation}} = q \cdot \sqrt{\frac{D_p}{\tau_p} \cdot \frac{n_i^2}{N_D} + \frac{q \cdot n_i \cdot w_{RLZ}}{\tau_g}} \quad (3)$$

Infolge der unter anderem geringen Driftgebietsweiten w und der somit geringeren spezifischen Driftgebietswiderstände r_{on} bei SiC-Halbleiterbauelementen können die SiC-Halbleiterchips wesentlich kleinere Flächen aufweisen, als im Hinblick auf R_{on} und $U_{R,\max}$ vergleich-

bare Silizium-Halbleiterbauelemente. Die Volumina der SiC-Halbleiterbauelemente sind dementsprechend ebenfalls kleiner. Es kommt somit zu einer signifikanten Steigerung der Leistungsdichte. Aufgrund des Eintrags von Verlustleistungen im Betrieb muss das Halbleiterbauelement gekühlt beziehungsweise entwärmst werden. Das geringere Volumen von SiC-Halbleiterchips im Vergleich zu solchen aus Silizium mit gleichem Durchlasswiderstand R_{on} führt auch zu einer geringeren Wärmekapazität, wodurch sich das Halbleiterbauelement bei thermischen Transienten schneller aufheizt. Demgegenüber steht bei SiC allerdings die mehr als zweimal höhere Wärmeleitfähigkeit λ des Grundmaterials, welche eine bessere Kühlung des Chips zulässt.

2.2 Siliziumkarbid-Bauelemente

Die in diesem Abschnitt sowie den zugehörigen Unterabschnitten durchgeführte Betrachtung der Eigenschaften von Siliziumkarbid-Bauelementen sowie der gegebenenfalls notwendigen Ansteuerschaltungen beruht neben den im Text genannten Quellen anteilig auf den Veröffentlichungen [BÖRK14] [BöKa15] [BÖRK15] [BöVK15a] [BöVK15b] [BVSK15] [BVSK16].

2.2.1 pin-Diode

Im Sperrbetrieb der pin-Diode (Bild 2.1) kommt es infolge der Aufnahme der am pn-Übergang anliegenden Sperrspannung U_R zu einer entsprechenden Ausweitung der dort vorhandenen Raumladungszone. Es erfolgt eine vergleichsweise starke Expansion der Raumladungszone in das niedrig dotierte Driftgebiet (n'), da das Ausmaß der Ausweitung ins jeweilige Halbleitergebiet auf der Erhaltung der Neutralität in der Raumladungszone basiert und somit dierungsabhängig ist [Reis05]. Die bekannte Begrenzung der maximal zulässigen Sperrspannung $U_{R,max}$ durch die Driftgebiete weite w (siehe beispielsweise [Lutz12]) wird somit ersicht-

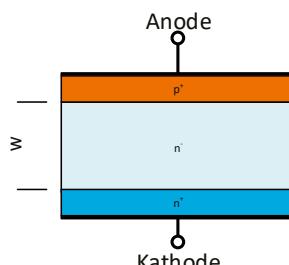


Bild 2.1: Ausschnitt aus der Struktur einer pin-Diode unter Vernachlässigung der Randabschlüsse

lich. Erste kommerzielle SiC-pin-Dioden geringer Stromtragfähigkeit sind bereits mit Sperrspannungen von $U_{R,max} = 8 \text{ kV}$ [DB-Gene15a] beziehungsweise $U_{R,max} = 15 \text{ kV}$ [DB-Gene15b] verfügbar.

Im Durchlassbetrieb wird das Driftgebiet der pin-Diode mit Elektronen und Löchern aus den hoch dotierten Halbleitergebieten (Bild 2.1) angereichert, wodurch ein Plasma entsteht und sich eine im Vergleich zu unipolaren Dioden hohe Leitfähigkeit einstellt. Bei SiC-pin-Dioden beträgt die Schwellenspannung der Sperrsicht geringfügig weniger als 3 V (siehe beispielsweise [DB-Gene15a] [DB-Gene15b] und Bild 5.14) und liegt somit deutlich höher als die von Silizium-pin-Dioden. Zum Erreichen einer niedrigen Durchlassspannung U_f in Abhängigkeit des Stroms I_f durch die Diode ist entsprechend eine ausreichend hohe Lebensdauer der Ladungsträger des Plasmas innerhalb des Driftgebiets der SiC-pin-Diode erforderlich. Das Plasma muss allerdings bei jedem Abschaltvorgang der Diode aus dieser extrahiert werden, wodurch eine Rückstromspitze auftritt, die sich bei einer Halbbrückenschaltung auf den Strom des in Serie zur Diode befindlichen schaltenden Transistors aufaddiert.

Problematisch bei SiC-pin-Dioden ist des Weiteren der Effekt der bipolaren Degradation, welcher zu sich ausweitenden Gebieten [LiDo11a] innerhalb der Diode führen kann [KITM17], die nicht mehr im vollen Umfang am Durchlassbetrieb teilnehmen und so die Durchlassspannung der Diode signifikant verändern [LBDH03] [Sing05] [BCHJ08]. Bedingt ist die bipolare Degradation durch die Wechselwirkung von Fehlern in der Kristallstruktur [LiDo11a] [KITM17] mit der Rekombinationsenergie von Ladungsträgern [Sing05] [BADK14] [KITM17]. Für alle SiC-Transistoren mit intrinsischen pin-Dioden ist in Bezug auf [KITM17] anzunehmen, dass sich die bipolare Degradation nicht nur auf den Diodenbetrieb auswirkt, da die gemeinsam genutzte aktive Fläche für den Transistorbetrieb ebenfalls in Mitleidenschaft gezogen wird.

2.2.2 Schottky-Diode

Eine Schottky-Diode besteht aus einer Struktur, bei welcher ein (Schottky)-Metall auf einen Halbleiter aufgetragen wurde (Bild 2.2). Die durch die Verbindung von Schottky-Metall und Halbleiter verursachte Schottky-Barriere φ_B bestimmt unter anderem die Leckstromdichte J_R durch die Sperrsicht (Gleichung 4 [HaSh02]) sowie die von der Sperrsicht verursachte Schwellenspannung [Sze02] [Lutz12]. In Gleichung 4 stellt A^* die Richardson-Konstante, T die Sperrsichttemperatur, φ_B die Schottky-Barriere in Elektronenvolt, q die Elementarladung, E die Feldstärke, ϵ die Dielektrizitätskonstante und k_B die Boltzmann-Konstante dar. Ebenso wie bei der pin-Diode (Abschnitt 2.2.1) nimmt ein niedrig dotiertes Driftgebiet der Weite w (Bild 2.2) im Sperrbetrieb die Spannung U_R auf und legt somit deren maximalen Wert $U_{R,max}$ fest.

$$J_R = A^* \cdot T^2 \cdot e^{-\frac{\varphi_B - \sqrt{\frac{q \cdot E}{4 \cdot \pi \cdot \epsilon}}}{k_B \cdot T}} \quad (4)$$

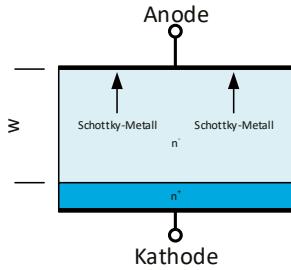


Bild 2.2: Ausschnitt aus der Struktur einer Schottky-Diode (SBD) unter Vernachlässigung der Randabschlüsse

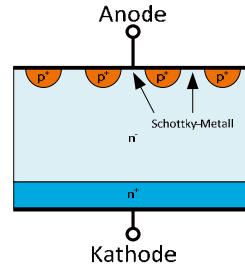


Bild 2.3: Ausschnitt aus der Struktur einer Merged-pin-Schottky-(MPS)- beziehungsweise Junction-Barrier-Schottky-(JBS)-Diode unter Vernachlässigung der Randabschlüsse

Die in Gleichung 4 durch den Wurzelterm eingebrachte Abhängigkeit der Leckstromdichte J_R von der elektrischen Feldstärke E ist als Barrier-Lowering-Effekt bekannt [HaSh02] [KiCo14]. Offensichtlich kommt es durch das Auftreten des elektrischen Feldes E zu einer Zunahme der Leckstromdichte J_R [Lutz12] [KiCo14].

Im Gegensatz zur SiC-pin-Diode ist die SiC-Schottky-Diode ein zunächst in seiner Grundstruktur rein unipolares Halbleiterbauelement. Somit weist diese kein Plasma auf, welches beim Abschaltvorgang ausgeräumt werden muss. Lediglich die von der Sperrsichtstruktur verursachte kapazitive Ladung ist bei jedem Schaltvorgang umzuladen. Da kein Plasma vorhanden ist, kann entsprechend davon ausgegangen werden, dass bei der Schottky-Diode nach Bild 2.2 nicht mit Auswirkungen der bipolaren Degradation zu rechnen ist.

Neben der herkömmlichen Bauform, der SiC-Schottky-Barrier-Diode (SBD), gibt es noch die SiC-Merged-Pin-Schottky-(MPS)-Diode und SiC-Junction-Barrier-Schottky-(JBS)-Diode. Die MPS- und JBS-Diode unterscheiden sich bekanntlich von der SBD durch p^+ -Implantationen unterhalb des Schottky-Metalls (Bild 2.3). Mit den Implantationen werden bei beiden Konzepten unterschiedliche Grundideen verfolgt: Beim MPS-Konzept soll durch die Implantationen die Stromtragfähigkeit über die Möglichkeit der Injektion erhöht werden [KiCo14], wohingegen beim JBS-Konzept die Erhöhung der Sperrfähigkeit durch eine Schirmung des Schottky-Metalls vor dem elektrischen Feld E (siehe auch Gleichung 4) im Vordergrund steht [Bali05]. Auch wenn MPS- und JBS-Dioden scheinbar formal unterschiedliche Bauelemente sind [Bali05], werden die Konzepte in dieser Arbeit aufgrund dessen, dass beide Diodentypen über p^+ -Implantationen verfügen und sich nur in der Art der Ausführung selbiger unterscheiden [JSSK16], unter dem Begriff MPS-Diode verwendet.

In jedem Fall liegt durch das Einbringen von Implantationen eine Verbesserung des Sperrverhaltens vor [HeKN98] [JSSK16], wobei die Implantationen jedoch die aktive Fläche der Diode im normalen Durchlassbetrieb einschränken und sich entsprechend die Durchlassspannung U_F erhöht [HeKN98]. Beim Vergleich von Datenblättern wird jedoch offensichtlich, dass

die Durchlassspannung U_F von SiC-Schottky-Dioden (beispielsweise [DB-Infi10] [DB-Wolf16a]) deutlich unter der von intrinsischen SiC-pin-Dioden (beispielsweise [DB-Rohm15a] [DB-Wolf15a]) beziehungsweise im Bereich von Silizium-pin-Dioden (beispielsweise [DB-Ixys04]) liegt.

2.2.3 Bipolartransistor (BJT)

Der SiC-npn-Bipolartransistor (BJT) besteht aus einer Struktur (Bild 2.4), die durch Epitaxie gefertigt wird [GHCA06] [DLZÖ07]. Es ergeben sich zwei antiserielle Sperrsichten. Wie bei den oben genannten Dioden nimmt auch bei einem Transistor ein niedrig dotiertes Driftgebiet (n) hier mit der Kollektorweite w_C , die Sperrspannung U_R auf (Bild 2.4a und b). So wurden zum Beispiel schon SiC-BJTs mit Sperrspannungen von $U_{CE,max} = 21$ kV gefertigt, wie aus der Veröffentlichung [MONK12] hervorgeht.

Aufgrund der antiseriellen Sperrsichten nimmt die Durchlassspannung U_{CE} des BJT gemäß der Gleichung $U_{CE} - U_{BE} - U_{CB} = 0$ (siehe auch Bild 2.4c) im Sättigungsbetrieb einen Wert an, der deutlich unter den Absolutwerten der einzelnen Sperrsichten von circa 3 V liegt [DLZÖ07].

Die charakteristische Größe eines Bipolartransistors ist die erreichbare Verstärkung B beziehungsweise h_{FE} , welche sich aus dem Transportfaktor α_T und der Emittereffizienz γ beziehungsweise dem Verhältnis des Kollektorstroms I_C zum Basisstrom I_B zusammensetzt (Gleichung 5 [SzNg07], siehe auch Bild 2.4c).

$$B = h_{FE} = \frac{I_C}{I_B} = \frac{\gamma \cdot \alpha_T}{1 - \gamma \cdot \alpha_T} \quad (5)$$

Bei der Herstellung des SiC-BJTs unbeabsichtigt in das Halbleitermaterial eingebrachte Störstellen können sich in einem signifikanten Maße negativ auf die Verstärkung B auswirken, da diese zu einer Zunahme der Rekombination innerhalb des BTJs führen [DLZÖ07]. Häufig werden in der Literatur parasitäre Rekombinationszentren zwischen den Epitaxieschichten

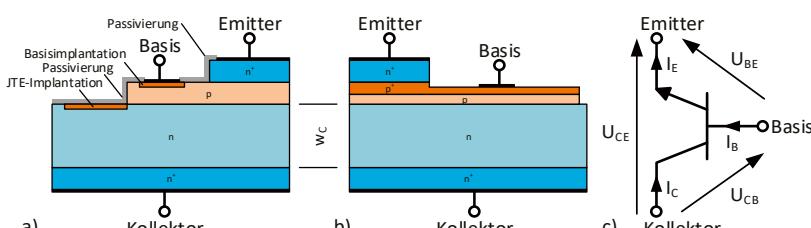


Bild 2.4: Struktur einer Halbzelle eines npn-Bipolartransistors in Siliziumkarbid a) gemäß [LiDo11b] ähnlich [RASP01] mit Implantationen und b) gemäß [ZLAB08] als implantationsfreie Struktur sowie c) das Transistor-Symbol mit Spannungen und Strömen

[GHXZ06], an der Oberfläche [DLZÖ07] [GBDZ11] sowie in der Umgebung der p⁺-Implantationen angegeben [ZLAB08] [GLDB08] [GBDZ11]. Zur Vermeidung von Rekombinationszentren, die durch die p⁺-Basisimplantationen verursacht werden, wurde die implantationsfreie Struktur nach Bild 2.4b in [ZLAB08] gezeigt.

Bei SiC-BJTs mit einer Sperrfähigkeit von $U_{R,max} = 1,2$ kV ist trotz der eigentlich bipolartransistortypischen Eigenschaften keine nennenswerte Leitfähigkeitsmodulation des Driftgebiets vorhanden [LiDo11b] [SSLD12]. Dieses ist aufgrund des schmalen Driftgebiets eines 1,2 kV SiC-BJTs [DLZÖ07] sowie der hohen Dotierung des selbigen [GHXZ06] [DLZK10] auch nicht zielführend, da hierdurch, wie aus den genannten Quellen hervorgeht, ein ohnehin schon ausreichend niedriger Durchlasswiderstand bedingt ist.

Die Leitfähigkeitsmodulation ist des Weiteren auch bei SiC-BJTs ein kritischer Faktor, da diese hier ebenfalls (siehe auch Abschnitt 2.2.1) zur bipolaren Degradation führen kann [ZBHC09] [LiDo11a] [LiDo11b]. Es wurde jedoch in der Literatur [BADK14] die Nutzung eines optischen Verfahrens beschrieben, um SiC-BJTs mit Kristallfehlern, die potentiell zur bipolaren Degradation führen können, auszusortieren und somit in Bezug auf das Durchlassverhalten SiC-BJTs mit langfristig stabilen Eigenschaften zu gewährleisten.

Für die Ansteuerung eines (SiC)-BJTs ist ein leistungsfähiger Treiber unabdingbar, da im Durchlassbetrieb ein permanenter Strom I_B von der Basis in den Emitter (Bild 2.4c) aufrecht-erhalten [DLZÖ07] beziehungsweise eine für Transistoren erhebliche Ansteuerleistung zuge-führt werden muss [RTPN12] (siehe auch nachfolgende Abschnitte 2.2.4 und 2.2.5). Da wie oben beschrieben beim 1,2 kV SiC-BJT keine nennenswerte Leitfähigkeitsmodulation auftritt und somit kaum Plasma im n-Gebiet vorhanden ist, hat auch keine Beschaltung durch eine Antisättigungsschaltung (siehe [Thom79]) zu erfolgen, um den Sättigungsbereich zu meiden und ein schnelles Abschalten zu ermöglichen [LiDo11b] [RTPN12]. Die Eingangskapazität des SiC-BJTs, im Speziellen die Basis-Kollektor-Teilkapazität C_{BC} , sollte beim Schalten in einem möglichst kurzen Zeitraum umgeladen werden, so dass sich schnelle Schaltvorgänge einstellen [DLZK10] [LiDo11b]. Typischerweise wird hierfür ein Treiber mit Speed-Up-Kondensator [DLZK10] verwendet (Bild 2.5). Dieser führt dem BJT über den Kondensator C_S bei jedem Schaltvorgang einen kurzzeitigen erhöhten Basis-Strom i_B zu [DLZK10] [LiDo11b]. Nachteilig wirkt sich im Hinblick auf SiC-BJTs mit ihrem potentiell im Vergleich zum Silizium-BJT schnelleren Schaltverhalten die Zeitkonstante τ_{RC} des RC-Impedanznetzwerks aus, da die Kapazität C_S über R_S und R_B umgeladen werden muss [RTPN12].

Neben dem oben genannten Treiber gibt es noch diverse weitere Treiberkonzepte, mit welchen eine Optimierung in Bezug auf die Ansteuerleistung angestrebt wird: Beispiele hierfür sind ein zweistufiger Treiber mit RC-Impedanznetzwerk, welcher durch eine hohe Ansteuer-spannung einen kurzzeitigen Pulsstrom über das RC-Impedanznetzwerk liefert und im Durch-lassfall lediglich eine niedrige Ansteuerspannung ausgibt (Bild 2.6) [RTPN12], ein einstufiger

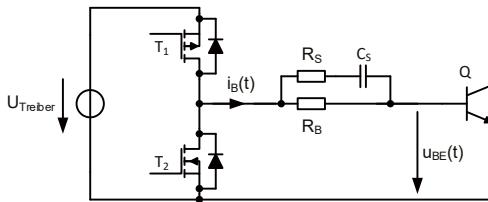


Bild 2.5: Typische Ansteuerung mit RC-Impedanznetzwerk; gemäß [DLZK10] oder [Thom79] (mit einem leicht anderen Impedanznetzwerk)

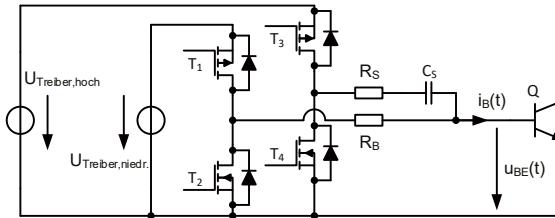


Bild 2.6: Zweistufige Treiberschaltung mit RC-Impedanznetzwerk, welche für den kurzzeitigen Pulssstrom über eine hohe Ansteuerspannung und für den statischen Durchlassstrom über eine niedrige Ansteuerspannung verfügt; gemäß [RTPN12]

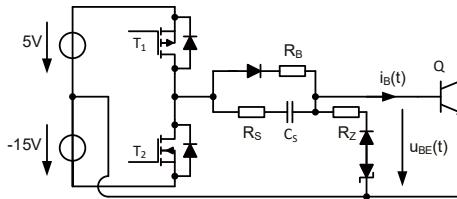


Bild 2.7: Ansteuerung mit RC-Impedanznetzwerk und niedriger positiver Ansteuerspannung für den statischen Durchlassbetrieb; gemäß [FHLD14]

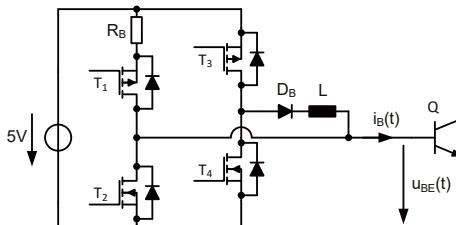


Bild 2.8: Treiberschaltung, welche beim Einschalten als Stromquelle agiert und eine niedrige statische Ansteuerspannung aufweist; gemäß [RPNZ12]

Treiber mit einem ebenfalls kurzzeitig beim Schaltvorgang erhöhten Basisstrom i_B , aber einer gleichzeitig niedrigen positiven Ansteuerspannung (Bild 2.7) [FHLD14] sowie ein Treiber, wel-

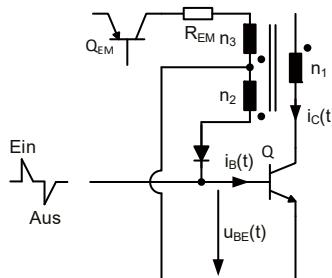


Bild 2.9: Ansteuerschaltung mit zum Laststrom i_c proportionalem Basisstrom i_B für den statischen Durchlassbetrieb; gemäß [Thom79]

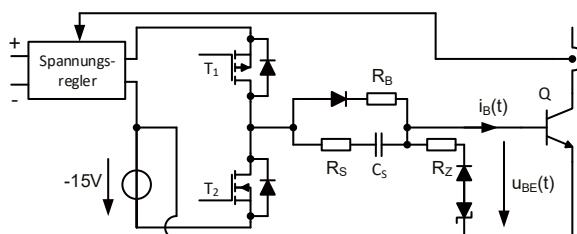


Bild 2.10: Treiberschaltung mit RC-Impedanznetzwerk und zum Laststrom i_c proportionaler positiver Ansteuerspannung für den statischen Durchlassbetrieb; gemäß [FHLD14]

cher beim Einschalten wie eine Stromquelle wirkt und ebenfalls eine geringe statische Ansteuerspannung aufweist (Bild 2.8) [RPNZ12]. Ebenso existieren Treiberkonzepte, bei welchen der Basisstrom i_B in einem definierten Verhältnis zum Kollektorstrom i_c vorgegeben wird, um die Ansteuerleistung zu vermindern [Thom79]: Dieses sind zum einen Treiber, welche einen proportionalen Strom i_B über einen Transformator aus dem Lastkreis auskoppeln (Bild 2.9) und in den Ansteuerkreis speisen [Thom79] [RTPN12]. Zum anderen sind dies aber auch Treiber mit Spannungswandlern (Bild 2.10), die eine zum Laststrom proportionale positive Ansteuerspannung U_{Treiber} liefern [FHLD14].

2.2.4 Sperrsichtfeldeffekttransistor (JFET)

Der n-Kanal-Sperrsichtfeldeffekttransistor (JFET) ist ein Transistor (Bild 2.11 bis Bild 2.13), der durch die Einschnürung des Kanals mittels der Raumladungszonen der vorhandenen Sperrsichten gesteuert wird. Im Gegensatz zum BJT, der ebenfalls durch eine Sperrsicht gesteuert wird, ist beim JFET jedoch kein Stromfluss durch die Sperrsichten notwendig. Die Steuerung des JFET erfolgt über die Ausdehnung der Raumladungszonen. Hierfür ist bekanntermaßen nur eine Potentialdifferenz über diese anzulegen. Die erforderliche Treiberleistung für den JFET ist somit gegenüber dem BJT stark reduziert, da nur die für die Umladung

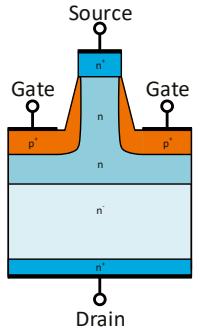


Bild 2.11: Ausschnitt aus der Struktur eines n-Kanal JFETs in Siliziumkarbid; gemäß [SRKB10] ähnlich [BhBL15]

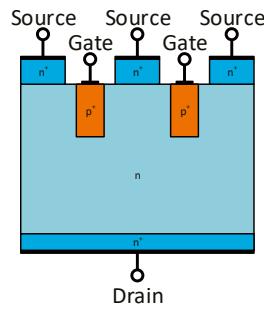


Bild 2.12: Ausschnitt aus der Struktur eines n-Kanal JFETs in Siliziumkarbid; gemäß [GCFH11]

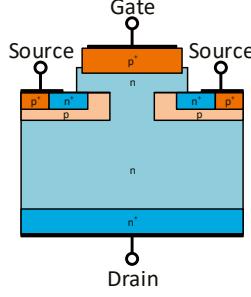


Bild 2.13: Ausschnitt aus der Struktur eines n-Kanal JEFTs in Siliziumkarbid; gemäß [SiKi11]

der Sperrsichten notwendige Treiberleistung bereitgestellt werden muss (siehe auch Abschnitt 2.2.3).

Den SiC-JEFT gab beziehungsweise gibt es von verschiedenen Herstellern mit normally-off- (selbstsperrend) und normally-on- (selbstleitend) Struktur. Der Hersteller SemiSouth Laboratories, Inc. hatte hierbei eine normally-off-Struktur [SRKB10] [GCFH11] bevorzugt (Bild 2.11 und Bild 2.12), die im Hinblick auf eine erstrebenswerte intrinsische Sicherheit von Spannung zwischen Kreisumrichtern zweckmäßig ist [Knei98]. Nach Grekov et al. [GCFH11] sind die beiden Merkmale, die den normally-off- vom normally-on-SiC-JFET unterscheiden, die Kanalweite und -dotierung. Die Abhängigkeit der normally-off- beziehungsweise normally-on-Kanaleigenschaft von der Dotierung und der Weite des n-Kanalgebiets lässt sich über die Abhängigkeit einer Raumladungszone von der Dotierung verstehen: Die zum Sperren notwendigen Raumladungszonen weiten sich umso stärker in ein Halbleitergebiet aus, desto niedriger dieses dotiert ist (siehe auch Abschnitt 2.2.1). Damit der normally-off-JFET durch die Einschnürung des Kanals vollständig sperrt, ist demzufolge im Vergleich zum normally-on-JFET eine

niedrigere Dotierung des n-Kanalgebiets bei gleicher Weite des Kanals oder eine geringere Kanalweite bei gleicher Dotierung erforderlich. Bhalla et al. zeigten in der Veröffentlichung [BLAD13], dass normally-off-SiC-JFETs immer einen höheren spezifischen Durchlasswiderstand als ihre normally-on-Gegenstücke der gleichen Bauteilgeneration haben werden. Da die Kanaldotierung bei der Berechnung des spezifischen Widerstands in den Teiler eingeht (siehe beispielsweise [GCFH11] [KiCo14]), muss entsprechend ein höherer spezifischer Widerstand beim normally-off- im Vergleich zum normally-on-SiC-JFET bei ansonsten identischen Eigenschaften gegeben sein.

Die Hersteller United Silicon Carbide, inc. (USCI) und Infineon Technologies AG hingegen produzieren beziehungsweise produzierten normally-on-SiC-JFETs, jedoch mit unterschiedlichen Strukturen. Während USCI dieselbe Struktur wie SemiSouth verwendet [BhBL15] (Bild 2.11), nutzte Infineon eine Struktur mit planarem Kanal, die zudem über eine intrinsische pin-Diode als Freilaufdiode verfügt [SiKi11] (Bild 2.13). Nachteilig bei der von USCI und vormals ebenfalls von SemiSouth verwendeten Struktur (Bild 2.11) soll entsprechend Siemieniec et al. [SiKi11] die strukturell bedingt große Gate-Drain-Kapazität C_{GD} sein, die sich negativ auf das Schaltverhalten des JFETs als Einzelschalter auswirkt. In der Veröffentlichung von Sheridan et al. [SRKB10] wurde für den normally-off-JFET von SemiSouth auch eine zweistufige Ansteuerung mit einem zusätzlichen kurzeitigen Strompuls beim Einschaltvorgang empfohlen, um den normally-off-SiC-JFET (Bild 2.11) möglichst schnell aufzusteuern.

Falls der normally-on-JFET als einzelner Transistor betrieben wird (Bild 2.14), muss im Sperrbetrieb typischerweise eine Ansteuerspannung $U_{Treiber}$ im Bereich von $U_{Treiber} = -15 \text{ V}$ [DB-Unit00] bis $U_{Treiber} = -19,5 \text{ V}$ [DB-Infi13a] an diesen aktiv angelegt werden. Normally-on-SiC-JFETs werden aber häufig in Kaskoden mit niedersperrenden normally-off-Silizium-MOSFETs betrieben, um diesen ein normally-off-Verhalten aufzuzwingen [SiKi11] [BBDD12] [Bend16]. Hierbei gibt es zwei unterschiedliche Konzepte: Entweder kann lediglich der normally-off-Silizium-MOSFET aktiv angesteuert werden, wobei der MOSFET beim Abschalten eine negative Spannung $u_{GS,JFET}$ zwischen Gate und Source des normally-on-JFET erzeugt [Bend16] (Bild 2.15) oder es wird nur der normally-on-SiC-JFET moduliert angesteuert und der normally-off-Silizium-MOSFET agiert im Fall einer wegfallenden Versorgungsspannung als Sicherheitsglied in der Ansteuerung [SiKi11] [BBDD12] (Bild 2.16).

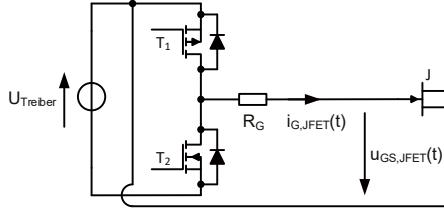


Bild 2.14: Ansteuerung eines normally-on-SiC-JFETs

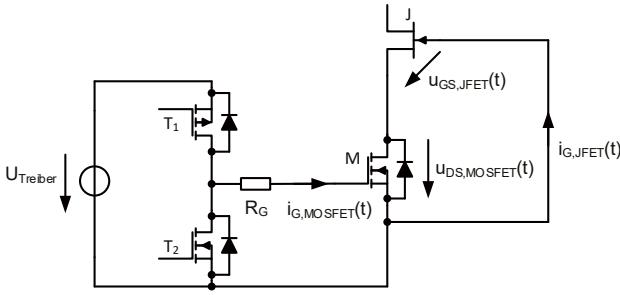


Bild 2.15: Ansteuerung eines normally-on-SiC-JFETs in einer Kaskode zur Erlangung des gewünschten normally-off-Verhaltens; gemäß [Bend16]

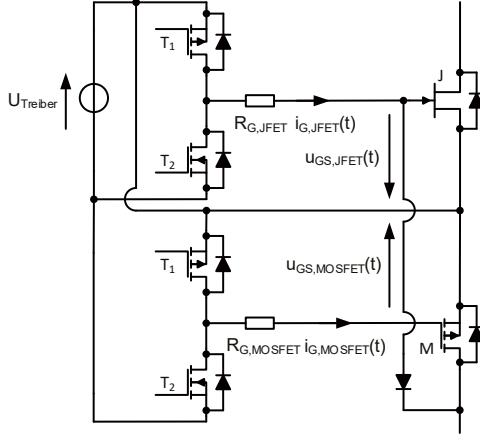


Bild 2.16: Ansteuerung eines normally-on-SiC-JFETs in einer Kaskode, in welcher der Silizium-MOSFET nicht moduliert geschaltet wird; gemäß [BBDD12]

Die Struktur des SiC-JFETs, wie er von USCi hergestellt wird, weist zwar keine Freilaufdiode auf, jedoch ist auch keine erforderlich, da der SiC-JFET in einer Kaskode, über die an der Freilaufdiode des Silizium-MOSFETs anliegende Spannung u_F , im Freilauffall automatisch aufgesteuert wird [Bend16]. Da keine Freilaufdiode notwendig beziehungsweise vorhanden ist, entfällt entsprechend die Problematik der bipolaren Degradation der pin-Struktur einer intrinsischen SiC-Freilaufdiode gänzlich (siehe auch Abschnitt 2.2.1).

2.2.5 Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET)

Der n-Kanal-Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) ist ein Transistor, der über einen MOS-Kondensator beziehungsweise durch den daraus herrührenden n-leitenden

Kanal gesteuert wird. Im Gegensatz zum BJT oder JFET findet also keine Steuerung des Transistors über eine oder mehrere Sperrsichten statt. Im MOS-Kondensator bildet ein Oxid (Gate-Oxid) das trennende Dielektrikum, unter welchem der Kanal des Transistors liegt (Bild 2.17). Durch das Dielektrikum fließt im Normalbetrieb ausschließlich ein sehr geringer Leckstrom beziehungsweise der bei einer Umladung der Eingangskapazität C_{iss} infolge einer Umschaltung des MOSFETs auftretende Gate-Strom i_G . Im Gegensatz zum BJT begründet sich hieraus wie beim JFET auch der Vorteil einer deutlich geringeren Ansteuerleistung (siehe auch Abschnitt 2.2.3).

Alle SiC-MOSFETs haben, bedingt durch ihre zugrundeliegenden Strukturen (Bild 2.17 und Bild 2.18), eine unvermeidbare intrinsische pin-Freilaufdiode mit den für diese Bauteilart typischen Eigenschaften (siehe Abschnitt 2.2.1). Beim SiC-MOSFET kann deshalb, wie bei SiC-pin-Dioden auch, aufgrund einer Nutzung der intrinsischen pin-Freilaufdioden die bipolare Degradation eintreten [KITM17].

Für einen vertikalen n-Kanal-Leistungs-SiC-MOSFET gibt es, wie auch in Silizium, zwei grundlegende Strukturen: Den MOSFET mit einem planaren Kanal (Bild 2.17, D-MOSFET) und den Trench-MOSFET mit einem vertikalen Kanal (Bild 2.18, U-MOSFET). Der Kanal wird beim

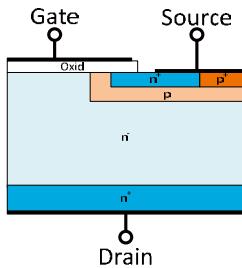


Bild 2.17: Struktur einer Halbzelle eines n-Kanal D-MOSFETs in Siliziumkarbid; gemäß [KiCo14]

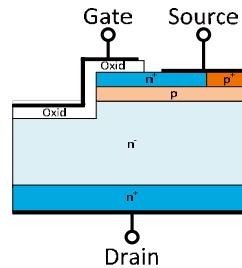


Bild 2.18: Struktur einer Halbzelle eines n-Kanal U-MOSFETs in Siliziumkarbid; gemäß [KiCo14]

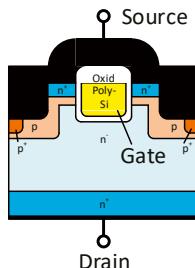


Bild 2.19: Double-Trench-Struktur von Rohm; gemäß [KNMN16]

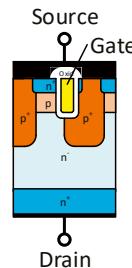


Bild 2.20: Trench-Struktur von Infineon; gemäß [PSAB17]

SiC-U-MOSFET in die a- beziehungsweise <11-20>-Ebene des Kristalls gelegt, um eine bestmögliche Kanaloberfläche zu erhalten [KiYN13] [LAXI13] [HeDP16] [PSAB17]. Beim SiC-U-MOSFET ergibt sich daraus gegenüber dem SiC-D-MOSFET der strukturell bedingte Vorteil einer höheren Beweglichkeit μ_n^* im vertikalen Kanal und daraus resultierend ein geringerer Kanalwiderstand [KiYN13] [HeDP16] [PSAB17].

Nachteilig wirken sich beim Trench-MOSFET allerdings die hohen lokalen Belastungen an den Kanten des Gate-Oxids durch die elektrische Feldstärke E aus [HeDP16] [KNMN16]. Die Fragilität des Gate-Oxids gegenüber Belastungen durch die hohe elektrische Feldstärke E in SiC [HeDP16] [PSAB17] bildet beim SiC-MOSFET generell, neben der deutlich geringeren Beweglichkeit μ_n^* im Kanal im Vergleich zur Beweglichkeit μ_n im Volumenmaterial [KICo14] [PSAB17], eine der Schwachstellen.

Die Hersteller von Trench-MOSFETs haben entsprechend ihre Strukturen mit Hinblick auf eine geringe Belastung des Gate-Oxids durch eine Schirmung mit p-Zonen gegen das elektrische Feld E optimiert [HeDP16] [KNMN16] [PSAB17]. Dies sind die sogenannte Doppel-Trench-Struktur [KNMN16] von Rohm (Bild 2.19) und die Struktur von Infineon, bei der offensichtlich nur eine Hälfte des Gate-Trenches genutzt wird [PSAB17] (Bild 2.20). Es ist anzumerken, dass die meisten Hersteller ihre Entwicklung von SiC-MOSFETs mit einer planaren Gate-Struktur (Bild 2.17) begonnen haben, beziehungsweise diese auch weiterhin produzieren (beispielsweise Cree/Wolfspeed [CPBH16]) und erst wenige Hersteller Trench-SiC-MOSFETs kommerziell produzieren oder darauf umschwenken (beispielsweise Infineon [PSAB17] und Rohm [KNMN16]). So produzierte der Hersteller Rohm beispielsweise zwei Generationen von SiC-MOSFETs mit planarem Gate, bevor dieser mit Trench-SiC-MOSFETs an den Markt ging [KNMN16]. Der Hersteller Infineon produziert hingegen direkt SiC-MOSFETs mit Trench-Gate-Struktur (siehe [PSAB17]).

Zum Ausgleich der generell alles andere als optimalen Beweglichkeit μ_n^* der Ladungsträger im Kanal des SiC-MOSFETs und somit zur Erlangung niedriger Durchlasswiderstände $R_{DS,ON}$ sind hohe positive Ansteuerspannungen $U_{Treiber}$ durch die genutzte Treiberschaltung erforderlich [HeDP16] [HWLH13]. Ebenfalls wird die hohe Ansteuerspannung $U_{Treiber}$ benötigt, um den Schaltvorgang hinsichtlich einer möglichst hohen Spannungsänderungsgeschwindigkeit dU_{DS}/dt zu optimieren, da die verhältnismäßig geringen Transkonduktanzen g_{fs} der SiC-MOSFETs [HeDP16], welche ebenfalls aus μ_n^* herrühren (Gleichung 6 [Lutz12]), diesen über die Auswirkung auf das Miller-Plateau ansonsten erheblich verlangsamen (Gleichung 7 [Lutz12], siehe auch Abschnitt 5.3.2.1).

$$g_{fs} = (U_{GS} - U_{th}) \cdot \frac{\mu_n^* \cdot C_{ox} \cdot W}{L_{Kanal}} \quad (6)$$

$$U_{GS,Miller} = U_{th} + \frac{I_D}{g_{fs}} \quad (7)$$

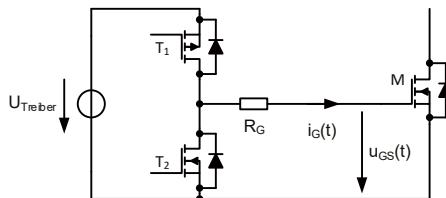


Bild 2.21: Typische resistive Ansteuerung des SiC-MOSFETs

Es müssen Treiber mit einer positiven Ansteuerspannung von bis zu $U_{\text{Treiber}} = 20 \text{ V}$ genutzt werden, um den SiC-MOSFET entsprechend der Herstellervorgaben optimal zu betreiben (zum Beispiel [DB-Cree12] [DB-Stmi15]).

Weiterhin ist die für das Schaltverhalten ausschlaggebende Gate-Source-Schwellenspannung U_{th} bei SiC-MOSFETs tendenziell eher gering [HeDP16]. Bei den im Rahmen der vorliegenden Arbeit untersuchten SiC-MOSFETs wurde ebenfalls eine erwartungsgemäß niedrige Schwellenspannung festgestellt, die zudem einen negativen Temperaturkoeffizienten aufweist (siehe Abschnitt 5.3.1, Tabelle 5.2). Dies ist in Hinblick auf den Sperrbetrieb beziehungsweise den Übergang zum Sperrbetrieb kritisch, da der SiC-MOSFET im Speziellen bei hohen Sperrsichttemperaturen T_J parasitär, beispielsweise über die Miller-Kapazität C_{GD} [Kami17], wieder aufgesteuert werden kann. Das Anlegen einer negativen Ansteuerspannung U_{Treiber} erscheint hier hilfreich, um den Störabstand zu erhöhen, darf allerdings auch nur in einem kleinen negativen Spannungsbereich vorgenommen werden (zum Beispiel [DB-Wolf16b] [DB-Rohm15b]). Die Höhe der positiven und negativen Ansteuerspannung U_{Treiber} bei SiC-MOSFETs ist generell kritisch, da hierdurch Ladungseffekte, dies sind die „Bias Temperature Instability“ (BTI) und die „Threshold Voltage Instability“, im Gate-Oxid selbst oder in der direkten Umgebung des Gate-Oxids auftreten können, welche die Schwellenspannung U_{th} verschieben [Schr09] [LGHE15] [YKOH15].

Wie auch beim JFET (siehe Abschnitt 2.2.4) wird beim MOSFET am häufigsten eine einfache resistive Ansteuerung eingesetzt (Bild 2.21, gegebenenfalls auch mit zusätzlicher negativer Ansteuerspannung). Das Durchlaufen der Ladekurve der Eingangskapazität C_{iss} eines SiC-MOSFETs sowie die daraus resultierenden Schaltenergien E_{ein} und E_{aus} werden bei dieser über den durch die Höhe der Ansteuerspannung U_{Treiber} (siehe Abschnitt 5.3.2.1) und den Wert des Gate-Widerstands R_G (siehe Abschnitt 5.3.2.2) vorgegebenen Gate-Strom i_G beeinflusst.

2.3 Parasitäre Elemente

Die Schaltumgebung von SiC-Bauelementen weist, wie die jedes anderen Halbleiterbauelements, eine Vielzahl an parasitären Elementen auf. Bild 2.22 veranschaulicht dies am Beispiel einer Doppelpulsschaltung, wie sie in den weiteren Abschnitten vorgestellt (siehe Ab-

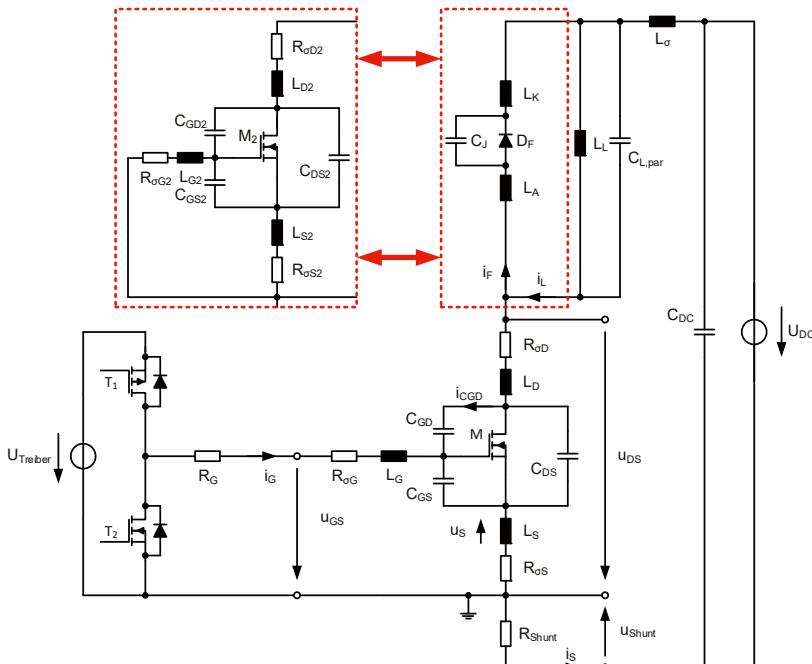


Bild 2.22: Doppelpulsschaltung mit parasitären Elementen und Ansteuerschaltung
(i_{CGD} und u_s für Ausschaltvorgang dargestellt)

schnitt 3.1.1) und genutzt wird. Das Schaltverhalten der in Abschnitt 2.2.3 bis 2.2.5 beschriebenen Transistoren ist entsprechend von den parasitären Kapazitäten und Induktivitäten beziehungsweise den damit verbundenen hinlänglich bekannten parasitären Effekten geprägt, welche in diesem Abschnitt erläutert werden. Eine ähnliche Betrachtung der parasitären Elemente und Effekte ist zum Beispiel in [LiMu14] zu finden. In diesen Abschnitten sind anteilig auch Erkenntnisse aus den Veröffentlichungen [BöRK14] [BöKa15] [AdBK16] [BöKa16a] [BASK17] [BöAK17] [BöAK18a] [BöAK18b] eingegangen, die sich partiell mit dieser Thematik befassen.

In eine Induktivität L_σ wird dem Vorzeichen der zeitlichen Stromänderung di/dt entsprechend eine positive oder negative Spannung $u_{L\sigma}$ induziert (Gleichung 8). Demgegenüber kommt es aufgrund der Kapazität C_σ je nach Vorzeichen der Spannungstransiente du/dt zu kapazitiven Strömen $i_{C\sigma}$ mit entsprechenden Vorzeichen (Gleichung 9).

$$u_{L\sigma}(t) = L_\sigma \cdot \frac{di(t)}{dt} \quad (8)$$

$$i_{C\sigma}(t) = C_\sigma \cdot \frac{du(t)}{dt} \quad (9)$$

Der SiC-MOSFET M wird nachfolgend mit seinen parasitären Kapazitäten C_{GD} , C_{GS} und C_{DS} in einer beliebigen Schaltung betrachtet. Gemäß Gleichung 9 kommt es zu dem proportionalen parasitären Strom i_{CGD} über die Miller-Kapazität C_{GD} bei der Spannungsänderungsgeschwindigkeit du_{DS}/dt . In Verbindung mit einem ausreichend großen Gesamt-Gate-Widerstand $R_{G,ges} = R_G + R_{\sigma G}$ wird der MOSFET M über diese du_{DS}/dt -Rückkopplung beeinflusst und kann hierbei auch komplett parasitär einschalten. Falls die Kapazität C_{GS} einen entsprechend hohen Wert hat, lässt sich dieses Problem von vornherein vermeiden, da der auftretende Strom i_{CGD} über diese gegen das Bezugspotential abgeführt werden kann. Da es mit einer ansteigenden Kapazität C_{GS} zu einer Zunahme der Gesamteingangskapazität $C_{iss} = C_{GD} + C_{GS}$ kommt, wird deren Umladevorgang (siehe Abschnitt 2.2.5) verlängert und folglich die Schaltgeschwindigkeit des MOSFETs M zwangsweise gemindert. [Kami17]

Somit ist ein Verhältnis der Kapazitäten anzustreben, bei dem der kapazitive Strom i_{CGD} zwar abgeführt werden kann, die Kapazität C_{GS} allerdings so klein wie möglich ist. Eine Ansteuerung mit negativer Spannung in diesem Betriebsfall kann dieses Problem ebenfalls beheben. Jedoch sollte der MOSFET M nach Möglichkeit auch ohne eine negative Ansteuerung eine gewisse intrinsische Sicherheit durch die Höhe des Werts der Kapazität C_{GS} aufweisen.

In Bezug auf das Schaltverhalten sind ebenfalls die einzelne Streuinduktivität L_S sowie die insgesamt im Lastkreis häufig als konzentriertes Element betrachtete Streuinduktivität $L_{\sigma,konz} = L_D + L_S + L_\sigma$ von Interesse. Die parasitäre Induktivität L_S tritt am gemeinsamen Abschnitt von Last- und Ansteuerkreis des Strompfads auf (Bild 2.22) und kompensiert bei jedem Schaltvorgang gemäß der Maschengleichung des Ansteuerkreises mit der an ihr abfallenden Spannung u_S einen Teil der Ansteuerspannung $U_{Treiber}$ [März11] [LiMu14] [WZWS14] [BASK17] [BöAK17] [BöAK18b]. Es ist inzwischen eine Vielzahl von diskreten Halbleitergehäusen zur Umgehung der Induktivität L_S vorhanden, die über einen zusätzlichen Anschluss (Kelvin-Source-Anschluss) verfügen [LiMu14] [BASK17] [BöAK17] [BöAK18b] (Bild 2.23 b-d). Durch die Vermeidung der Spannung u_S kann die Ladekurve der Eingangskapazität C_{iss} schneller durchfahren werden, wodurch die Schaltgeschwindigkeiten steigen [März11] [WZWS14] [BöAK17] [BöAK18b] und sich die Schaltenergien des Transistors vermindern lassen [WZWS14] [BöAK17] [BöAK18b] (Abschnitt 5.3.2.3). Die geringsten Schaltenergien lassen sich entsprechend bei einem möglichst geringen Gate-Widerstand R_G (siehe Abschnitt 5.3.2.2) unter der Nutzung eines Gehäuses mit Kelvin-Source-Anschluss erreichen [BöAK17] [BöAK18b] [Kami17].

Dem steht allerdings die Forderung nach einem Mindestwiderstand R_{min} (Gleichung 10 [Kami17]) im Ansteuerkreis bei einer gegebenen Gate-Source-Kapazität C_{GS} des SiC-MOSFETs sowie einer feststehenden Streuinduktivität des Ansteuerkreises gegenüber, um diesen ausreichend zu bedämpfen. Der mindestforderliche Gate-Widerstand R_{min} bestimmt die maximalen Schaltgeschwindigkeiten und definiert somit ein gewisses Niveau an Schaltverlusten,

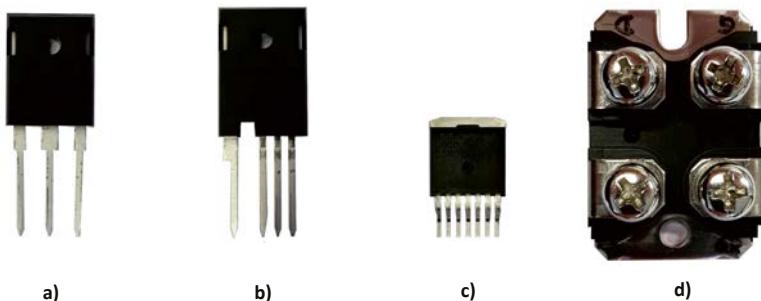


Bild 2.23: Unterschiedliche Gehäuse für diskrete Leistungshalbleiterbauelemente: a) TO-247-3L (ohne Kelvin-Source-Anschluss) b) TO-247-4L, c) TO-263-7L und d) SOT-227 (b-d mit Kelvin-Source-Anschluss)

unterbindet dabei jedoch von vornherein weitestgehend mögliche Oszillationen durch den im Ansteuerkreis befindlichen LC-Schwingkreis. [März11] [Kami17]

$$R_{\min} = R_G + R_{\text{aG}} + R_{\text{as}} > 2 \cdot \sqrt{\frac{L_G + L_S}{C_{GS}}} \quad \text{bzw. } R_{\min} > 2 \cdot \sqrt{\frac{L_G + L_{KS}}{C_{GS}}} \quad (10)$$

Die Streuinduktivität $L_{\sigma,\text{konz}}$ des Lastkreises führt beim Ausschaltvorgang zu einer Überspannung und beim Einschaltvorgang zu einem Spannungseinbruch am Chip. Entsprechend ist $L_{\sigma,\text{konz}}$ lediglich beim Ausschaltvorgang kritisch zu sehen, da die Überspannung den Chip schädigen kann [BöKa15] [BöKa16a]. Der Spannungseinbruch beim Einschaltvorgang wirkt hingegen schaltenergiemindernd und ist somit unkritisch. Die Komponenten L_D und L_S der Streuinduktivität $L_{\sigma,\text{konz}}$ lassen sich bei Halbleitermodulen oder diskreten Halbleitergehäusen nicht umgehen, da diese über die normierten Gehäusebauformen vorgegeben sind [Kami17]. Zur Verbesserung des Schaltverhaltens sollte entsprechend bezüglich des Lastkreises die Teilinduktivität L_σ (Bild 2.22) durch die Anordnung der (plattenförmigen) Leiter und durch die Auswahl geeigneter Bauelemente, wie beispielsweise niederinduktiver Messwiderständen geringer Abmessungen [AdBK16] [BöAK18a], weitestmöglich vermindert werden [LiMu14] [BÖRK14] [BöKa15] [BöKa16a].

Neben den bereits aufgeführten parasitären Elementen beinhaltet der Lastkreis die parasitäre Kapazität $C_{L,\text{par}}$ der Spulenwicklung der Lastinduktivität L_L [PfRi24] [LiMu14] [BÖRK14] (siehe auch Abschnitt 3.3) und die Sperrsichtkapazität C_J der Freilaufdiode D_F [LiMu14] [BÖRK14] sowie deren parasitäre Induktivitäten der Anschlüsse (Bild 2.22). Diese Elemente wirken sich selbstverständlich auch auf das Schaltverhalten aus. Die hieraus resultierende Beeinflussung ist allerdings neben den Effekten der oben genannten parasitären Elementen von untergeordneter Bedeutung und wird erst im Abschnitt, in dem diese relevant werden, erläutert.

3 Messtechnik

Die Charakterisierung des Ein- und Ausschaltverhaltens von Transistoren und Dioden bei unterschiedlichen Einflussgrößen ist für die Konzeption eines leistungselektronischen Systems eine wichtige Maßnahme. Damit können Kenntnisse über die im Betrieb auftretenden Schaltenergien beziehungsweise auszuräumende Ladungen und kritische Betriebszustände, wie beispielsweise einem Kurzschluss, erlangt werden. Es muss jedoch beachtet werden, dass während des Charakterisierungsprozesses, sowohl die in der Testschaltung bewusst genutzten sowie die parasitären Schaltungselemente einen entscheidenden Einfluss auf das jeweilige Leistungshalbleiterbauelement ausüben können. Letztendlich ist die Qualität der Charakterisierung eine Frage der den Leistungshalbleiter umgebenden Testschaltung. Eine Analyse der auftretenden Schalttransienten und somit der maximalen Änderungsgeschwindigkeiten von Strom und Spannung ist ein weiterer wichtiger Punkt, da diese die Höhe der auftretenden Überspannungen und Verschiebeströme durch die parasitären Induktivitäten beziehungsweise Kapazitäten bestimmen (siehe auch Abschnitt 2.3). Die Effekte an den parasitären Elementen eines leistungselektronischen Systems belasten während des Schaltvorgangs nicht nur den Transistor und die Diode, sondern auch weitere passive und aktive Schaltungselemente. Diese parasitären Elemente entstehen nicht nur durch einen mangelhaften Schaltungsentwurf. Beispielsweise ist eine Umgehung der parasitären Kapazitäten eines Transistors beziehungsweise einer Diode und der Streuinduktivitäten des verwendeten Bauelementgehäuses nicht möglich (siehe auch Abschnitt 2.3). Auch lassen sich die parasitären Elemente einer Testschaltung teilweise ab einer gewissen Größenordnung nicht weiter minimieren, da sie fertigungstechnisch bedingt sind. Dies ist beispielsweise für koaxiale Strommesswiderstände in Bezug auf die parasitäre Induktivität zwischen Innen- und Außenleiter (siehe Abschnitt 3.2.1) und für Zylinderspulen in Bezug auf die parasitäre Kapazität zwischen den Windungen der Fall [PfRi24] [LiMu14] (siehe auch Abschnitt 3.3).

Nachfolgend werden alle für die Schaltversuche notwendigen beziehungsweise grundlegenden Eigenschaften des Messplatzes betrachtet und parasitäre Eigenschaften von realen Messkomponenten untersucht.

3.1 Schaltversuche

Die Betrachtung der Schaltversuche, des Messplatzkonzepts sowie der Schaltverläufe und deren Auswertung in den nachfolgenden Unterabschnitten basiert zum Teil auf den Ergebnissen der betreuten studentischen Arbeitsvorhaben [BsA-Li13] [BsA-Ruge13] [BsA-Kret14] [BsA-Li15] [BsA-Adel15] [BsA-Kret16] [BsA-Hanf16].

3.1.1 Doppelpulsversuch

Zur Ermittlung des charakteristischen Ein- und Ausschaltverhaltens von SiC-Transistoren und -Dioden bei induktiver Last im normalen Schaltbetrieb wird eine Doppelpuls- beziehungsweise Tiefsetzstellerschaltung (Bild 3.1) verwendet. Als Transistor kommt hier beispielhaft der MOSFET M zum Einsatz.

Bild 3.2 zeigt die idealisiert dargestellten Spannungs- und Stromverläufe eines Doppelpulsversuchs, das heißt die parasitären Effekte von Streuinduktivitäten und -kapazitäten des Versuchsaufbaus (siehe Abschnitt 2.3 und 3.1.4) werden hier bewusst vernachlässigt. Während des ersten Pulses ($t_0 < t < t_1$) ist der MOSFET M im Durchlass- und die Freilaufdiode D_F im Sperrbetrieb. Folglich wird die Lastinduktivität L_L aufgestromt. Bei Verwendung einer Lastinduktivität L_L ohne magnetischen Kern (siehe auch Abschnitt 3.3) entfallen hierbei von vornherein die Hysterese sowie die Sättigung der Induktivität. Die Spannung u_F über der Freilaufdiode D_F ist in dieser Phase ($t_0 < t < t_1$) ungefähr gleich der negativen Zwischenkreisspannung $-U_{DC}$. Über dem MOSFET M hingegen fällt lediglich die vom Strom I_D abhängige Durchlassspannung

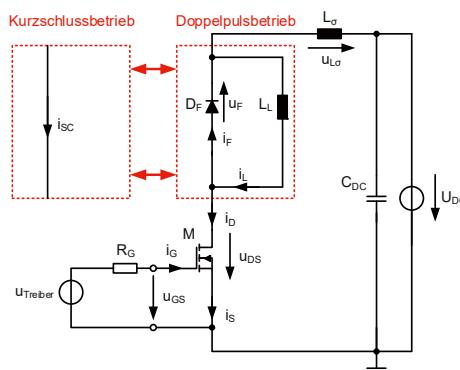


Bild 3.1: Schaltung mit einem MOSFET M als schaltendes Bauelement zur Durchführung von Doppelpuls- und Kurzschlussversuchen

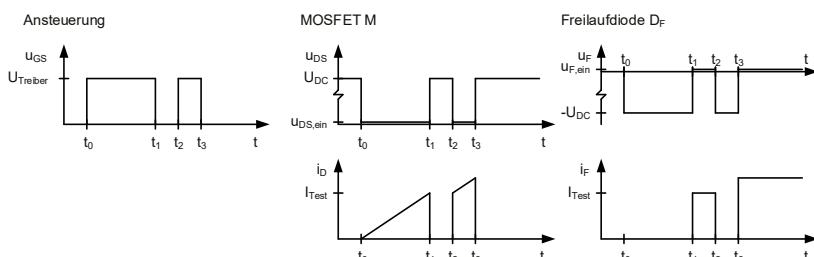


Bild 3.2: Idealisierte Schaltverläufe beim Doppelpulsversuch bezogen auf die Schaltung in Bild 3.1

$U_{DS,ein}$ ab. Sobald der Strom i_L durch die Lastinduktivität L_L gleich dem Teststrom I_{Test} ist, also die Testbedingungen für den Ausschaltversuch des MOSFETs M beziehungsweise den Einschaltversuch der Freilaufdiode D_F erfüllt sind, wird der MOSFET M bei $t = t_1$ ausgeschaltet. Dieser nimmt in Abhängigkeit der Ansteuer- und Testbedingungen (siehe auch Abschnitt 5.3.2) Spannung auf und nach der vollständigen Aufnahme der Zwischenkreisspannung U_{DC} kommutiert der Strom i_L aus dem MOSFET M in die Freilaufdiode D_F . Am Ende des Ausschaltversuchs des MOSFETs M beziehungsweise des Einschaltversuchs der Freilaufdiode D_F ist die Freilaufdiode D_F im Durchlassbetrieb, wobei ihre Durchlassspannung u_F den stromabhängigen Wert $u_{F,ein}$ annimmt, und der MOSFET M ist im Sperrbetrieb, womit ungefähr die Zwischenkreisspannung U_{DC} über diesem anliegt. Im realen Betrieb würde während der Freilaufphase ($t_1 < t < t_2$) jedoch der Strom i_L beziehungsweise i_F abnehmen, da Energie aus der Lastinduktivität L_L in der Freilaufdiode D_F sowie den parasitären Widerständen des Freilaufkreises in Wärme umgewandelt wird. Somit wären die Testbedingungen für den nachfolgenden Einschaltversuch des MOSFETs M beziehungsweise den Ausschaltversuch der Freilaufdiode D_F bei $t = t_2$ nicht mehr gänzlich gegeben. Es wird aber meist im realen Betrieb aufgrund ausreichend dimensionierter passiver Bauelemente vereinfachend angenommen, dass der Strom i_L zu den Zeitpunkten t_1 und t_2 näherungsweise identisch ist. Sofern von dem MOSFET M und der Freilaufdiode D_F bei $t > t_1$ stabile Betriebszustände vorliegen, das heißt im realen Betrieb sämtliche Schwingungen abgeklungen und die quasistatischen Betriebspunkte erreicht sind, wird der MOSFET M bei $t = t_2$ wieder aufgesteuert und der Strom i_L beziehungsweise i_F kommutiert aus der Freilaufdiode D_F zurück in den MOSFET M. Nachdem der Strom i_D des MOSFETs M gleich dem Teststrom I_{Test} ist, sinkt die Spannung u_{DS} über dem MOSFET M auf ihren Durchlasswert $u_{DS,ein}$ ab und die Freilaufdiode D_F beginnt zeitgleich Spannung aufzunehmen. Sobald auch hier für den MOSFET M und die Freilaufdiode D_F stabile Betriebszustände herrschen, wird der MOSFET M bei $t = t_3$ endgültig ausgeschaltet. Es erfolgt im realen Betrieb ab $t = t_3$ lediglich noch ein ausklingendes Freilaufen der Lastinduktivität L_L über die Freilaufdiode D_F , bis sämtliche Energie aus der Lastinduktivität L_L in Wärme umgewandelt ist.

Sämtliche Messungen mit dem Oszilloskop während eines solchen Schaltversuchs werden möglichst erdnah durchgeführt. Das heißt, es wird jeweils der Leistungshalbleiter in der unteren Position des Tiefsetzstellers vermessen. In Bezug auf Bild 3.1 führt dies zu einem Tausch der Position des MOSFETs M mit der Position der Freilaufdiode D_F sowie der dazu parallelgeschalteten Lastinduktivität L_L . Der zur Strommessung von i_D beziehungsweise i_F verwendete koaxiale Messwiderstand (Koaxialshunt) wird bei den Doppelpulsmessungen somit ebenfalls immer erdnah verwendet. Das heißt, er liegt einseitig auf dem Bezugspotential des Oszilloskops, an das er über eine BNC-Leitung mit 50Ω -Durchgangsabschlusswiderstand angebunden ist (siehe auch Abschnitt 3.2).

3.1.2 Kurzschlussversuch

Wie aus Bild 3.1 (links oben) hervorgeht, wird für die Ermittlung des charakteristischen Kurzschlussverhaltens des MOSFETs M die Freilaufdiode D_F ebenso wie die Lastinduktivität L_L aus der Tiefsetzstellerschaltung entfernt. Stattdessen wird an ihrer Stelle eine möglichst niederinduktive beziehungsweise idealerweise ähnlich induktive Kurzschlussbrücke eingesetzt. Bei dem untersuchten Kurzschlussfall handelt es sich folglich um den Kurzschlussfall 1, da der MOSFET M auf einen bereits bestehenden Kurzschluss aufschaltet und dieser nicht erst im Durchlassbetrieb des MOSFETs M auftritt [VoHo12].

Die idealisierten Schaltverläufe (auch hier ohne parasitäre Einflüsse von Streuinduktivitäten und -kapazitäten) während eines nicht zerstörenden Kurzschlussversuchs sind in Bild 3.3 abgebildet. Der MOSFET M wird bei einem bereits bei $t = t_0$ bestehendem Kurzschluss eingeschaltet. Folglich verbleibt die Spannung u_{DS} über dem MOSFET M auf dem Niveau der Zwi-schenkreisspannung U_{DC} . Ab dem Zeitpunkt t_0 steigt der Strom $i_{D,SC}$ auf ein durch seine physikalischen Eigenschaften bedingtes Maximum $i_{D,SCmax}$ und der weitere Verlauf von $i_{D,SC}$ wird ebenso von diesen bestimmt (siehe auch Abschnitt 5.5). Bei $t = t_1$ wird der MOSFET M ausgeschaltet und der Strom $i_{D,SC}$ sinkt auf das Leckstromniveau des MOSFETs M ab. Im realen Betrieb hat hier selbstverständlich die Streuinduktivität L_o in Verbindung mit den auftretenden Stromänderungsgeschwindigkeiten di_D/dt , wie auch bei den Doppelpulsmessungen, einen erheblichen Einfluss auf die Schaltverläufe (siehe auch Abschnitt 2.3).

Im Fall der Charakterisierung des Kurzschlussverhaltens des MOSFETs M (Bild 3.1) wird die Strommessung im Versuchsaufbau mittels einer Rogowski-Spule vorgenommen, da diese während des provozierten Fehlerfalls (Kurzschluss 1) und der damit verbundenen potentiellen Zerstörung des MOSFETs M im Gegensatz zum koaxialen Messwiderstand eine intrinsische Sicherheit für die weiteren Messinstrumente bietet. Diese intrinsische Sicherheit beruht auf dem vorliegenden Messprinzip, bei welchem die Messung des Stroms $i_{D,SC}$ über das magnetische Feld erfolgt und somit eine galvanische Trennung bei der Strommessung vorhanden ist (siehe auch Abschnitt 3.2, Tabelle 3.2). Eine gewisse Verfälschung des Stromsignals der Rogowski-Spule durch den sogenannten „Droop“-Effekt, welcher bei langen nahezu konstanten Signalen auftritt, ist hierbei allerdings in Kauf zu nehmen [Powe02] [Schr06].

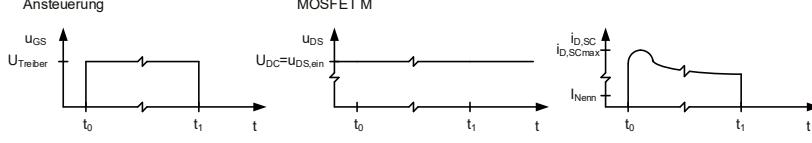


Bild 3.3: Idealisierte Schaltverläufe beim Kurzschlussversuch bezogen auf die Schaltung in Bild 3.1

3.1.3 Messplatzkonzept

Der genutzte Messplatz (siehe Anhang Bild 7.1) basiert, wie auch das zugehörige Messplatzprogramm in National Instruments™ LabVIEW, auf dem im Rahmen des studentischen Arbeitsvorhabens [BsA-Li13] entstandenen Versuchsaufbaus, der nach den zu Beginn des Arbeitsvorhabens gestellten Anforderungen nach Sicherheit und Funktionalität erstellt wurde. Sowohl der Messplatz, als auch das Messplatzprogramm wurden ständig überarbeitet und um Komponenten sowie Funktionen, wie beispielsweise für Kurzschlussmessungen in dem studentischen Arbeitsvorhaben [BsA-Kret16], erweitert.

In Bild 3.4 ist das prinzipielle Konzept des Messplatzes abgebildet. Zum Schutz des Nutzers werden alle offenen und potentiell im Fehlerfall hochspannungsführenden Messplatzkomponenten sowie Testobjekte innerhalb eines Isolationsgehäuses aufgestellt. Das Isolationsgehäuse verfügt über eine Zuhaltung der Marke Schmersal, durch welche ein Öffnen nur im spannungslosen Zustand des Zwischenkreises und der Spannungsquelle FuG MCP 140-2000 erfolgen kann. Zur Feststellung der Spannungslosigkeit und Überwachung der Zwischenkreisspannung U_{DC} im Betrieb verfügt der Messplatz über zwei analoge Drehspulmesswerke mit einem Messbereich bis 2 kV beziehungsweise bis 10 kV.

Die Pulsmustererzeugung für die Doppelpulsversuche erfolgt mit einem Funktionsgenerator Rigol DG 1022 oder Rigol DG 4162, wobei für die Schaltversuche an Transistoren hauptsächlich der DG 4162 aufgrund der genauer einstellbaren Pulszeiten zum Einsatz kam. Im Fall des DG 4162 ist für ein arbiträres Pulsmuster eine minimale zeitliche Diskretisierung von

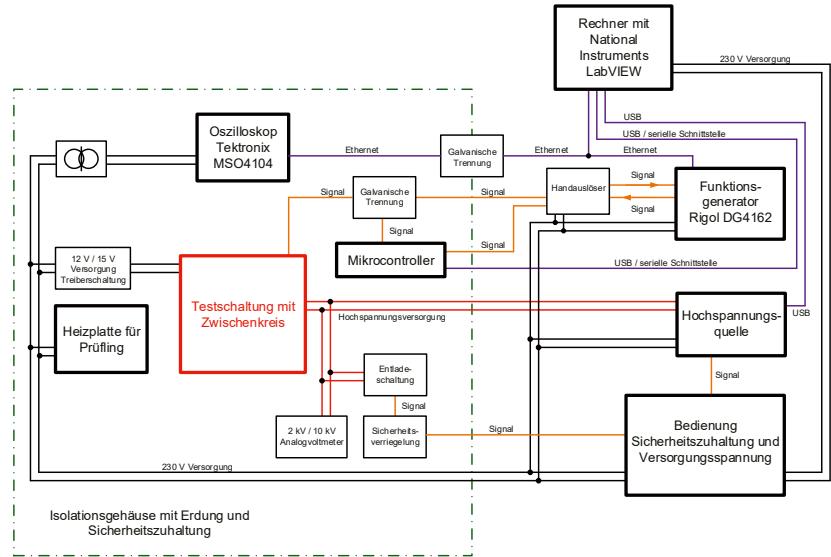


Bild 3.4: Übersicht der Hauptkomponenten des Messplatzes

$t_{DG4162,min} = 25$ ns und eine Maximallänge bei dieser Diskretisierung von $t_{DG4162,max} = 400$ μ s gegeben [DB-Rigo15]. Bei Kurzschlussversuchen wird die Pulsmustererzeugung über einen Mikrocontroller (μ C) mit einer Diskretisierung von $t_{\mu C} = 200$ ns vorgenommen [BsA-Kret16]. Die galvanische Trennung der Pulsmusterquellen von der Testschaltung erfolgte über optische und induktive Koppler. Zur Auslösung der Pulsmuster wurde sowohl für die Funktionsgeneratoren als auch für den Mikrocontroller ein Handauslöser verwendet.

Alle Messdaten werden mit einem digitalen Speicherolszilloskop Tektronix MSO 4104 mit einer Bandbreite von 1 GHz und einer maximalen Abtastrate von 5 GS/s aufgezeichnet. Damit eine Verfälschung der Messsignale durch Erdschleifen weitestgehend verhindert wird, liegt die Spannungsversorgung des Oszilloskops, wie bereits von Schon [Scho10] zur Umgehung von Erdschleifen beschrieben, über einen Trenntransformator vor. Dieser stammt von der Firma Tauscher (Typ TT 500) und besitzt eine Isolationsspannung von 5 kV [DB-Taus08] sowie eine Koppelkapazität von $C_{Koppel} = 100$ pF (nach Mitteilung des Herstellers). Für die notwendige Isolation zwischen dem Oszilloskop und dem Messplatzrechner wird eine Datenübertragung mittels Lichtwellenleiter verwendet, deren oszilloskopseitiger Empfänger und Sender ebenfalls über den Trenntransformator betrieben werden. Somit ist keine direkte Verbindung zwischen dem Messplatzrechner beziehungsweise dem Bediener und der aus sicherheitstechnischer Sicht gegebenenfalls auf einem bedenklichen Potential liegenden Testschaltung gegeben.

Die Anpassung des Oszilloskops, der Hochspannungs- sowie der Pulsmusterquelle an die Messbedingungen erfolgt teilautomatisiert über den Messplatzrechner durch eine Eingabe der entsprechenden Testparameter in das Messplatzprogramm. Ebenso erfolgt die Speicherung der Messdaten über das Programm, sodass eine detaillierte Auswertung in The MathWorks® MATLAB® möglich ist.

Die an der Hochspannungsquelle einzustellende Spannung U_Q entspricht bei einem niedrigen Energieinhalt E des Zwischenkreises, aufgrund einer niedrigen angestrebten Zwischenkreisspannung U_{DC} oder einer aus Entwurfsgründen gering gewählten Zwischenkreiskapazität C_{DC} , bei einem vernachlässigbaren Nachladestrom nicht der tatsächlich am Zwischenkreis anliegenden Spannung U_{DC} . Es muss im Fall eines niedrigen Energieinhalts eine Erhöhung der Quellenspannung U_Q und somit der Energie E stattfinden, da sich ansonsten eine signifikante Verminderung der Test- beziehungsweise Zwischenkreisspannung U_{DC} aufgrund der Energieentnahme ΔE zur Bereitstellung des Teststroms I_{Test} bis zum Zeitpunkt t_1 (Bild 3.2) einstellt. Mit Gleichung 11 lässt sich die Energieentnahme ΔE in Abhängigkeit des angestrebten Teststroms I_{Test} durch die Lastinduktivität L_L nach der Aufstromphase der Länge $t_{\Delta E}$ ($t_0 < t < t_2$ in Bild 3.2), mathematisch darstellen.

$$\Delta E = \frac{1}{2} \cdot C_{DC} \cdot \Delta U_{DC}^2 = \frac{1}{2} \cdot C_{DC} \cdot \left(\frac{\frac{1}{2} \cdot I_{Test} \cdot t_{\Delta E}}{C_{DC}} \right)^2 = \frac{1}{8} \cdot \frac{1}{C_{DC}} \cdot I_{Test}^2 \cdot t_{\Delta E}^2 \quad (11)$$

Diese Energiedifferenz ΔE ist der theoretisch bei der gewünschten Testspannung U_{DC} im Zwischenkreis vorhandenen Energie E zuzuschlagen. Aus der resultierenden Gesamtenergie E_{ges} kann durch Umstellen nachfolgend der erhöhte Wert der einzustellenden Spannung U_Q (Gleichung 12) ermittelt werden.

$$E_{ges} = \frac{1}{2} \cdot C_{DC} \cdot U_{Q,erhöht}^2 \quad \Rightarrow \quad U_{Q,erhöht} = \sqrt{\frac{E_{ges}}{\frac{1}{2} \cdot C_{DC}}} \quad (12)$$

Das aus Gleichung 12 durch Einsetzen resultierende Endergebnis wird im Messplatzprogramm verwendet. In der Praxis hat sich eine automatische Erhöhung der Spannung U_Q durch das Messplatzprogramm allerdings aufgrund von Abweichungen der verwendeten Bauelemente ebenso wie vorhandener parasitärer Schaltungselemente als nicht ausreichend erwiesen. Die nach der automatischen Erhöhung weiter bestehenden Abweichungen von U_{DC} müssen durch manuelles Nachstellen der erhöhten Quellenspannung $U_{Q,erhöht}$ beseitigt werden.

Die Temperierung der zu untersuchenden Transistoren und Dioden erfolgt mit der geregelten Lötstation ERSA Digital 2000A im Bereich von $T = 50^\circ\text{C} \dots 200^\circ\text{C}$ (max. 450°C mit Lötstation möglich), deren Heizelement in unterschiedlichen aus Aluminiumblöcken konstruierten Heizplatten eingelassen werden kann. Aufgrund der kurzen Pulsdauern bei den Doppelpulsversuchen und der thermischen Kapazitäten der Leistungshalbleiterbauelemente wird angenommen, dass lediglich eine geringe Eigenerwärmung auftritt und die Sperrsichttemperatur T_J des zu testenden Leistungshalbleiterbauelements für die Messdauer weitestgehend mit der von der Heizplatte vorgegebenen Temperatur übereinstimmt. Bei allen Versuchen mit einer Heizplatte sind die Leistungshalbleiter durch eine Aluminiumoxidscheibe von dieser elektrisch isoliert, wobei die Heizplatte für den Fall eines Überschlags zusätzlich geerdet ist. Die Heizplatten können neben der Verwendung für dynamische Doppelpuls- und Kurzschlussmessungen auch für die statischen Messungen der Kennlinien genutzt werden. Hierbei wird zumindest bei den herkömmlichen Messungen zum Sperrbetrieb - dies schließt Messungen unter Extrembedingungen wie in Abschnitt 4.1.4 aus - aufgrund der kurzen Messdauer und der thermischen Kapazität des jeweiligen Leistungshalbleiterbauelements ebenfalls von einer gleichbleibenden Sperrsichttemperatur T_J ausgegangen.

3.1.4 Schaltverläufe und deren Auswertung

Die mit dem Messplatz beziehungsweise dem Messplatzprogramm aufgenommenen Strom- und Spannungsverläufe benötigen vor der Auswertung eine Korrektur der durch die Tastköpfe gegebenen Signalverzögerungen und Amplitudenveränderungen beziehungsweise -abweichungen.

Für die genutzten Tastköpfe wurden unterschiedliche Verzögerungszeiten ermittelt, in dem das rechteckförmige Ausgangssignal von $U_{Signal} = +/- 5\text{ V}$ des Funktionsgenerator Rigol

DG4162 zeitgleich auf den Eingang mehrerer Tastköpfe gelegt und am im Messplatz verwendeten Oszilloskop der zeitliche Versatz zur Referenz im Nulldurchgang abgelesen wurde (Tabelle 3.1). Als Referenz wurde eine BNC-Leitung mit 50Ω -Durchgangsabschlusswiderstand verwendet, wie sie auch für die Anbindung des koaxialen Messwiderstands während der Charakterisierung der Leistungshalbleiterbauelemente verwendet wurde (siehe auch Abschnitt 3.2). Eine zeitliche Verschiebung der über dem schaltenden Transistor beziehungsweise der Diode anliegenden Spannung gegenüber dem Stromsignal muss zur Korrektur entsprechend in den aufgenommenen Messdaten durchgeführt werden. Bei der Verwendung eines Stromsensors mit einer zeitlichen Verzögerung des Ausgangssignals (beispielsweise eine Rogowski-Spule) muss diese ebenfalls mittels einer Signalverschiebung ausgeglichen werden.

Die genutzten Hochspannungstastköpfe (PMK PHVS 1000 und PHV 641) können laut Datenblatt eine Abweichung von +/- 2 % [DB-Pmkg11] [DB-Pmkg14] und die zum Oszilloskop gehörenden Tastköpfe (Tektronix P6139A) von +/- 0,5 % [DB-Tekt00a] bei Gleichspannung bezüglich des Teilungsverhältnisses aufweisen. Ein Teil der mit dem Oszilloskop gemessenen Amplitudenabweichung ist zudem auf die Diskretisierung des Oszilloskops zurückzuführen. Bei der durch die genutzten Hochspannungstastköpfe auftretenden Amplitudenveränderung handelt es sich zum Teil um einen Spannungsversatz im Bereich der angelegten Zwischenkreisspannung U_{DC} , nach dessen Korrektur noch eine Abweichung der gemessenen Durchlassspannung von der tatsächlichen beziehungsweise im Datenblatt angegebenen Durchlassspannung des Leistungshalbleiters verbleibt. Der verbleibende von der Zwischenkreisspannung U_{DC} abhängende Spannungsversatz ΔU lässt sich durch eine Streckung des kompletten Spannungssignals nach Gleichung 13 [BsA-Ruge13] korrigieren.

$$u_{\text{korrigiert}}(t) = (u(t) - \Delta U) \cdot \frac{U_{DC}}{U_{DC} - \Delta U} \quad (13)$$

Bei den über eine BNC-Leitung mit 50Ω -Durchgangsabschlusswiderstand beziehungsweise den zum Oszilloskop zugehörigen Tastköpfen aufgenommenen Spannungssignalen wurde lediglich eine notwendige Versatzkorrektur um den Nullpunkt vorgenommen. Dies geschah ebenso für das Spannungssignal bei Verwendung einer Rogowski-Spule.

Abschließend erfolgt eine Glättung der aufgenommenen Spannungs- und Stromverläufe durch eine gleitende Mittelwertbildung über n Messpunkte. Da die Ermittlung der maximalen Schaltgeschwindigkeiten di/dt_{\max} und du/dt_{\max} von Messpunkt zu Messpunkt vorgenommen

Tabelle 3.1: Verzögerungszeiten unterschiedlicher Tastköpfe

Signalanbindung / Tastkopf	Verzögerungszeit bei $f_{\text{Signal}} = 100 \text{ kHz}$	Verzögerungszeit bei $f_{\text{Signal}} = 1 \text{ MHz}$
Referenz	---	---
Tektronix P6139A (Oszilloskopzubehör)	0,5 ns	0,5 ns ... 0,6 ns
PMK PHV 641	0,2 ns	0,2 ns
PMK PHVS 1000	3,2 ns ... 3,5 ns	3,2 ns ... 3,4 ns

wird, sinkt durch die vorherige gleitende Mittelwertbildung die Fehleranfälligkeit dieser automatisierten Auswertungsmethode. Die ermittelten di/dt_{max} - und du/dt_{max} -Werte sollen des Weiteren weniger die absoluten Werte darstellen, als ein Indiz dafür sein, wie sich die maximal auftretenden Schaltgeschwindigkeiten in den Transienten in Abhängigkeit einer Parametervariation verändern, da die Absolutwerte stark von der Anzahl n der Messpunkte beeinflusst werden.

In Bild 3.5 sind exemplarisch die Doppelpulsschaltverläufe des Drain-Strom i_D und der Drain-Source-Spannung u_{DS} eines SiC-MOSFETs, der in Verbindung mit einer intrinsischen pin-Freilaufdiode D_F eines SiC-MOSFETs geschaltet wird (Bild 2.22), dargestellt. Diese werden jeweils durch die Auswirkungen der parasitären Kapazitäten C_σ und Induktivitäten L_σ (siehe auch Abschnitt 2.3) beeinflusst, woraus Veränderungen der Schaltenergien E_{ein} und E_{aus} gegenüber den Werten unter Idealbedingungen resultieren. Eine der nachfolgenden Betrachtung ähnliche Beschreibung ist in [LiMu14] zu finden. Beim Einschalten kommt es gegenüber dem Idealfall (siehe Abschnitt 3.1.1) aufgrund der Streuinduktivität L_σ des Lastkreises und der positiven Stromänderungsgeschwindigkeit di_D/dt bereits vor dem Vorhandensein des Teststroms I_{Test} durch den Strom i_D zu einem Spannungseinbruch $-u_{L\sigma}$ in der über dem MOSFET anliegenden Spannung u_{DS} . Demgegenüber führt die Ladung Q_{RR} der intrinsischen pin-Freilaufdiode zu einer Rückstromspitze i_{RR} , die der MOSFET beim Umladevorgang ebenfalls mittragen beziehungsweise übernehmen muss. Im Fall einer SiC-Schottky-Diode würde die Rückstromspitze i_{RR} geringer ausfallen, da somit eine Beeinflussung dieser lediglich über die Sperrschichtkapazität C_J und die negative Spannungsänderungsgeschwindigkeit $d(-u_{DS})/dt$ eintritt (siehe auch Abschnitt 4.2.2). Beim Ausschaltvorgang kommt es zu gegenläufigen beziehungsweise dualisierten (siehe [Thom00]) Effekten. Gegenüber dem Idealfall sinkt der durch den SiC-MOSFET

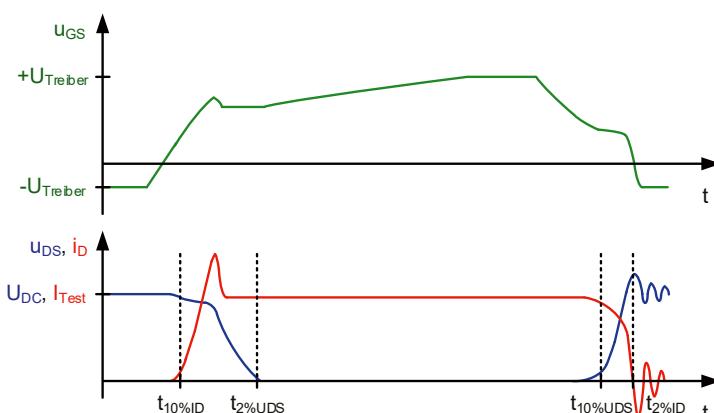


Bild 3.5: Vereinfacht dargestellte gemessene Schaltverläufe eines SiC-MOSFETs mit intrinsischer SiC-pin-Diode als Freilaufdiode mit Integrationsgrenzen unter Berücksichtigung parasitärer Elemente im Lastkreis

fließende Strom i_D hierbei nicht erst nach der vollständigen Aufnahme der Zwischenkreisspannung U_{DC} durch den SiC-MOSFET ab, sondern schon erheblich früher. Dies ist eine direkte Folge der Umladung der parasitären Kapazitäten C_σ des Lastkreises, zu welcher auch die Sperrschichtkapazität C_J gehört (siehe Abschnitt 2.3), infolge der positiven Spannungsänderungsgeschwindigkeit du_{DS}/dt . Die Streuinduktivität L_σ des Lastkreises führt, im Gegensatz zum Einschalten, beim Abschalten des SiC-MOSFET aufgrund der negativen Stromänderungsgeschwindigkeit $d(-i_D)/dt$ zur Überspannung $u_{L\sigma}$ im Verlauf der Spannung u_{DS} .

Bezogen auf Bild 3.2 wird das während des Doppelpulsversuchs erfasste Ausschaltverhalten des SiC-MOSFETs um den Zeitpunkt t_1 und das Einschaltverhalten um den Zeitpunkt t_2 charakterisiert beziehungsweise durch Integration ausgewertet. Die Integration der durch den Drain-Strom i_D und die Drain-Source-Spannung u_{DS} (Bild 3.5) gegebenen Leistung zur Einschaltenergie E_{ein} erfolgt vom Zeitpunkt, an dem 10 % der Zwischenkreisspannung U_{DC} durch die über dem SiC-MOSFET anliegende Spannung u_{DS} erreicht sind, bis zum Zeitpunkt, an dem der Strom i_D den 2 %-Punkt des Teststroms I_{Test} durchschreitet [VoHo12]. Demgegenüber wird die Ausschaltenergie E_{aus} entsprechend zwischen den Zeitpunkten, an denen der Strom i_D 10 % des Teststrom I_{Test} über- und die Spannung u_{DS} 2 % der Zwischenkreisspannung U_{DC} unterschreitet, berechnet [VoHo12]. Die obigen Integralgrenzen gelten in dieser Arbeit selbstverständlich nicht nur für den SiC-MOSFET, sondern auch für den SiC-BJT, der ebenfalls mittels des Doppelpulsversuchs dynamisch vermessen wurde. Bei der Auswertung des Doppelpulsversuchs bezüglich der Rückstromspitze der verwendeten SiC-Dioden ist, im Gegensatz zur Auswertung des Versuchs an Transistoren, lediglich der während der Rückstromspitze fließende Strom $i_{RR} = -i_F$ zu integrieren. Das Ergebnis der Integration ist entweder die kapazitive Ladung Q_C einer SiC-Schottky-Diode oder die Ladung Q_{RR} aufgrund des Elektron-Loch-Plasmas einer SiC-pin-Diode. Es wird in dieser Arbeit nicht zwischen der Ladung Q_{RR} und der Gesamtladung $Q_{RR} + Q_C$ bei pin-Dioden unterschieden, das heißt, der kapazitive Anteil der Ladung wird nicht wie beispielsweise in [Appe14] herausgerechnet. Da das Signal des Strommesswiderstands bei der Ermittlung der Rückstromspitze von Schwingungen überlagert wurde, war eine Integration des Stroms i_{RR} ab dem Wechsel des Vorzeichens bis zum vollständigen Abklingen der Oszillationen nicht möglich. Daher wurde die Integration bei den in Abschnitt 4.2.2 untersuchten SiC-Dioden nach wenigen vollständigen Oszillationen abgebrochen, um die Ladungsmenge zu ermitteln. Dies wird auch von Appel [Appe14] als legitime Methode zur Auswertung beschrieben.

Die Auswertung des Kurzschlussverhaltens bezüglich der Kurschlussergie E_{sc} erfolgt über die Integration der entsprechenden Leistung, welche über den Drain-Strom $i_{D,SC}$ und die über dem SiC-MOSFET anliegenden Drain-Source-Spannung u_{DS} gegeben ist. Die Integration wird hierbei zwischen den Zeitpunkten des Aufschaltens auf den Kurzschluss durch den SiC-MOSFET und der nachfolgenden Aufhebung des Kurzschlusszustandes für den selbigen (Bild 3.3) durchgeführt.

3.2 Strommessung über einen Widerstand

In den folgenden Unterabschnitten wird betrachtet, wie sich die in den Strompfad eingebrachte Induktivität des Shunts L_{Shunt} durch unterschiedliche Strommesswiderstände minimieren lässt. Die Überlegungen und durchgeführten Untersuchungen zu den Messwiderständen wurden in Teilen bereits in [AdBK16] [BÖAK18a] vorgestellt. Des Weiteren sind anteilig Ergebnisse aus den betreuten studentischen Arbeitsvorhaben [BsA-Adel14] und [BsA-Adel15] in diesen Abschnitt sowie die zugehörigen Unterabschnitte eingeflossen. Es sei angemerkt, dass bandbreitenbegrenzende beziehungsweise die obere Grenzfrequenz begrenzende Effekte wie der Skin- und Proximity-Effekt (siehe [Dyer01]) und die Auswirkung der parasitären Kapazitäten der Messwiderstände (siehe [Schw81]) nicht Teil der an den aufgebauten Prototypen durchgeführten Untersuchungen waren.

Prinzipbedingt entfällt bei der Strommessung mit Widerständen der Vorteil einer intrinsischen galvanischen Trennung, der bei einer berührungslosen Strommessung, beispielsweise über das durch den stromführenden Leiter hervorgerufene Magnetfeld, vorhanden wäre. Die Strommessung mit einem koaxialen Messwiderstand beziehungsweise Koaxialshunt ermöglicht allerdings in der Regel deutlich höhere Bandbreiten, als eine solche mit Stromsensoren, die auf anderen Prinzipien, wie der Induktion oder dem Hall-Effekt, beruhen (Tabelle 3.2).

Damit bei der Strommessung mittels eines Messwiderstands R_{Shunt} ein möglichst unverfälschtes Abbild des tatsächlich fließenden Stroms i_{Shunt} vorliegt, müssen der Mess- und Lastkreis separat kontaktiert werden (Bild 3.6), wodurch die Übergangswiderstände R_{Kontakt} der Lastanschlüsse (Bild 3.7) in der Spannung u_{Shunt} nicht zum Tragen kommen [Dyer01]. Im Fall des Koaxialshunts wird des Weiteren durch die Separierung der Anschlüsse nicht nur die Auswirkung der Übergangswiderstände R_{Kontakt} , sondern auch die der Induktivität zwischen Innen- und Außenleiter (siehe auch Abschnitt 3.2.1, Bild 3.12) in der Messspannung u_{Shunt} umgangen.

Tabelle 3.2: Vergleich kommerzieller Stromsensoren

Stromsensor	Koaxialer Messwiderstand	Rogowski-Spule	Pearson-Wandler	Closed-Loop-Hall-Effekt-Wandler
Messprinzip	Resistiv	Induktiv	Induktiv	Hall-Effekt, induktiv
Galvanische Trennung	Nein	Ja	Ja	Ja
Bandbreite	Bis 2 GHz [DB-Bill14]	Bis 30 MHz [DB-Powe14]	Bis 200 MHz [DB-Pear12]	Bis 200 kHz [Lemc06], bis 120 MHz [DB-Tekt00b]
Öffnung/Veränderung des Strompfads	Erforderlich	Meist nicht erforderlich	Erforderlich	Erforderlich
Sättigungseffekte	Nein	Nein	Ja	Ja
Kritischer Betrieb	Überstrom	Zu hohe di/dt-Werte	Überstrom	Überstrom

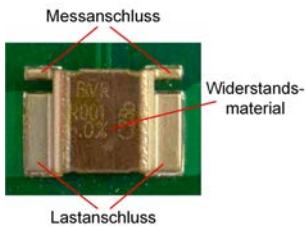


Bild 3.6: Beispiel für separate Kontaktierung von Mess- und Lastkreis an einem SMD-Widerstand (Typ BVR von Isabellenhütte Heusler GmbH & Co. KG)

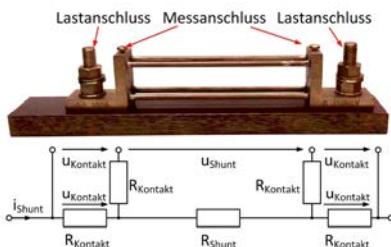


Bild 3.7: Beispiel für separate Kontaktierung von Mess- und Lastkreis an einem Widerstand. Ersatzschaltbild gemäß [Dyer01]

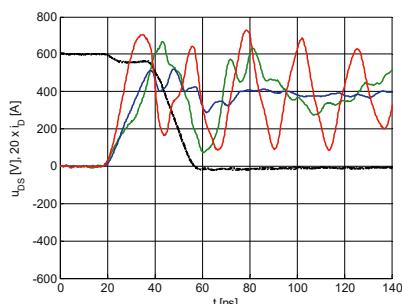


Bild 3.8: Einschalten bei $U_{DS} = 600 \text{ V}$, $I_D \approx 19 \text{ A}$, $U_{\text{Treiber}} = 15 \text{ V}/-3,3 \text{ V}$, $R_{G,\text{ext}} = 5,1 \Omega$, $L_L = 200 \mu\text{H}$, $L_o = 23 \text{ nH}$ und $T_J = 23 \text{ }^\circ\text{C}$. Schalter ist C3M0065090D von Wolfspeed, Diode ist intrinsische Diode des C3M0065090D



Bild 3.9: Messung mit Tastkopf P6139A direkt in der Ausgangsbuchse des Koaxialshunts ($R_{Shunt} = 0,00998 \Omega$)

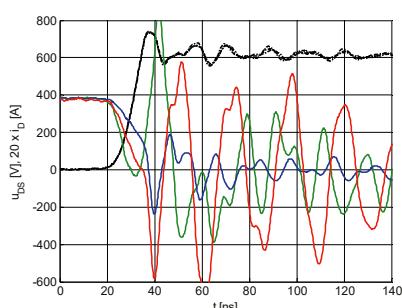


Bild 3.10: Ausschalten bei $U_{DS} = 600 \text{ V}$, $I_D \approx 19 \text{ A}$, $U_{\text{Treiber}} = 15 \text{ V}/-3,3 \text{ V}$, $R_{G,\text{ext}} = 5,1 \Omega$, $L_L = 200 \mu\text{H}$, $L_o = 23 \text{ nH}$ und $T_J = 23 \text{ }^\circ\text{C}$. Schalter ist C3M0065090D von Wolfspeed, Diode ist intrinsische Diode des C3M0065090D

—	Koaxialleitung mit $R_{\text{Abschluss}} = Z$
—	Koaxialleitung mit $R_{\text{Abschluss}} = 1 \text{ M}\Omega$
—	Tastkopf Tektronix P6139 (10 MΩ, 8 pF)

Bei den im Rahmen dieser Arbeit durchgeführten Messungen wurde die zwischen dem jeweiligen Shunt und dem Oszilloskop verwendete Koaxialleitung oszilloskopseitig mit einem $50\ \Omega$ -Durchgangsabschlusswiderstand versehen, soweit dies nicht anders kenntlich gemacht wurde. Entsprechend [Scho10] und [Bill12] wurde vorbeugend der interne $50\ \Omega$ -Abschlusswiderstand des Oszilloskops durch einen externen ersetzt, der dem internen $1\ M\Omega$ -Abschlusswiderstand des Oszilloskops parallelgeschaltet ist, sodass eine erhöhte Sicherheit des Oszilloskops vor Defekten gewährleistet werden kann.

Die Verwendung eines Durchgangsabschlusswiderstands ist zwingend für eine Messung, die physikalisch sinnvolle Messergebnisse liefern soll, erforderlich, da ohne diesen Wanderwellen und Mehrfachreflexionen zu signifikanten Verfälschungen des Messsignals führen können. Der Durchgangsabschlusswiderstand $R_{\text{Abschluss}}$, dessen Wert dem Wellenwiderstand ($Z = 50\ \Omega$) der Koaxialleitung entsprechen muss, ist entweder ein- oder beidseitig zum Abschluss der zur Messung des Stromsignals i_D verwendeten Koaxialleitung notwendig. [Schw81] [Scho10]

Dies wird nachfolgend anhand von Messungen betrachtet. In Bild 3.8 sind die Strom- und Spannungsverläufe eines SiC-MOSFETs während des Einschaltens mit (blau) und ohne (rot) Verwendung eines externen Abschlusswiderstands mit dem Wert $R_{\text{Abschluss}} = Z = 50\ \Omega$ am Oszilloskop für die Strommessung dargestellt. Der grüne Kurvenverlauf gibt zusätzlich den Fall wieder, in welchem mit einem zum Oszilloskop gehörigen Tastkopf direkt in der koaxialen Ausgangsbuchse (Bild 3.9) des verwendeten koaxialen Messwiderstands (Koaxialshunt) gemessen wurde. Der Leitungsweg, in welchem Reflexionen auftreten können, ist in diesem Fall sehr kurz. Allerdings verursacht diese Messmethode beim Ein- (Bild 3.8) und Ausschalten (Bild 3.10) trotzdem die größten Störungen. Bei Nichtverwendung eines Abschlusswiderstands oder Verwendung eines Tastkopfes nach Bild 3.9 kommt es, wie aus Bild 3.8 und Bild 3.10 hervorgeht, zu Verläufen des Stroms i_D , die physikalisch nicht zu den aufgenommen Spannungen u_{DS} passen.

Ein genereller Nachteil der Verwendung von Messwiderständen ist neben der nicht vorhandenen galvanischen Trennung die unweigerlich durch die Nutzung der Messwiderstände entstehende Aufweitung des Strompfades, die zu einer Erhöhung der Gesamtstreuinduktivität L_σ des Strompfads führt (siehe [Dyer01]). In dieser Arbeit wird lediglich der Anteil der Widerstandsgeometrie (Bild 3.11, Induktivität L_{Shunt}) an der Gesamtstreuinduktivität L_σ untersucht. Es wird erläutert, durch welche Widerstandsgeometrien ein qualitativ ausreichendes Messsignal erzeugt und gleichzeitig die in den Strompfad eingebrachte Streuinduktivität L_{Shunt} minimiert werden kann. Die Induktivität der Verbindung zwischen dem Strompfad und der jeweiligen Widerstandsgeometrie, beispielsweise durch Anschlusslaschen, wird hierbei nicht mituntersucht, da diese von der späteren Schaltungsumgebung abhängen würde, in welcher der Messwiderstand eingesetzt wird.

Bei der Untersuchung unterschiedlicher Shunts wurden diese in einer Reihenschaltung mit einem Referenzshunt bei $U_{DS} = 150\ V$ und $I_D \approx 15\ A$ vermessen (Bild 3.11), um eine ausrei-

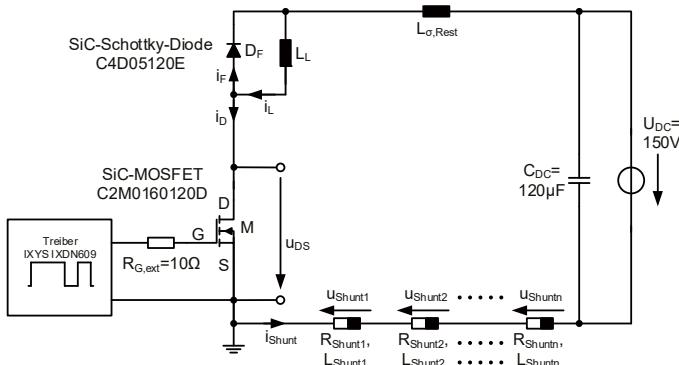


Bild 3.11: Doppelpulsschaltung zum Vergleich der unterschiedlichen Messwiderstände

Tabelle 3.3: Leiter- und Widerstandsmaterialien. Angaben bei $T = 20^\circ\text{C}$

Widerstandsmaterial	Spezifischer Widerstand $\rho_{20} [10^{-3} \Omega \cdot \text{mm}^2/\text{m}]$	Temperaturkoeffizient $\alpha_{20} [10^{-3} 1/\text{K}]$	Quelle
Kupfer	17,8	3,9	[HHJK11]
Messing	66	1,5	[CzHe08]
Manganin®	430	0,01	[HHJK11]
Konstantan®	490	0,04	[HHJK11]

chende Vergleichbarkeit bezüglich der Stromänderungsgeschwindigkeit di_D/dt und der Gesamtstreuinduktivität L_o im Strompfad zu gewährleisten. Durch die Potentialgebundenheit der Shunts konnte jedoch pro Messung immer nur ein Messwiderstand hinsichtlich seiner Eigenschaften vermessen werden.

Alle Shunts wurden, bis auf die für Referenzmessungen verwendeten Koaxialshunts von T&M Research Products, Inc., zu einem Teil von Hand gefertigt und bestehen aus unterschiedlichen Leiter- beziehungsweise Widerstandsmaterialien. Als Material für die Anschlusslaschen der planaren Shunts beziehungsweise für notwendige Verbindungstücke kam Messing zum Einsatz sowie als Widerstandsmaterial Manganin®- oder Messingfolie in verschiedenen Dicken. Lediglich beim PCB-M-Shunt (Abschnitt 3.2.4) ist das auf der Platine befindliche Leiter- und Widerstandsmaterial abweichend hiervon Kupfer. Die Verwendung von „Widerstandsmaterialien“ wie Kupfer und Messing führt jedoch zu einer vergleichsweise hohen temperatur-abhängigen Widerstandsänderung ΔR_{Shunt} (Gleichung 14 [HHJK11]), da diese Materialien im Gegensatz zu Manganin® wesentlich ausgeprägtere Temperaturkoeffizienten α_{20} besitzen (Tabelle 3.3) [BsA-Adel15]. Bedingt durch die ausschließlich kurzzeitigen gepulsten Messvorgänge kommt es dennoch nur zu einer geringfügigen Temperaturänderung ΔT am Widerstandsmaterial (Gleichung 15 [BsA-Adel14], siehe auch [HHJK11]) und zu einer lediglich marginalen Widerstandsänderung ΔR_{Shunt} am selben [BsA-Adel14]. Eine Einschränkung durch die Nutzung von Kupfer oder Messing als Widerstandsmaterial ist im Hinblick auf [BsA-Adel14]

demnach zumindest bei der nachfolgenden Analyse des Verhaltens planarer Shunts in den Abschnitten 3.2.3 und 3.2.4 nicht gegeben.

$$\Delta R_{\text{Shunt}} = \alpha_{20} \cdot R_{\text{Shunt},20^\circ\text{C}} \cdot \Delta T \quad (14)$$

$$\Delta T = \frac{P_{\text{Shunt},20^\circ\text{C}} \cdot t}{c_{\text{th}} \cdot m} = \frac{R_{\text{Shunt},20^\circ\text{C}} \cdot I^2 \cdot t}{c_{\text{th}} \cdot m} \quad (15)$$

Die größere notwendige Länge des Widerstandsmaterials bei Verwendung von Kupfer oder Messing führt allerdings, um einen gewünschten Widerstandswert zu erreichen, im Vergleich zu Materialien wie Manganin® oder Konstantan® (Tabelle 3.3) zwangsweise zu einer Erhöhung der Induktivität L_{Shunt} bei gleicher Querschnittsfläche [BsA-Adel15].

3.2.1 Koaxialer Messwiderstand (Koaxialshunt)

Nachfolgend sollen zunächst die grundlegenden Eigenschaften des Koaxialshunts als Ausgangspunkt für die weiteren Untersuchungen anhand von Quellen und eigenen Ergebnissen betrachtet werden.

Der Grundaufbau des Koaxialshunts besteht aus zwei zylindersymmetrischen Röhrchen (Bild 3.12 und Bild 3.13). Das innenliegende Trägerrörhrchen ist aus einem isolierenden Material (beispielsweise Keramik) gefertigt (Bild 3.14), wobei dieses das dünne darauf aufgebrachte

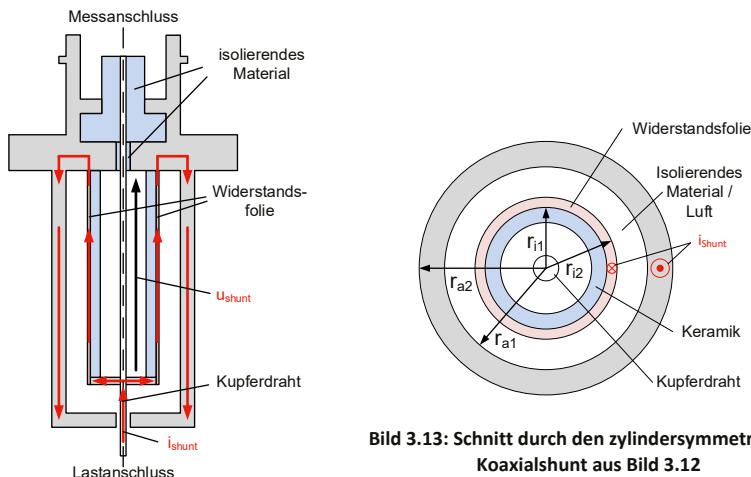


Bild 3.13: Schnitt durch den zylindersymmetrischen Koaxialshunt aus Bild 3.12

Bild 3.12: Zylindersymmetrische Struktur eines Koaxialshunts; gemäß [AdBK16] [BÖAK18a]

Widerstandsmaterial stützt. Alternativ kann das Innenrörchen auch als Widerstandsrohr ohne isolierendes Trägerrörchen aufgebaut sein [Scho10]. Als Material für das außenliegende und demnach als Rückleiter dienende Rörchen wird eines mit guter Leitfähigkeit σ zur Vermeidung von zusätzlichen Widerständen im Lastkreis verwendet. Der Raum zwischen dem Widerstandsmaterial und dem Rückleiter kann frei bleiben, wird aber häufig zur mechanischen Stabilisierung mit einem isolierenden Material vergossen. Generell sollte dieser Raum jedoch möglichst klein gehalten werden, wie im Weiteren noch gezeigt wird.

Das keramische Trägerrörchen und der von ihm umhüllte Raum beziehungsweise der vom Widerstandsrohr eingeschlossene Raum werden nicht von dem durch die äußere Shunt-Struktur verursachten magnetischen Feld mit der Flussdichte $B = \mu \cdot H$ durchsetzt. Die Verhältnisse im Inneren des Trägerrörchens lassen sich unter der Annahme, dass keine zeitliche Änderung auftritt beziehungsweise ein stationärer Zustand vorherrscht, mit dem Durchflutungsgesetz in seiner Integralform beschreiben (Gleichung 16 [CzHe08]). Im Übrigen wird bei allen nachfolgenden Berechnungen von Induktivitäten unterstellt, dass stationäre Zustände gegeben sind.

$$\Theta = \oint_s \mathbf{H} \cdot d\mathbf{s} = \int_A \mathbf{J} \cdot d\mathbf{A} \quad (16)$$

Bedenkt man des Weiteren die zylindersymmetrische Struktur, lässt dies den Rückschluss zu, dass sich somit im Inneren auch kein magnetisches Feld einstellt, sofern im Material sowie im Inneren des hohlen Trägerrörchens keine Stromdichte J auftritt. Da die vom unteren Messabgriff (Bild 3.12) wegführende Leitung im Inneren des Trägerrörchens zur BNC-Anschlussbuchse geführt wird, kann sich entsprechend kein vom Stromfluss i_{shunt} durch den Koaxialshunt verursachtes magnetisches Feld auf die abgegriffene Spannung u_{shunt} auswirken [Dyer01]. Die Qualität des Messsignals, bezogen auf den tatsächlich fließenden Strom i_{shunt} , wird dennoch vom Aufbau des eigentlichen Widerstands des Koaxialshunts bestimmt [Schw81].

Für einen $10 \text{ m}\Omega$ Koaxialshunt ergibt sich bei einer Länge von $l = 15 \text{ mm}$ einer um das keramische Trägerrörchen ($r_{\text{außen}} = 2,375 \text{ mm} = r_{i1}$) gewickelten Widerstandsfolie (Bild 3.13) aus Manganin® eine Schichtdicke von $d = 42,84 \mu\text{m}$. Die Berechnung der inneren Induktivität $L_{i,hohl}^i$ des Widerstandsmaterials mit Gleichung 17 [BsA-Adel14] führt mit $\mu_r, \text{Manganin}^{\circledast} = 1$ [Scho10] zu einem Wert von $L_{i,hohl}^i = 17,72 \text{ pH}$.

$$L_{i,hohl}^i = \frac{\mu_0 \cdot \mu_r \cdot l}{\pi \cdot (r_{i2}^2 - r_{i1}^2)^2} \cdot \left(\frac{1}{2} \cdot r_{i1}^4 \cdot \ln \left(\frac{r_{i2}}{r_{i1}} \right) - \frac{1}{2} \cdot r_{i1}^2 \cdot r_{i2}^2 + \frac{3}{8} \cdot r_{i1}^4 + \frac{1}{8} \cdot r_{i2}^4 \right) \quad (17)$$

Die berechnete innere Induktivität $L_{i,hohl}^i$ des Koaxialshunts führt jedoch nicht, wie angenommen werden könnte, zu einer induktiven Komponente in der am Shunt messbaren Spannung u_{shunt} (Bild 3.12) bei einer Stromänderung di_{shunt}/dt an diesem [Schw81] [Scho10]. Im

Hinblick auf beispielsweise [Schw81] [KuMR13] müssen die Verhältnisse im Widerstandsmaterial des Koaxialshunts unter der Annahme eines quasistationären Zustands durch den Skin-Effekt beziehungsweise die frequenzabhängigen Eindringtiefe δ (Gleichung 18 [Scho10]) beschrieben werden.

$$\delta = \frac{1}{\sqrt{\pi \cdot \mu \cdot \sigma \cdot f}} \quad (18)$$

Nach Schwab [Schw81] lässt sich die Spannung u_{Shunt} am Koaxialshunt unter der Annahme eines idealen Stromsprungs I_0 am Widerstandsmaterial mit dem während eines stationären Zustands geltenden Wert R_{Shunt} über Gleichung 19 (erste Zeile) ausdrücken. Der Parameter d in Gleichung 19 entspricht der Dicke des Widerstandsmaterials. Die materialabhängigen Einflussgrößen der frequenzabhängigen Eindringtiefe δ (vergleiche Gleichung 18 und Gleichung 19, zweite Zeile) geben hierbei die allmähliche Annäherung des Signals u_{Shunt} an den durch I_0 definierten Endwert vor [Schw81] [Scho10].

$$u_{\text{Shunt}}(t) = R_{\text{Shunt}} \cdot I_0 \cdot \left(1 + 2 \sum_{v=1}^{\infty} (-1)^v \cdot e^{\left(-v^2 \cdot \frac{\rho \pi^2}{\mu \cdot d^2} \cdot t \right)} \right) \\ \Leftrightarrow u_{\text{Shunt}}(t) = R_{\text{Shunt}} \cdot I_0 \cdot \left(1 + 2 \sum_{v=1}^{\infty} (-1)^v \cdot e^{\left(-v^2 \cdot \pi^3 \cdot \frac{1}{d^2 \cdot \pi \cdot \mu \cdot \sigma} \cdot t \right)} \right) \quad (19)$$

Nimmt δ (Gleichung 18) ab, erhöht sich bekanntermaßen der Wert eines durch den Skin-Effekt beeinflussten Widerstands aufgrund der verringerten Querschnittsfläche, in welcher ein ungehinderter Stromfluss stattfinden kann [Scho10]. Dieses zeigt auch Gleichung 20 [KuMR13] für einen zylindrischen Leiter. Des Weiteren ist ersichtlich, dass eine Reduzierung der inneren Induktivität L_i über ω bei einer Erhöhung der Frequenz f eintritt [KuMR13]. Der Parameter r_0 stellt in Gleichung 20 den Radius des zylindrischen Leiters dar.

$$R_{\text{AC}} = \omega \cdot L_i = \frac{I}{2 \cdot \pi \cdot \sigma \cdot r_0 \cdot \delta} \quad (20)$$

Entsprechend Nabeshima et al. [NaKH97] muss zur Vermeidung einer Widerstandsänderung durch den Skin-Effekt bei hohen Frequenzen das Widerstandsmaterial eines Shunts möglichst dünn ausgeführt werden und sollte nach Schon [Scho10] nur eine niedrige spezifische Leitfähigkeit σ aufweisen. Die Dicke des Widerstandsmaterials sollte deutlich unter dem Wert der Eindringtiefe δ bei der für eine Messung maximal notwendigen Frequenz f liegen, da der Strom somit immer in einem geringeren Bereich als dem der Eindringtiefe δ fließt, wie aus [Dyer01] [Scho10] hervorgeht.

In ANSYS Q3D Extractor wurde die durch einen Koaxialshunt in den Strompfad eingebrachte Induktivität L_{Shunt} simuliert. Ein anhand der Geometrie eines geöffneten kommerziellen Koaxialshunts (Bild 3.14) erstelltes Simulationsmodell (Bild 3.15 und Bild 7.5) wurde hierfür genutzt. Für die Simulation des Shunts wurden des Weiteren als Widerstandsmaterial Manganin® und als Widerstandswert $R_{\text{Shunt}} = 10 \text{ m}\Omega$ zugrunde gelegt.

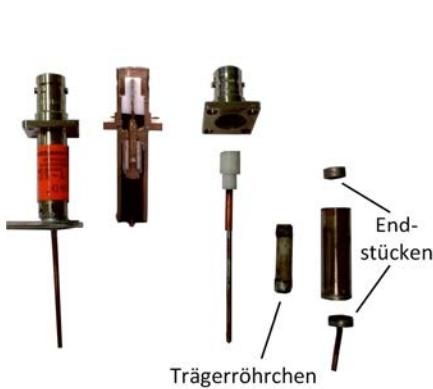


Bild 3.14: Koaxialshunt (links), zerschnittener Koaxialshunt (mittig, eigene Fotografie vom Messestand IB Billmann PCIM2017) und geöffneter Koaxialshunt (rechts) des Hersteller T&M Research Products, Inc., an welchem die Abmessungen ermittelt wurden

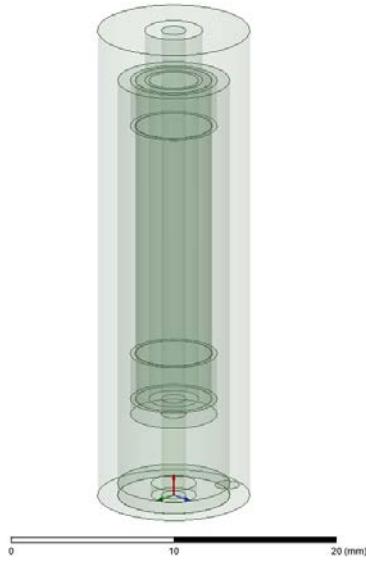


Bild 3.15: Simulierte Struktur eines Koaxialshunts

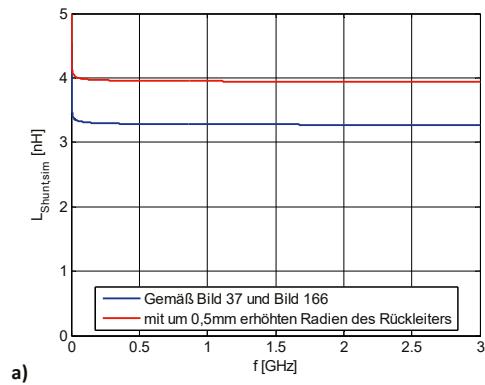
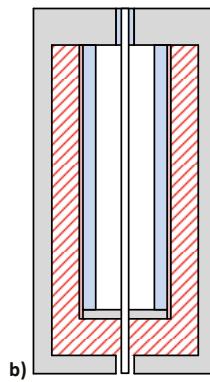


Bild 3.16: a) In der Simulation ermittelte Induktivität $L_{\text{Shunt},\text{sim}}$ des Koaxialshunts, welche sich im Strompfad auswirkt. b) Schnittfläche des Shunts (rot schraffiert), welche die Induktivität L_{Shunt} bestimmt



Die Induktivität L_{Shunt} , welche der Koaxialshunt in den Strompfad einbringt, beträgt laut Simulation je nach Frequenz f zwischen $L_{\text{Shunt,sim}}(1 \text{ MHz}) = 3,8 \text{ nH}$ und $L_{\text{Shunt,sim}}(3 \text{ GHz}) = 3,3 \text{ nH}$ (Bild 3.16a, blauer Verlauf). Im Gleichstromfall ergibt sich hingegen eine Induktivität von $L_{\text{Shunt,sim}} = 4,6 \text{ nH}$. Bei einer beispielhaften Vergrößerung der Radien r_{a1} und r_{a2} des Rückleiters (Bild 3.13) um 0,5 mm ergeben sich wesentlich erhöhte Induktivitätswerte (Bild 3.16a, roter Verlauf). Der bestimmende Faktor für die Größenordnung von L_{Shunt} ist somit, wie auch aus Gleichung 21 [KuMR13] hervorgeht, die sich bei einem Längsschnitt durch den Koaxialshunt, zwischen dem Innenrörchen mit dem aufgebrachten Widerstandsmaterial, dem Außenrörchen als Rückleiter und dem zentralen Kupferdraht, bildende Fläche (Bild 3.16b, rot schraffierter Bereich) [BÖAK18a].

Eine ähnlicher Induktivitätswert lässt sich für den Koaxialshunt mittels Berechnung unter der Annahme der Gültigkeit der nachfolgend genutzten Gleichungen für die einzelnen Strukturabschnitte des Koaxialshunts sowie der Übergänge zwischen den uneinheitlichen Strukturabschnitten ermitteln. Die Berechnung der äußeren Induktivität L^a zwischen den Leitern des Koaxialshunts (Bild 7.5) mit Gleichung 21 [KuMR13] führt zu einem Wert von $L^a = 2,845 \text{ nH}$ und die der inneren Induktivität L^i_a des äußeren Röhrchens mit Gleichung 22 [KuMR13] zu einem Wert von $L^i_a = 626 \text{ pH}$. Für die Berechnung der inneren Teilinduktivitäten des Innenleiters werden die Gleichung 17 [BsA-Adel14] sowie die Gleichung 23 [KuMR13] verwendet und die Ergebnisse zu einem Wert von $L^i_i = L^i_{i,\text{hohl}} + L^i_{i,\text{massiv}} = 344 \text{ pH}$ aufsummieren.

$$L^a = \frac{\mu_0 \cdot \mu_r \cdot I}{2 \cdot \pi} \cdot \ln \left(\frac{r_{a1}}{r_{i2}} \right) \quad (21)$$

$$L^i_a = \frac{\mu_0 \cdot \mu_r \cdot I}{2 \cdot \pi \cdot (r_{a2}^2 - r_{a1}^2)} \cdot \left(\frac{r_{a2}^4}{r_{a2}^2 - r_{a1}^2} \cdot \ln \left(\frac{r_{a2}}{r_{a1}} \right) - \frac{3 \cdot r_{a2}^2 - r_{a1}^2}{4} \right) \quad (22)$$

$$L^i_{i,\text{massiv}} = \frac{\mu_0 \cdot \mu_r \cdot I}{8 \cdot \pi} \quad (23)$$

Die sich ergebende Gesamtinduktivität von $L_{\text{Shunt,ber}} = 3,815 \text{ nH}$ für den Koaxialshunt stimmt zwar nicht gänzlich mit dem obenstehenden Simulationsergebnis des Gleichstromfalls überein, liegt aber in Anbetracht der getätigten Vereinfachungen mit einer Abweichung von $\Delta L_{\text{Shunt}} \approx 0,8 \text{ nH}$ in guter Nähe zu diesem.

In der Literatur wird eine Methode beschrieben, mit der das Volumen zwischen dem Widerstandsmaterial und dem Außenrörchen und somit die in den Strompfad eingebrachte Induktivität L_{Shunt} erheblich reduziert werden soll: Das Außenrörchen wird von innen mit einer Isolation versehen und das Widerstandsmaterial hierauf direkt aufgebracht. Die aufgespannte Fläche zwischen Außenrörchen und dem Widerstandsmaterial wird minimal und nur noch von der Güte des Isolationsmaterials bestimmt. [NaKH97]

Der Koaxialshunt muss also, sofern er nur eine geringe Induktivität L_{Shunt} in den Strompfad einbringen und eine hohe Bandbreite erreichen soll, möglichst kleine Abmessungen der Gesamtkonstruktion sowie gemäß Schon [Scho10] ein Widerstandsmaterial möglichst hoher Resistivität und geringer Dicke aufweisen. All dies gilt natürlich ebenso für planare Shunt-Bauformen, die ähnliche Eigenschaften besitzen sollen [Dyer01]. Beim kommerziellen Koaxialshunt führen diese Forderungen jedoch dazu, dass die Konstruktion anspruchsvoller und somit teurer wird. Das innenliegende Widerstandsmaterial wird zudem bei dieser Konstruktionsweise durch das vergleichsweise massive Außenröhrrchen thermisch abgeschirmt und eine Wärmeübertragung an die das Außenröhrrchen umgebende Luft erschwert, wodurch es nachteiliger Weise bei steigenden Verlustleistungen zwangsläufig zur Ausdehnung der Geometrie des Shunts kommen muss [Schr06] [Scho10]. Durch eine Vergussmasse im freien Raum zwischen dem Widerstandsmaterial und dem Außenröhrrchen (Bild 3.14) lässt sich der Wärmetransport gegenüber Luft zwar gegebenenfalls verbessern (siehe auch [AdBK16]), allerdings dürfte der Einfluss der Vergussmasse eher gering ausfallen.

3.2.2 Hair-pin-Shunt

Der „Hair-pin-Shunt“ [Davi65] (HP-Shunt), auch aus dem Englischen „Parallel-Platten-Strom-Widerstand“ [Dyer01], zeichnet sich durch seine einfache planparallele Struktur aus (Bild 3.17). Die Struktur ermöglicht es im Vergleich zum Koaxialshunt, die zwangsweise im Strompfad durch das Einbringen eines Shunts verursachte Streuinduktivität L_{Shunt} weiter zu minimieren [Dyer01], da die vom Widerstandsmaterial aufgespannte und somit für die Streuinduktivität L_{Shunt} ausschlaggebende Fläche hier maßgeblich von der Länge und Dicke des Isolators abhängt. Als Widerstandsmaterial für einen Prototypen zur Ermittlung der Streuinduktivität L_{Shunt} wurde eine Folie aus Manganin® mit einer Dicke von circa 17 µm - 18 µm (Herstellerangabe), einer Breite von $b = 13 \text{ mm}$ und einer Gesamtlänge von ungefähr $l = 45 \text{ mm}$ sowie als Isolationsmaterial zwischen der Widerstandsfolie Mylar mit einer Dicke d von 125 µm verwendet. Die planparallelen Zuleitungen wurden aus Messing gefertigt (Bild 3.17).

Durch fünf Doppelpulsmessungen (Bild 3.11, $L_L = 500 \mu\text{H}$) an einem als Referenz genutzten Koaxialshunt mit einem Gleichstromwiderstand von $R_{\text{Shunt,Ref}} = 24,96 \text{ m}\Omega$ und weiteren fünf Messungen an dem Prototypen mit einem Gleichstromwiderstand von $R_{\text{Shunt}} = 83,4 \text{ m}\Omega$ [AdBK16] konnte durch Gleichung 24 [AdBK16] eine in den Strompfad eingebrachte Induktivität von $L_{\text{Shunt}} = 1,53 \text{ nH}$ beim Einschaltvorgang ermittelt werden.

$$L_{\text{Shunt}} = \frac{U_{\text{Shunt}} + i_{\text{Referenz}} \cdot R_{\text{Shunt}}}{\frac{di_{\text{Referenz}}}{dt}} \quad (24)$$

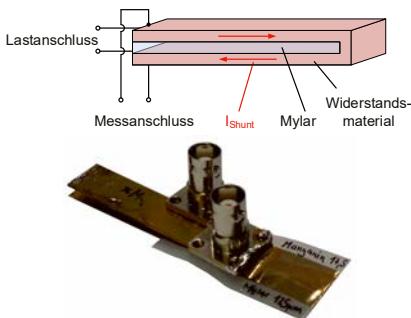


Bild 3.17: Grundstruktur des Hair-pin-Shunts gemäß [AdBK16] [BöAK18a] und Fotografie eines Hair-pin-Shunts mit Manganin® als Widerstandsmaterial

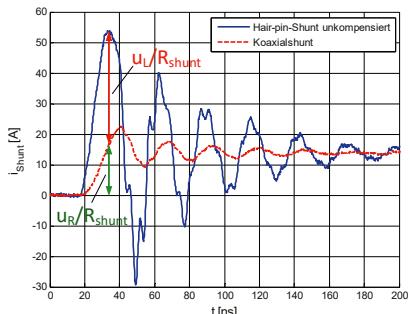


Bild 3.18: Stromverlauf des unkomponierten Hair-pin-Shunts ($R_{\text{Shunt}} = 117,19 \text{ m}\Omega$) [BsA-Adel15] im Vergleich zu einem kommerziellen Koaxialshunt ($R_{\text{Koax}} = 102,4 \text{ m}\Omega$)

Für eine bessere Auswertbarkeit wurde hierbei eine Filterung der Messsignale über $n = 10$ Messpunkte mittels einer gleitenden Mittelwertbildung vor dieser Auswertung vorgenommen. Zur Ermittlung des Werts L_{Shunt} wurde jede Messung am Referenzshunt mit jeder Messung am Prototypen zusammen ausgewertet. Der angegebene Wert von L_{Shunt} stellt entsprechend die Mittelung aus den 5^2 möglichen Kombinationen der Messungen beziehungsweise deren Auswertungsergebnissen dar. Die Standardabweichung des Ergebnisses von L_{Shunt} beträgt $s_{L_{\text{Shunt}}} = 0,03 \text{ nH}$.

Die Messergebnisse des HP-Shunts zeigen, dass eine deutlich geringere Induktivität L_{Shunt} im Vergleich zum oben betrachteten kommerziellen Koaxialshunt in den Strompfad eingebracht wird. Der Widerstandswert des HP-Shunts ist bei dieser Betrachtung jedoch mehr als acht Mal so hoch wie der des Koaxialshunts. Bei einem zu dem des Koaxialshunts identischen Widerstandswert würde die Induktivität des HP-Shunts aufgrund der veränderten Abmessungen (breiter oder kürzer) entsprechend noch geringer ausfallen. In der Literatur [Dyer01] wird angegeben, dass die Verringerung der in den Strompfad eingebrachten Streuinduktivität L_{Shunt} durch einen aus planparallelen Platten bestehenden Messwiderstand im Vergleich zum Koaxialshunt im Bereich von einer Größenordnung liegt.

Infolge der Struktur des HP-Shunts wird der durch die Stromänderungsgeschwindigkeit di/dt an der Streuinduktivität L_{Shunt} verursachte Spannungsabfall u_L mitgemessen (Bild 3.18) und der tatsächliche Stromverlauf lässt sich nicht mehr durch Division der am Shunt gemessenen Spannung u_{Shunt} durch den Widerstandswert R_{Shunt} rekonstruieren. Mittels einer Kompensation lässt sich der induktive Spannungsanteil u_i im Messsignal u_{Shunt} des HP-Shunts minimieren beziehungsweise eliminieren. Eine Kompensation kann mit einem RC-Netzwerk mit entsprechend ausgelegten Bauelementen durchgeführt werden [Dyer01] [Schr06] [VoHo12] [Hudo14]. Die Auslegung des RC-Netzwerks (Bild 3.19) wird in der Literatur [Schr06] [Hudo14] beschrieben und findet im Frequenzbereich statt. Damit ein zur Spannung u_R am Wirkwiderstand R_{Shunt} annähernd identisches Signal u_{komp} über dem Kondensator C_{komp} vorliegt, müssen

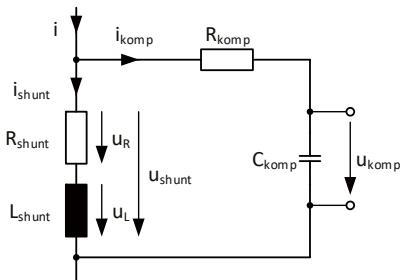


Bild 3.19: Signalkompensation am Shunt mittels RC-Netzwerk gemäß [Dyer01] [Schr06] [Hudo14]



Bild 3.20: Kompensationsglied verbaut im Zwischenbereich einer BNC-Buchse und eines BNC-Steckers

die aus der Auslegung resultierenden und nachfolgend aufgeführten Bedingungen (Gleichungen 25 und 26 [Schr06]) eingehalten werden. Eine zweckmäßige Kompensation erfolgt nur, wenn die Abgleichbedingung möglichst genau erfüllt wird. Die Zusatzbedingung hingegen sagt aus, dass das zu messende Stromsignal i_{shunt} nicht von vornherein durch einen in das RC-Netzwerk abfließenden Strom i_{komp} verfälscht werden darf.

$$\frac{L_{shunt}}{R_{shunt}} = R_{komp} \cdot C_{komp} \quad \text{Abgleichbedingung} \quad (25)$$

$$R_{komp} \gg |R_{shunt} + s \cdot L_{shunt}| \quad \text{Zusatzbedingung} \quad (26)$$

Die Nutzbarkeit des RC-Kompensationsnetzwerks hängt jedoch vom verwendeten Widerstand R_{komp} sowie dem Kondensator C_{komp} ab, die beide parasitäre Elemente mit sich bringen und somit nur für einen eingeschränkten Frequenzbereich nutzbar sind [Dyer01].

Der Verlauf des an einem HP-Shunt mit Kompensationsglied (Bild 3.20 und Bild 3.21) gemessenen Stromsignals (Bild 3.22) des HP-Shunts zeigt im Vergleich zu der unkompensierten Messung am HP-Shunt (Bild 3.18) eine deutliche Verbesserung bezogen auf das jeweilige Signal des Koaxialshunts, das als Referenz dient. Das in Bild 3.22 gezeigte kompensierte Stromsignal ist jedoch nicht ideal kompensiert, da noch Abweichungen vom Referenzsignal existieren. Vielmehr handelt es sich bei dem gezeigten Verlauf um den eines unterkompensierten Signals (siehe [Dyer01]). Es sei darauf hingewiesen, dass die Messungen aus Bild 3.18 mit einer Koaxialleitung samt Abschlusswiderstand am Oszilloskopanschluss und die Messungen aus Bild 3.22 hingegen mit einem Tastkopf am jeweiligen Shunt aufgenommen wurden.

Durch Verwendung eines HP-Shunts lässt sich die in den Strompfad eingebrachte Streuinduktivität L_{shunt} geringer halten als mit einem Koaxialshunt. Hierbei sind allerdings die Einschränkungen, die durch die Nutzung eines zur Kompensation notwendigen RC-Netzwerkes entstehen, gegenüber dem Vorzug einer geringeren Streuinduktivität L_{shunt} im Strompfad ab-



Bild 3.21: Hair-pin-Shunt mit Kompensationsglied. In diesem Fall wurde Messing als Widerstandsmaterial für den Shunt genutzt

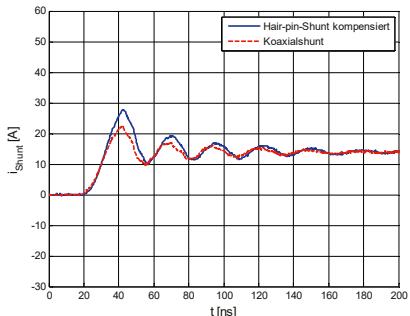


Bild 3.22: Stromverlauf des kompensierten Hair-pin-Shunts ($R_{\text{Shunt}} = 117,19 \text{ m}\Omega$ [BsA-Adel15]; Signal unterkompensiert) im Vergleich zu einem kommerziellen Koaxialshunt ($R_{\text{Koax}} = 102,4 \text{ m}\Omega$)

zuwählen. Der HP-Shunt bietet des Weiteren im Vergleich zum Koaxialshunt mit einem eingeschlossenen Widerstandsmaterial den Vorteil außenliegender Widerstandsschichten, die eine einfachere Abführung der im Betrieb auftretenden Verlustleistung an die Umgebung ermöglichen (siehe auch [AdBK16] [BöAK18a]).

3.2.3 M-Shunt

Mit dem M-Shunt (M-Shunt aufgrund der Grundstruktur, ansonsten auch Doppel-Hair-pin-Shunt) wird eine Zusammenführung der Vorzüge des Koaxialshunts mit denen des HP-Shunts angestrebt: Dieses sind eine geringe Streuinduktivität L_{Shunt} , die in den Strompfad eingebracht wird (Eigenschaft HP-Shunt), eine durch den planaren Aufbau tendenziell bessere Wärmeabfuhr vom eigentlichen Widerstand (Eigenschaft HP-Shunt) und Messabgriffe, die in einem möglichst feldfreien Raum liegen (Eigenschaft ähnlich Koaxialshunt). Erreicht werden diese Vorzüge beim M-Shunt durch eine spiegelsymmetrische Struktur (Bild 3.23), deren Schnittbild, über den größten Anteil der Länge des M-Shunts, dem Schnittbild durch die zylindersymmetrische Struktur eines Koaxialshunts (Bild 3.12) beziehungsweise eines doppelten HP-Shunts (Bild 3.17) mit zusätzlichem Messabgriff entspricht. [AdBK16] [BöAK18a]

Aufgrund der jeweils gleich orientierten Ströme durch die äußeren sowie die inneren stromführenden Leiter (Bild 3.23 bis Bild 3.25) sollte ein feldfreier Raum zwischen den Widerstandsfolien aus Manganin® gegeben sein. Bei Betrachtung des vereinfachten Ersatzschaltbilds des M-Shunts (Bild 3.24) ist die mittig eingezeichnete Induktivität L_{Mess} und die für beide Hälften des M-Shunts zusammengefasste Gegeninduktivität M_{Mess} erkennbar. Die Gegeninduktivität steht in Wechselwirkung mit dem resultierenden magnetischen Gesamtfeld der

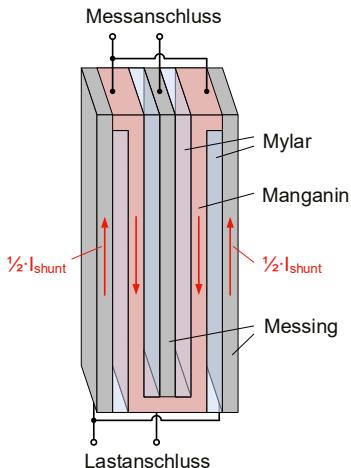


Bild 3.23: Grundstruktur des M-Shunts; gemäß [AdBK16]

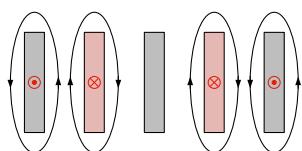


Bild 3.25: Schnitt durch die Struktur des M-Shunts mit angedeuteten Magnetfeldlinien der einzelnen Leiter (ohne Wechselwirkungen)

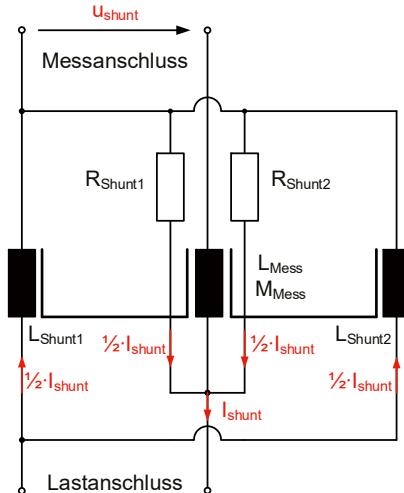


Bild 3.24: Ersatzschaltbild des M-Shunts abgewandelt von [AdBK16]

stromführenden Leiter und spiegelt somit gegebenenfalls vorhandene induktiven Einkopplungen in den Messkreis wider [Dyer01], die aufgrund von fertigungsbedingten Nichtidealitäten vorhanden sind. Grundsätzlich ist die Gegeninduktivität M_{Mess} nicht mit der inneren Induktivität L_i des Koaxialshunts zu verwechseln (Abschnitt 3.2.1), da der Gegeninduktivität M_{Mess} äußere Induktivitäten zugrunde liegen. Bei der Herausführung der Messanschlüsse zwischen den innenliegenden Manganin®-Folien sollte bei einem geeigneten Abgriff und einem sehr präzisen Aufbau des M-Shunts jedoch die Messspannung u_{Shunt} nicht über die Gegeninduktivität M_{Mess} durch das magnetische Feld beeinflusst werden, da M_{Mess} bei tatsächlicher Feldfreiheit wegfällt.

Aufgrund der gedoppelten HP-Shunt-Struktur und somit einer gedanklichen Parallelschaltung von zwei HP-Shunts halbiert sich der durch diese in den Strompfad eingebrachte Induktivitätswert $L_{\text{Shunt}} = ((L_{\text{Shunt}1})^{-1} + (L_{\text{Shunt}2})^{-1})^{-1}$ (Bild 3.24) im Vergleich zu einem einzelnen HP-

Shunt gleicher Länge, wobei sich entsprechend der Widerstandswert R_{Shunt} viertelt, da in diesem Fall tatsächlich nur jeweils die innenliegende Folie eines HP-Shunts aus einem Widerstandsmaterial besteht (Bild 3.23). Es wäre also ein M-Shunt mit viermal größerer Längenausdehnung notwendig, um den gleichen Widerstandswert R_{Shunt} wie bei einem einzelnen HP-Shunt zu erreichen, wobei simultan entsprechend ein doppelt so hoher Induktivitätswert L_{Shunt} im Strompfad verursacht werden würde.

Der zur Untersuchung aufgebaute Prototyp des M-Shunts entspricht der in Bild 3.23 gezeigten Struktur, wobei die Widerstandsfolie aus Manganin® eine Dicke von 17 µm – 18 µm (Herstellerangabe), eine Breite von $b = 13$ mm und eine Länge je Widerstandsfolie von circa $l = 26,5$ mm aufweist. Die als Isolationsmaterial eingebrachten Mylar-Folien haben jeweils eine Stärke von $d = 75$ µm. Der mittige Messabgriff ist, wie auch die außenliegenden Leiter aus Messing, mit einer Stärke von 0,5 mm gefertigt. Für den konstruierten Prototyp ergab sich ein gemessener Gleichstromwiderstand von $R_{\text{Shunt}} = 22,4$ mΩ [AdBK16].

In Bild 3.26 ist der Verlauf des Stroms i_{Shunt} , der mit dem Prototyp des M-Shunts (Bild 3.27) gemessen wurde, im Vergleich zu einer Messung an einem Koaxialshunt, abgebildet. Es ist trotz der M-Struktur aufgrund von fertigungsbedingten Abweichungen ein induktiver Anteil in dem zu einem Stromverlauf i_{Shunt} umgerechneten Messsignal u_{Shunt} erkennbar. Wie auch beim HP-Shunt wurden jeweils fünf Referenzmessungen mit einem Koaxialshunt und fünf Messungen am Last- beziehungsweise Messanschluss des Prototyps im Doppelpulsverfahren (Bild 3.11, $L_L = 500$ µH) aufgenommen. Die Einschalttransienten wurden wieder (siehe Abschnitt 3.2.2) mit Gleichung 24 nach einer Filterung über $n = 10$ Messpunkte mittels einer gleitenden Mittelwertbildung ausgewertet. Zur Ermittlung der in den Strompfad eingebrachten Induktivität L_{Shunt} wurde die am Lastanschluss gemessene Spannung verwendet (linke BNC-Buchse in Bild 3.27), wohingegen zur Ermittlung der auf den Messkreis wirkenden Induktivität L_{Mess} die am Messanschluss abgreifbare Spannung u_{Shunt} genutzt wurde. Die 25 Kombinationen der Referenzmessungen und der Messungen am Lastanschluss des M-Shunts führen zu einem

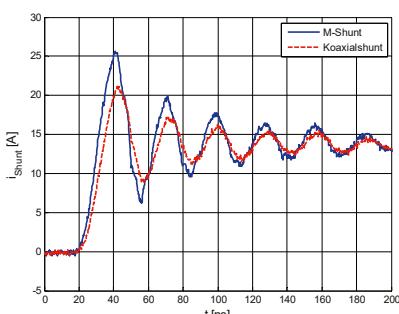


Bild 3.26: Stromverlauf des M-Shunts ($R_{\text{Shunt}} = 22,4$ mΩ [AdBK16]) im Vergleich zu einem kommerziellen Koaxialshunt ($R_{\text{Koax}} = 24,96$ mΩ)

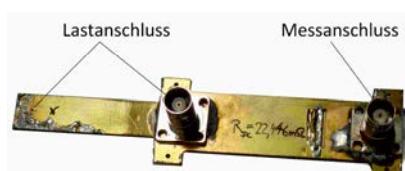


Bild 3.27: Fotografie eines Prototyps des M-Shunts

Wert von $L_{\text{Shunt}} = 505,3 \text{ pH}$ bei einer Standardabweichung von $s_{L_{\text{Shunt}}} = 10,4 \text{ pH}$. Für die 25 Kombinationen der Referenzmessungen mit den Messungen am Messanschluss ergeben sich für die dortige Gegeninduktivität Werte von $M_{\text{Mess}} = 77,6 \text{ pH}$ beziehungsweise $S_{M_{\text{Mess}}} = 6,32 \text{ pH}$, welche die in Bild 3.26 auftretende Abweichung vom Referenzsignal begründen.

Mit dem M-Shunt lässt sich gemäß der Quantifizierung durch die Messergebnisse, im Vergleich zum in Abschnitt 3.2.1 betrachteten Koaxialshunt mit $R_{\text{Shunt}} = 10 \text{ m}\Omega$, eine wesentlich geringere Induktivität L_{Shunt} im Strompfad realisieren. Durch die fertigungstechnisch bedingte Lage der Messbuchsen bei HP- und M-Shunt verursacht die Anbindung der Messbuchse an den Lastanschluss des jeweiligen Shunts jedoch jeweils ein zusätzliches Stück an Weglänge Δl , welches vom Laststrom durchflossen wird und somit zur auf das Lastanschlussmesssignal wirkenden Induktivität beiträgt. Die tatsächlichen Induktivitäten der reinen Shunt-Geometrien (Bild 3.17 und Bild 3.23) ohne Anschlüsse und Zuleitungen sollten somit deutlich unter den jeweils gemessenen Werten liegen. Eine Berechnung mit Gleichung 27 [Davi65], welche die Induktivität eines einzelnen HP-Shunts gibt, bestätigt, dass das an der Messbuchse des Lastanschlusses abgegriffene Signal beim M-Shunt erheblich durch die zusätzliche Induktivität verfälscht wird. Die aus Gleichung 27¹⁾ ermittelte ideale Streuinduktivität des M-Shunts ergibt sich zu $L_{\text{Shunt,ideal}} = 94,9 \text{ pH}$ unter den gegebenen geometrischen Bedingungen. Es ist somit eine exorbitante Abweichung von 432 % vom gemessenen Wert vorhanden.

$$L_{\text{Shunt}} = 4 \cdot I \cdot \left(\frac{d^2}{b^2} \cdot \ln(d) + \frac{1}{2} \cdot \left(1 - \frac{d^2}{b^2} \right) \cdot \ln(b^2 + d^2) + \frac{2 \cdot d}{b} \cdot \tan^{-1} \left(\frac{b}{d} \right) - \ln(b) \right) \cdot 10^{-9} \text{nH} \quad (27)$$

Die Aufhebung der auf die Messung wirkenden magnetischen Felder und somit der Auswirkung der Induktivität L_{Mess} beim M-Shunt ist durch Abweichungen bei dem von Hand durchgeführten Zusammenbau sowie durch die Nichtidealitäten in der Struktur des M-Shunts noch nicht vollständig gegeben. Im Fall einer vollständigen Aufhebung der magnetischen Felder durch die Anordnung der Platten beziehungsweise Folien des M-Shunts stellt dessen Konzept eine mögliche Alternative zu dem in Messanwendungen weit verbreiteten Koaxialshunt aufgrund der geringeren Induktivität L_{Shunt} dar. Auch wäre der M-Shunt bei einer vollständigen Aufhebung der magnetischen Felder dem HP-Shunt vorzuziehen, da in diesem Fall wiederum keine Kompensation mit einem RC-Netzwerk, das gegebenenfalls parasitäre Elemente aufweist [Dyer01], notwendig ist.

¹⁾ Entsprechend [Davi65] sind die Länge, die Breite und der Durchmesser in Zentimetern einzusetzen

3.2.4 PCB-M-Shunt

Mittels des Aufbaus der M-Shunt-Struktur auf Grundlage einer sechslagigen Platine (Bild 3.28) sollte sich eine Umgehung der in Abschnitt 3.2.3 geschilderten fertigungsbedingten Nichtidealitäten sowie eine im Gegensatz zum Prototypen des M-Shunts möglichst homogene Stromverteilung auf beide Hälften der M-Shunt-Struktur realisieren lassen [BöAK18a]. Die beim Prototypen des M-Shunts vorhandene Überlappung zwischen der Anbindung der Messbuchse an den Lastkreis und des Lastkreises selbst wurde durch eine Trennung selbiger über die verschiedenen Lagen der Platine (englisch: Printed Circuit Board, kurz PCB) beim PCB-M-



Bild 3.28: Auf einer sechslagigen PCB realisierter PCB-M-Shunt ähnlich dem PCB-M-Shunt mit einem Widerstand von $R_{\text{Shunt}} = 5,3 \text{ m}\Omega$ im Messkreis und einem Widerstand von $R_{\text{gesamt}} = 6,5 \text{ m}\Omega$ im Lastkreis [BöAK18a]. Die Abweichung der Werte R_{Shunt} und R_{gesamt} resultiert aus den Übergangswiderständen R_{Kontakt} zwischen den Mess- und Lastanschlüssen

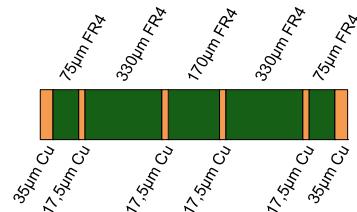


Bild 3.29: Lagenaufbau der aus Kupfer (Cu) und FR4 hergestellten sechslagigen Platine laut Angabe des Herstellers Multi Circuit Boards Limited

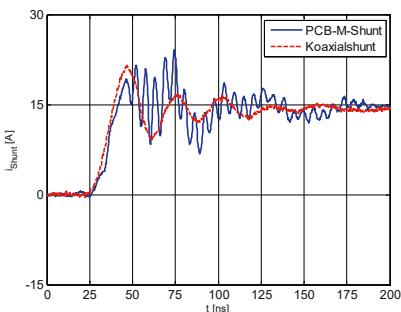


Bild 3.30: Stromverlauf des PCB-M-Shunts beim Einschalten im Vergleich zu einem kommerziellen Koaxialshunt ($R_{\text{Koax}} = 10,03 \text{ m}\Omega$)

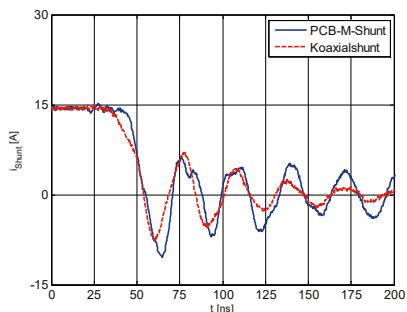


Bild 3.31: Stromverlauf des PCB-M-Shunts beim Ausschalten im Vergleich zu einem kommerziellen Koaxialshunt ($R_{\text{Koax}} = 10,03 \text{ m}\Omega$)

Shunt unterbunden. Alle stromführenden Leiterbahnen des eigentlichen PCB-M-Shunts auf der PCB sowie die für die mittig im PCB-M-Shunt liegenden Messabgriffe verwendeten Leiterbahnen besitzen die identische Breite b.

Die ideale Induktivität $L_{\text{Shunt,ideal}}$ des PCB-M-Shunts nach Gleichung 27 unter Beachtung der von der PCB über die Schichtung vorgegebenen geometrischen Rahmenbedingungen ($l = 101,1 \text{ mm}$; $d = 75 \mu\text{m}$ [nach Angabe des Herstellers Multi Circuit Boards Limited]; $b = 10 \text{ mm}$, siehe auch Bild 3.29) liegt bei $L_{\text{Shunt,ideal}} = 469,2 \text{ pH}$.

Die Ermittlung der beim PCB-M-Shunt in den Lastkreis eingebrachten Streuinduktivität L_{Shunt} erfolgte wie oben beim Prototypen des M-Shunts geschildert (siehe auch Bild 3.11, $L_L = 200 \mu\text{H}$). In diesem Fall führten die 25 Kombinationen der Referenzmessungen am Koaxialshunt und der Messungen am Lastanschluss des PCB-M-Shunts auf eine parasitäre Induktivität von $L_{\text{Shunt}} = 573,5 \text{ pH}$ bei einer Standardabweichung von $s_{L_{\text{Shunt}}} = 29,8 \text{ pH}$. Bezogen auf die ideale Streuinduktivität $L_{\text{Shunt,ideal}}$ ergibt sich eine Abweichung der ermittelten Streuinduktivität L_{Shunt} von 22,2 %.

Da durch die Trennung der Anbindung der Lastkreismessbuchse und des Lastkreises keine Beeinflussung des Lastkreismesssignals besteht, gibt L_{Shunt} hier den tatsächlichen Wert an. Die Anbindung der Messbuchsen an die entsprechenden Messpunkte im Shunt konnte also im Vergleich zum handgefertigten M-Shunt-Prototypen deutlich verbessert werden. Allerdings besteht bei dem hergestellten PCB-M-Shunt weiterhin Bedarf bei der Beseitigung von Nichtidealitäten, die das Messsignal anderweitig verfälschen (Bild 3.30 und Bild 3.31).

3.2.5 Messwiderstände im Überblick

In diesem Abschnitt sowie in Tabelle 3.4 wird ein Überblick über die in Abschnitt 3.2 untersuchten Messwiderstände gegeben. Im Hinblick auf Eigenschaften wie einen einfachen Aufbau und eine möglichst geringe in den Strompfad eingebrachte Induktivität L_{Shunt} sind die planar aufgebauten Shunts dem Koaxialshunt überlegen. Auch ist die Möglichkeit, die eingebrachte Wärme beziehungsweise Verlustleistung vom Widerstandsmaterial an die Umgebung abzuführen, bei planaren Shunts tendenziell besser als bei einem Koaxialshunt, bei dem das Widerstandsmaterial im schlechtesten Fall durch eine Luftschicht thermisch isoliert ist. Nachteilig bei den planaren Shunts ist jedoch die Beeinflussung des Messsignals durch das Magnetfeld. Das Messsignal des HP-Shunts macht aufgrund einer induktiven Spannungskomponente eine Kompensation erforderlich, die die genaue Kenntnis der Shunt-Parameter (R_{Shunt} , L_{Shunt}) sowie den Einsatz von Bauelementen für das Kompensationsglied mit absolut präzisen Werten voraussetzt. Als möglicher Kompromiss zwischen Koaxial- und HP-Shunt bietet sich der M-Shunt an, bei welchem sich bei einem akkurate Aufbau ähnliche Eigenschaften wie beim Koaxialshunt im Hinblick auf das Messsignal einstellen sollten. Inwieweit sich dieser Punkt tat-

Tabelle 3.4: Vergleich der untersuchten Messwiderstände

Shunt	Koaxialshunt	HP-Shunt	M-Shunt
Bauform	Koaxial	Planar	Planar
Induktivität durch Einfügen in Strompfad	Hoch	Gering	Mittel
Beeinflussung des Mess- signals durch Magnetfeld	Physikalisch aus- geschlossen	Erfordert Kompensation	Bei idealem Aufbau nicht gegeben
Abführung der Verlustleistung	Schlecht	Gut	Tendenziell besser als bei Koaxialshunt

sächlich realisieren lässt oder Folgeerscheinungen verbleibender Nichtidealitäten das Messsignal bei weiter verbesserten beziehungsweise überarbeiteten M-Shunts stören, bleibt zu klären.

In jedem Fall bietet der M-Shunt allerdings aufgrund der planaren Struktur potentiell die Möglichkeit einer einfachen Integration in leistungselektronische Schaltungen und Leistungs-halbleitermodule. Ebenso kann der M-Shunt gegebenenfalls in die Dickschichttechnik überführt werden, wodurch sich sowohl eine weitere Verbesserung der Kühlung des Widerstands-materials, als auch eine freie Wahl der Materialien für die einzelnen Leiter- beziehungsweise Widerstandsschichten ergeben. [BÖAK18a]

3.3 Lastinduktivitäten für Messaufbauten

Die in diesem Abschnitt dargestellte Betrachtung der parasitären Kapazitäten von Lastinduktivitäten basiert partiell auf den Ergebnissen des betreuten studentischen Arbeitsvorhabens [BsA-VoNo15] sowie den Veröffentlichungen [BÖRK14] [BÖRK15] [BÖKa15].

Bei dem Aufbau von Lastinduktivitäten L_L ist darauf zu achten, dass diese möglichst rein induktiv sind, also keine parasitären Widerstände und im Speziellen keine parasitären Kapazitäten $C_{L,par}$ aufweisen. Die parasitären Kapazitäten einer Lastinduktivität treten zwischen den Wicklungen sowie gegen das Bezugs- beziehungsweise Erdpotential auf [LiMu14] und verringern bei einer Zunahme ihres Werts die Resonanzfrequenz $f_{res,Spule}$ (Gleichung 28 [HHJK11]). Somit besteht die Möglichkeit, dass die Resonanzfrequenz in einen für die durchzuführenden Messungen ungünstigen Bereich verschoben wird und es durch Anregung zu Oszillationen im Strompfad kommt. Die in diesem Absatz geschilderte Problematik wurde bereits 1924 in [PfRi24] für als Antennen von Röhrenradios genutzte Spulen beschrieben.

$$f_{res,Spule} = \frac{1}{2 \cdot \pi \cdot \sqrt{L_L \cdot C_{L,par}}} \quad (28)$$

Für Messaufbauten ist eine Nutzung von Lastinduktivitäten ohne magnetischen Kern besonders sinnvoll, da ohne diesen von vornherein die Hysterese sowie auch die Sättigung entfallen. Als kernlose Lastinduktivitäten kommen nach Pfeuffer et al. [PfRi24] unter anderem einlagige Zylinder- und Spinnwebspulen aufgrund ihrer verhältnismäßig kleinen parasitären Kapazität $C_{L,par}$ infrage. Gemäß Kupfmüller [KuMR13] kann die Induktivität L für langgestreckte Zylinderspulen ($I_{Spule} \gg A_{Spule}$) mittels Gleichung 29 ausgedrückt werden.

$$L_L = n_w^2 \cdot \frac{\mu_0 \cdot \mu_r \cdot A_{Spule}}{l_{Spule}} \quad (29)$$

Dem gegenüber gibt Gleichung 30 nach Pfeuffer et al. [PfRi24] ebenfalls den Wert²⁾ einer Lastinduktivität L_L an, wobei jedoch dort der Faktor f_N genutzt wird, um das Durchmesser- zu Längenverhältnis und somit das Verhältnis der Fläche A_{Spule} zur Länge l_{Spule} beziehungsweise dessen Wirkung in die Berechnung einfließen zu lassen. Der Faktor f_N kann aus entsprechenden Tabellen über das Verhältnis D_{Spule}/l_{Spule} bestimmt werden [Naga09] [PfRi24]. Durch Umstellen von Gleichung 30 zu Gleichung 31 wird offensichtlich, dass diese bis auf den Faktor f_N zu Gleichung 29 identisch ist. Die Analogien zwischen Zylinder- und Spinnwebspule zur Ermittlung des jeweiligen Induktivitätswerts L_L mit Gleichung 30 sind in Bild 3.32 dargestellt.

$$L_L = \pi^2 \cdot D_{Spule}^2 \cdot \left(\frac{n_w}{l_{Spule}} \right)^2 \cdot l_{Spule} \cdot f_N \quad (30)$$

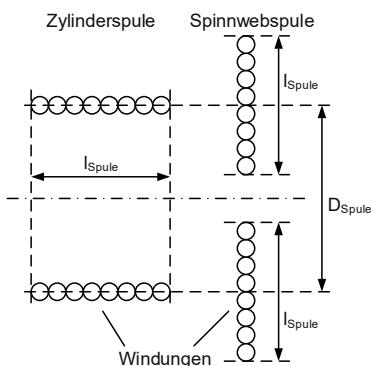


Bild 3.32: Analogien zwischen Zylinder- und Spinnwebspule; gemäß [PfRi24]

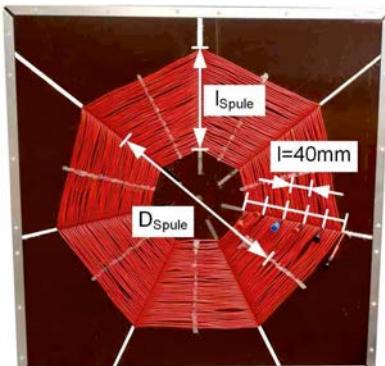


Bild 3.33: Mit LCR-Meter und Netzwerk-analysator untersuchte Spinnwebspule

²⁾ Entsprechend [PfRi24] sind die Länge und der Durchmesser in Zentimetern einzusetzen, ergibt sich der gesuchte Wert in Zentimetern und gilt 1 cm = 1 nH

$$L_L = n_W^2 \cdot \frac{4 \cdot \pi \cdot \left(\frac{D_{\text{Spule}}}{2} \right)^2 \cdot \pi}{l_{\text{Spule}}} \cdot f_N = n_W^2 \cdot \frac{4 \cdot \pi \cdot A_{\text{Spule}}}{l_{\text{Spule}}} \cdot f_N \quad (\mu_0 = 4 \cdot \pi \cdot 10^{-7}, \mu_r = 1) \quad (31)$$

Im Rahmen dieser Arbeit wurden als Lastinduktivitäten ausschließlich Spinnwebspulen für die Schaltversuche verwendet. Aus diesem Grund werden im Folgenden die Ergebnisse der Vermessung einer zu Versuchszwecken aufgebauten Spinnwebspule betrachtet. Die Spule (Bild 3.33) verfügt über sechs gleichmäßig über die Gesamtlänge l_{Spule} verteilte Anschlüsse, die miteinander kombiniert werden können; woraus sich fünfzehn verschiedene Durchmesser-Längen-Kombinationen ergeben. Die einzelnen Abschnitte weisen eine Länge von $l = 40 \text{ mm}$ auf, welches einer Anzahl von jeweils $n_W = 18$ Windungen entspricht.

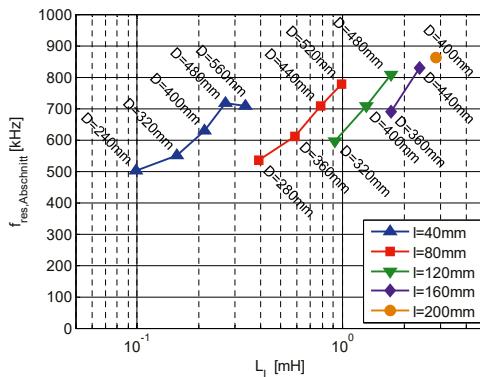


Bild 3.34: Ermittelte Induktivitäten L_L und Resonanzfrequenzen $f_{\text{res},\text{Abschnitt}}$ der Lastspulenabschnitte

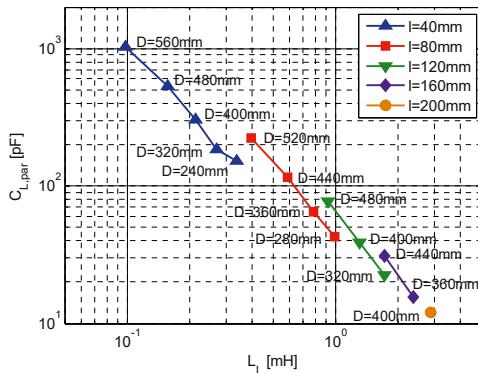


Bild 3.35: Induktivitäten L_L der Lastspulenabschnitte und die jeweils ermittelte parasitäre Kapazität $C_{L,\text{par}}$

Die jeweils zwischen zwei Anschlusspunkten befindliche Spuleninduktivität L_L wurde mit einem LCR-Meter (3532-50 von Hioki, $f_{\text{Mess}} = 1\text{kHz}$) und die Resonanzfrequenz $f_{\text{res},\text{Abschnitt}}$ des Abschnitts mit einem Netzwerkanalysator (Bode 100 von Omicron LAB) ermittelt (Bild 3.34). Aus den Werten wurde die parasitäre Kapazität $C_{L,\text{par}}$ für die verschiedenen Spulenabschnitte durch Umstellen von Gleichung 28 berechnet. Es zeigt sich, dass die parasitäre Kapazität $C_{L,\text{par}}$ mit abnehmendem Durchmesser D und zunehmender Länge l über eine Potenzfunktion abfällt (Bild 3.35). Entsprechend sollte eine Spinnwebspule möglichst lang und von geringem Durchmesser sein. Hierbei ist jedoch zu beachten, dass es bei zu geringen Durchmessern zum verstärkten Auftreten von Wirbelstromverlusten innerhalb der Spule kommt [PfRi24].

4 Sperr- und Schaltverhalten von Dioden

4.1 Thermische Stabilität von 0,6 kV bis 1,7 kV Dioden im Sperrbetrieb

Im Folgenden soll das von der Sperrsichttemperatur T_J abhängige tatsächliche Sperrverhalten von SiC-Dioden betrachtet werden, um deren thermische Stabilität einordnen beziehungsweise beiziffern zu können. Die in Abschnitt 4.1 sowie den zugehörigen Unterabschnitten vorgestellten Überlegungen und Resultate wurden zum Teil schon in [BöVK15a] [BöVK15b] [BVSK15] [BVSK16] publiziert. Es wurden weiterhin in diesem Abschnitt sowie den zugehörigen Unterabschnitten Ergebnisse des betreuten studentischen Arbeitsvorhabens [BsA-Vogt14] verwendet.

4.1.1 Selbsterwärmung und thermisches Weglaufen

Der genaue Ablauf des thermischen Weglaufens ist hinreichend in der Literatur wie beispielsweise [Bali96] [Bali09] [BRMC12] [KaSc13] [BVSK16] beschrieben worden und wird darauf basierend im nachfolgenden Absatz erläutert.

Das thermische Weglaufen kann prinzipiell in jedem Betriebszustand eines Leistungshalbleiterbauelements durch Selbsterwärmung eintreten und somit ist auch vorerst jeder dieser Zustände für die Konzeption eines sicheren Dauerbetriebs heranzuziehen. Sobald Verluste in einem Halbleiter entstehen, die nicht mehr in ausreichender Form vom Chip durch das Gehäuse und das daran angekoppelte Kühlssystem an die Umgebung abgegeben werden können, kommt es zum Einsetzen des thermischen Weglaufens. Es ergeben sich im Betrieb des Halbleiters nachfolgende Szenarien für das thermische Weglaufen: Eine von vornherein zu geringe Leistung des Kühlssystems für das genutzte Leistungshalbleiterbauelement über den thermischen Widerstand $R_{th,JA}$, das Erreichen einer unzulässig hohen Umgebungstemperatur T_A durch beeinträchtigende Umgebungsparameter, die Generierung einer unzulässig hohen Verlustleistung P_V im Leistungshalbleiterbauelement sowie die Wechselwirkung mehrerer dieser Szenarien. Beim Anlegen einer Sperrspannung U_R an einer Diode tritt unweigerlich ein nicht vermeidbarer Leckstrom I_R durch deren Sperrsicht auf. Das Niveau dieses Leckstroms I_R kann je nach Diodentyp sehr unterschiedlich sein. Beispielsweise zeigt eine SiC-Schottky-Diode deutlich höhere Leckstromdichten J_R als die intrinsische pin-Diode eines SiC-MOSFET bei gleicher Sperrfähigkeit von U_R . Die Verlustleistung P_R einer Diode im Sperrbetrieb wird durch den Leckstrom I_R sowie der über der Diode anliegenden Sperrspannung U_R vorgegeben. Es tritt eine Erwärmung der Sperrsicht der Diode durch die Verlustleistung P_R ein, wodurch es aufgrund des positiven Temperaturkoeffizienten zwischen T_J und I_R folglich zu einer Erhöhung des von der Sperrsichttemperatur T_J abhängigen Leckstroms I_R kommt. Dieser höhere Leckstrom

I_R führt seinerseits wiederum zu einem weiteren Temperaturanstieg ΔT_J der Sperrsicht. Es liegt dementsprechend über den Temperaturkoeffizienten eine positive Rückkopplung vor. Ein unzureichendes Kühlssystem (Bild 4.1; System 1, System 2 für Verluste oberhalb des Tangentialpunkts, System 3 für Verluste oberhalb des instabilen Arbeitpunkts) führt zu einer immer stärker voranschreitenden Erwärmung durch die ansteigende Verlustleistung P_R im Inneren der Diode. Da bei einem solchen Kühlssystem keine Limitierung des Temperaturanstiegs durch einen stabilen Arbeitspunkt erfolgt, wird der Dioden-Chip letztendlich durch die Überhitzung zerstört. Die Temperatur-Leckstrom-Rückkopplung wird jedoch bei einem ausreichenden Kühlssystem (Bild 4.1, System 3 für Verluste unterhalb des instabilen Punkts) automatisch durch das Erreichen eines stabilen Arbeitspunkts aufgehoben, wodurch sich die Diode nicht weiter erwärmen kann und thermisch stabilisiert wird. [Bali96] [Bali09] [BRMC12] [KaSc13] [BVSK16]

Eine Betrachtung des zur Abschätzung der thermischen Stabilität notwendigen Stabilitätskriteriums fand in der Literatur [ScKa05] [KaSc13] für den durch Kühlssystem 2 in Bild 4.1 gegebenen Grenzfall statt und führt zu der dort hergeleiteten Gleichung 32, in welcher die initiale Verlustleistung $P_R = U_R \cdot I_R(U_R, T_A)$, der thermische Widerstand $R_{th,JA}$ und die Verdopplungs temperaturdifferenz ΔT_d , bei welcher sich der Leckstrom verdoppelt, die beeinflussenden Parameter darstellen. Die verlangte thermische Stabilität ist gemäß Gleichung 32 nur solange gegeben, wie die sich durch die Verlustleistung P_R und den thermischen Widerstand $R_{th,JA}$ einstellende Temperatur kleiner beziehungsweise gleich der durch die Verdopplungs temperaturdifferenz ΔT_d beeinflussten Temperatur ist.

$$U_R \cdot I_R(U_R, T_A) \cdot R_{th,JA} \leq \frac{\Delta T_d}{e \cdot \ln 2} \quad \text{Stabilitätskriterium} \quad (32)$$

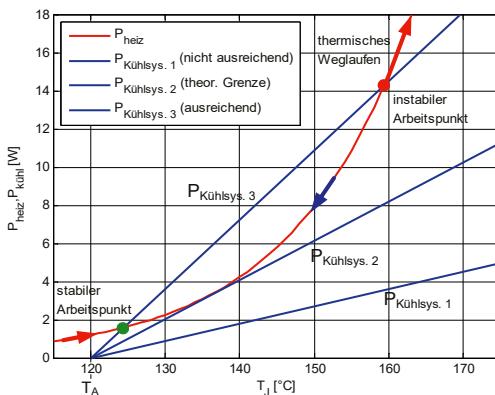


Bild 4.1: Heiz- und Kühlkennlinien ($P_{heiz} = P_R$) für ein fiktives Leistungshalbleiterbauelement mit stabilem und instabilem Arbeitspunkt; gemäß unter anderem [KaSc13] [BRMC12] [BVSK15]

Es ist anzumerken, dass eine hohe Umgebungstemperatur T_A die Leistungsfähigkeit eines ansonsten ausreichenden Kühlsystems stark einschränken und somit auch ein ausreichendes Kühlsystem in ein unzureichendes umwandeln kann, da sich die Kühlleistung $P_{\text{kühl}}$ (Gleichung 33 [KaSc13]) verringert.

$$P_{\text{kühl}} = \frac{T_J - T_A}{R_{\text{th},JA}} \quad (33)$$

Aus dem Stabilitätskriterium lässt sich, wie in [BöVK15a] [BVSK15] und [BVSK16] geschehen, die kritische Umgebungstemperatur $T_{A,\text{krit}}$ (Gleichung 34), bei welcher die abföhrbare Kühlleistung $P_{\text{kühl}}$ gerade noch der aufkommenden Verlustleitung P_R entspricht und die thermische Stabilität somit gefährdet wird, für einen initialen Leckstrom $I_R(U_R, T_{A,0})$ bei der Umgebungstemperatur $T_{A,0}$ und ein gegebenes Kühlsystem in Abhängigkeit der Verdopplungstemperaturdifferenz ΔT_d ermitteln. In Bezug auf Bild 4.1 wird also die Kennlinie des schnittpunktlosen Kühlsystems 1 oder aber die Sekante, welche Kühlsystem 3 zur Heizkennlinie bildet, so weit parallelverschoben, dass diese bei $T_{A,\text{krit}}$ zur Tangente der Heizkennlinie wird. Bei Kühlsystem 2 entspricht demgegenüber die Umgebungstemperatur von $T_A = 120^\circ\text{C}$ schon der kritischen Umgebungstemperatur $T_{A,\text{krit}}$.

$$T_{A,\text{krit}} = T_{A,0} + \Delta T_d \cdot \log_2 \left(\frac{\Delta T_d}{e \cdot \ln 2 \cdot R_{\text{th},JA} \cdot U_R \cdot I_R(U_R, T_{A,0})} \right) \quad \text{krit. Umgebungstemp.} \quad (34)$$

Sowohl in Gleichung 32 (Stabilitätskriterium) als auch Gleichung 34 (kritische Umgebungstemperatur $T_{A,\text{krit}}$) stellt die Verdopplungstemperaturdifferenz ΔT_d die das thermische Verhalten des Bauelements widerspiegelnde Größe dar [KaSc13].

Es wird im Folgenden zwar lediglich die Selbsterwärmung und die thermische Stabilität bei SiC-Dioden betrachtet, jedoch ist natürlich jede Art von Halbleiter vom thermischen Weglaufen gefährdet und die obenstehenden Gleichungen sind auf diese ebenso anwendbar.

4.1.2 Leckströme

In Abhängigkeit der Diodenstruktur kommt es, wie bereits erwähnt, zu unterschiedlichen Leckstrommechanismen und Leckstromniveaus. In Abschnitt 2.2 wurden die unterschiedlichen Strukturen und ihre jeweiligen Eigenschaften vorgestellt. Im Folgenden werden die Leckströme von SBDs und pin-Dioden betrachtet und die jeweiligen Abhängigkeiten aufgezeigt.

4.1.2.1 Schottky-Dioden

Der Leckstrom I_R einer nicht zu hoch dotierten Silizium-SBDs lässt sich nach Kimoto et al. [KiCo14], im Gegensatz zu dem einer SiC-SBD, mit dem um den Barrier-Lowering-Effekt erweiterten Modell der thermionischen Emission (siehe Abschnitt 2.2.2, Gleichung 4) abschätzen. Für SiC-SBDs ist die Nutzung des genannten Modells nicht über den kompletten Feldstärkebereich zweckmäßig, da die deutlich höheren Feldstärken, die mit dem Schottky-Kontakt einer SiC-SBD erreichbar sind, nicht ausreichend in die Abschätzung des Leckstroms I_R eingehen [HaSh02] [HKWI03].

Je nach der am Schottky-Kontakt einer SiC-SBD vorliegenden Barriereförde φ_B , der auftretenden Feldstärke E und der Sperrsichttemperatur T_J lässt sich nach Hatakeyama et al. [HaSh02] der Leckstrom I_R durch unterschiedliche Emissionsmodelle beschreiben (Bild 4.2a): Im Bereich niedriger Feldstärken sind dies, unabhängig von der Barriereförde φ_B , das Modell der thermionischen Emission mit Berücksichtigung des Barrier-Lowering-Effekts (siehe auch Abschnitt 2.2.2) sowie das Modell der thermionischen Feldemission (TFE). Letzteres beschreibt weiterhin im darüberliegenden Bereich der Feldstärke E (für $T_J = 300$ K ab ungefähr $E = 0,3$ MV/cm) den Leckstrom I_R , bis es bei sehr hohen Feldstärken von dem Modell der reinen Feldemission abgelöst wird, wobei die konkrete Stelle der Ablösung durch die Feldemission von der Barriereförde φ_B und der Temperatur T_J abhängt. [HaSh02]

Nach Kimoto et al. [KiCo14] lassen sich die Leckströme von SiC-SBDs als auch von SBDs aus anderweitigen Halbleitermaterialien mit großer Bandlücke im Allgemeinen am besten durch das Modell der thermionischen Feldemission (siehe Bild 4.2a und b) annähern, da die bei solchen SBDs auftretenden signifikanten Feldstärken E darin offensichtlich stärker eingehen.

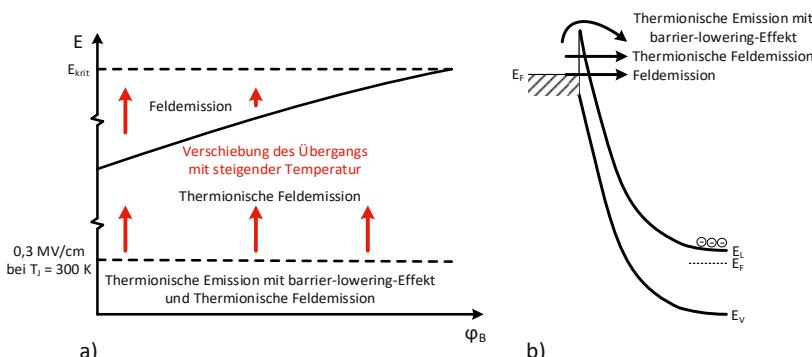


Bild 4.2: a) Bereiche in denen die jeweiligen Emissionsmodelle zur Beschreibung des Leckstroms I_R einer SBD in Abhängigkeit der Feldstärke E , der Barriereförde φ_B und der Sperrsichttemperatur T_J Gültigkeit besitzen; gemäß [HaSh02] und b) Emissionsmodelle im Bänderdiagramm für eine SiC-SBD im Sperrbetrieb; gemäß [KiCo14]

Mit Hilfe der von Hatakeyama et al. [HaSh02] [HKWI03] gegebenen Gleichung 35, die die durch das Modell der thermionischen Feldemission gegebene Leckstromdichte J_R einer SiC-SBD gemäß der oben dargelegten Ausführungen nach Hatakeyama et al. [HaSh02] über einen weiten Feldstärke- und Temperaturbereich gibt, soll im Folgenden der Einfluss unterschiedlicher SperrsichterTemperaturen T_J und Barrierenhöhen φ_B auf die Leckstromdichte J_R untersucht werden. Hierbei werden zunächst die in der Literatur [HKWI03] gegebenen Werte für die Barrierenhöhe ($\varphi_B = 0,96 \text{ eV}$), die effektive Elektronenmasse ($m = 0,25 \cdot m_0$) und die Richardson-Konstante ($A^* = 150 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$) einer Titan-SiC-SBD mit einem Driftgebiet der Weite $w = 10 \mu\text{m}$ und einer Dotierung von $N_D = 5 \cdot 10^{15} \text{ 1/cm}^{-3}$ eingesetzt (Bild 4.3). Die Temperatur T der SBD ($T = T_J$) wird in 25 °C-Schritten im Bereich von $T = 25^\circ\text{C} \dots 200^\circ\text{C}$ variiert.

$$J_{TFE} = \frac{A^* \cdot T \cdot q \cdot h \cdot E}{2 \cdot \pi \cdot k_B} \cdot \sqrt{\frac{\pi}{2 \cdot m \cdot k_B \cdot T}} \cdot e^{-\left[\frac{1}{k_B \cdot T} \left(\varphi_B - \frac{(q \cdot \frac{h}{2\pi} \cdot E)^2}{24 \cdot m \cdot (k_B \cdot T)^2} \right) \right]} = J_R \quad (35)$$

Die Feldstärke E hat bei der Berechnung der Leckstromdichte J_R der SiC-SBD, wie schon oben beschrieben, einen signifikanten Einfluss. Zunächst ist eine Zunahme der Feldstärke E am Schottky-Kontakt bis zum Auflaufen der Raumladungszone auf den Rand des Driftgebiets über die Wurzel der Sperrspannung U_R gemäß Gleichung 36 (beispielsweise [Lutz12] [KiCo14]) gegeben. Nach dem Auflaufen der Raumladungszone auf das Ende des Driftgebiets folgt bei einem ausreichend hoch dotierten Buffer beziehungsweise Substrat weiterhin eine lineare Zunahme der Feldstärke E mit der Sperrspannung U_R . Dieses wurde in der Berechnung der Leckstromdichte J_R berücksichtigt.

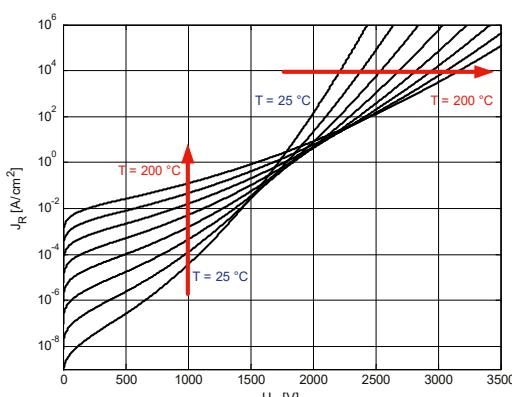


Bild 4.3: Berechnete Leckstromdichten einer SiC-SBD mit $\varphi_B = 0,96 \text{ eV}$, $m = 0,25 \cdot m_0$, $A^* = 150 \text{ A}/(\text{cm}^2 \cdot \text{K}^2)$ und einem Driftgebiet der Weite $w = 10 \mu\text{m}$ mit einer Dotierung von $N_D = 5 \cdot 10^{15} \text{ 1/cm}^{-3}$ gemäß [HKWI03] in Abhängigkeit der Temperatur in 25 °C-Schritten

$$W_{RLZ} = \sqrt{\frac{2 \cdot \varepsilon_0 \cdot \varepsilon_{SiC} \cdot U_R}{q \cdot N_D}} \quad (36)$$

Deutlich ist in den berechneten Kennlinien der Leckstromdichte J_R in Bild 4.3 ($J_R = J_{TFE}$) der positive Temperaturkoeffizient selbiger für Sperrspannungen von unter $U_R = 1400$ V zu erkennen. Bei höheren Sperrspannungen U_R verändert sich der Temperaturkoeffizient der Leckstromdichte und wird negativ. Allerdings ist anzumerken, dass die Leckstromdichten J_R in der Spannungsregion, in der die Änderung des Temperaturkoeffizienten auftritt, sehr hoch sind und die vorhandenen Verlustleistungsdichten eine kritische Höhe erreichen. Die Änderung des Temperaturkoeffizienten dürfte demzufolge zumindest für die in Bild 4.3 betrachtete Diode keine praktische Relevanz haben.

Eine Erhöhung der Schottky-Barriere in der Berechnung durch die Wahl eines anderen Metalls für den Schottky-Kontakt wie beispielsweise Gold (1,73 eV) [KiCo14], verringert die auftretenden Leckstromdichten J_R und lässt somit eine höhere Sperrspannung U_R bei gleicher Driftgebietsweite unter der Voraussetzung eines ausreichenden Randabschlusses zu (Bild 4.4). Eine solche Veränderung verschiebt des Weiteren den Bereich, in dem das Vorzeichen des Temperaturkoeffizienten der Leckstromdichte wechselt, zu höheren Spannungen. Die in Bild 4.3 gezeigten Kennlinien sind natürlich nur bis zur maximalen Sperrspannung $U_{R,max}$ gültig. Diese würde bei der in Bild 4.3 gezeigte SBD unter der Annahme einer Durchbruchfeldstärke $E_{krit} = 2,8$ MV/cm bei $T_J = 25$ °C (Tabelle 2.1) für vertikale Bauelemente bei $U_{R,max} \approx 2360$ V liegen.

In Bild 4.5 sind die berechneten Leckstromdichten J_R über die Sperrsichttemperatur T_J aufgetragen. Die Abhängigkeit der Leckstromdichten beziehungsweise Leckströme von der Sperrsichttemperatur T_J kann nicht als exakt exponentiell beschrieben werden. Allerdings

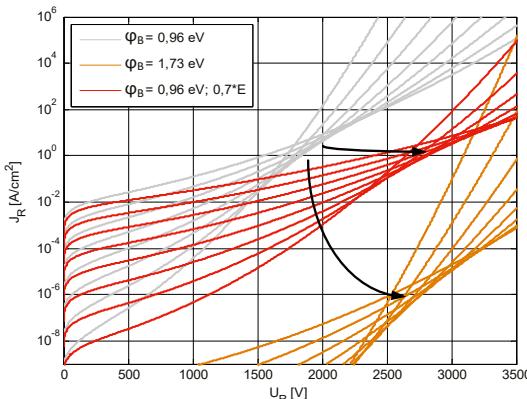


Bild 4.4: Berechnete Leckstromdichten der SiC-SBD aus Bild 4.3 sowie die berechneten Leckstromdichten bei einer höheren Schottky-Barriere ϕ_B beziehungsweise einer konstant reduzierten Feldstärke E der Diode gemäß [HKW103] in Abhängigkeit der Temperatur in 25 °C-Schritten

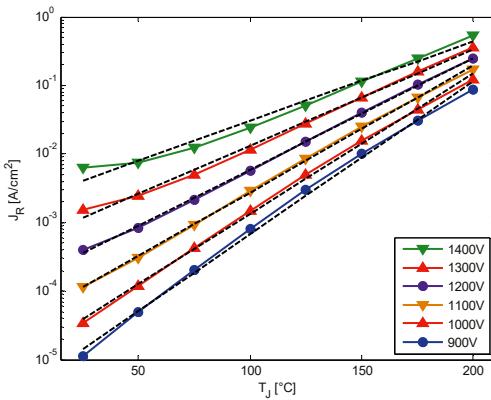


Bild 4.5: In etwa exponentiell mit der Temperatur T_J ansteigende Leckstromdichten der gemäß [HKW103] gegebenen SiC-SBD aus Bild 4.3

dürfte die Annahme exponentiell ansteigender Leckströme, die für das Stabilitätskriterium notwendig sind, in diesem Fall eine ausreichend genaue Annäherung sein.

Die p+-Implantationen von MPS- beziehungsweise JBS-Dioden verhindern des Weiteren ein Auftreten von hohen elektrischen Feldern am Schottky-Kontakt und sorgen somit im Vergleich zu herkömmlichen SiC-SBDs ohne Implantationen zur Schirmung des Kontakts für geringe Leckstromdichten J_R im Betrieb [HeKN98] [AHSS00]. Unter der physikalischen nicht exakten Annahme einer konstant verringerten Feldstärke E (Faktor 0,7) und dem Einsetzen der selbigen in Gleichung 35 wird ersichtlich (Bild 4.4), dass die Leckstromdichten bei ansonsten gleichbleibenden Parametern deutlich geringer ausfallen. Ebenso wie bei einer Erhöhung der Schottky-Barriere φ_B , wandert der Bereich, in dem sich das Vorzeichen des Temperaturkoeffizienten der Leckstromdichte J_R ändert, zu höheren Sperrspannungen U_R .

4.1.2.2 pin-Dioden

Für die nachfolgende Betrachtung der Leckstromdichte J_R eines SiC-pn-Übergangs (Gleichung 37 [Sze02]) wird wie bei Lutz [Lutz12] angenommen, dass die Generation über ein in der Bandlücke zentriertes Rekombinationszentrum abläuft. Des Weiteren lässt sich festhalten, dass die Generationsleckstromdichte $J_{\text{Generation}}$ (Gleichung 37) bei Halbleitermaterialien mit niedrigen intrinsischen Ladungsträgerdichten n_i die Leckstromdichte J_R bestimmen sollte [Sze02] [Lutz12]. Unter diesen Annahmen ist die Leckstromdichte J_R somit direkt abhängig von der intrinsischen Ladungsträgerkonzentration n_i [Lutz12]. Die Generationsträgerlebensdauer τ_g ist ebenso wie die intrinsische Ladungsträgerdichte n_i temperaturabhängig und beeinflusst entsprechend die Leckstromdichte J_R des SiC-pn-Übergangs. Jedoch ist nach [Sze81] anzunehmen, dass der Einfluss von τ_g auf die Temperaturabhängigkeit der Generationsleckstromdichte $J_{\text{Generation}}$ im Gegensatz zu dem von n_i bei SiC vergleichsweise gering ist, da nach Baliga [Balig08]

in SiC für n_i eine sehr ausgeprägte Temperaturabhängigkeit vorliegt (Gleichung 38 [Bali08]), sodass die Temperaturabhängigkeit der Leckstromdichte $J_{\text{Generation}}$ maßgeblich über die der intrinsischen Ladungsträgerdichte n_i bestimmt wird.

$$J_R = J_s + J_{\text{Generation}} = q \cdot \sqrt{\frac{D_p \cdot n_i^2}{\tau_p \cdot N_D} + \frac{q \cdot n_i \cdot w_{RLZ}}{\tau_g}} \quad (37)$$

$$n_i = 1,7 \cdot 10^{16} \cdot T^{1,5} \cdot e^{-\frac{2,08 \cdot 10^4}{T}} \quad (38)$$

Eine niedrige Generationsträgerlebensdauer τ_g sorgt des Weiteren für eine hohe Leckstromdichte J_R und ist für den angenommen Fall eines zentriert in der Bandlücke befindlichen Rekombinationszentrum gegeben [Bali08] [Lutz12]. Es ist in Hinblick auf die Generationsleckstromdichte (siehe Gleichung 37) jedoch logischerweise eine hohe Generationsträgerlebensdauer τ_g sinnvoll, da diese die Leckstromdichte $J_{\text{Generation}}$ verringert [Bali08]. Die exakte Position des Rekombinationszentrums in der Bandlücke hat also nach den obigen Beschreibungen von Lutz [Lutz12] und Baliga [Bali08] über n_i und τ_g einen wesentlichen Einfluss auf die letztendlich auftretende Leckstromdichte J_R . Die Korrelation der Generationsleckstromdichte $J_{\text{Generation}}$ mit der bei Leistungshalbleiterbauelementen maßgebenden hohen Sperrspannung U_R ist in Gleichung 37 über die Weite w_{RLZ} der Sperrsicht (Gleichung 36) gegeben [Lutz12]. Bild 4.6 zeigt zur Verdeutlichung die von der Sperrspannung U_R und Sperrsichttemperatur T_J abhängigen Leckströme I_R einer Silizium-pin-Diode.

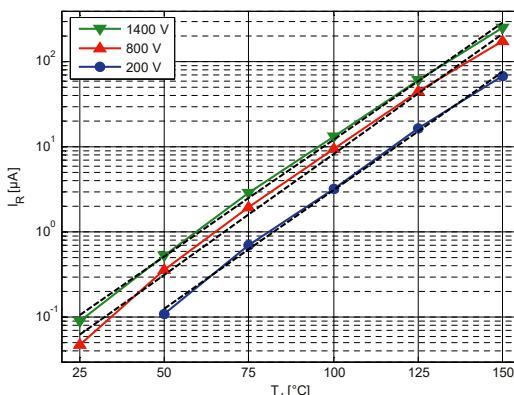


Bild 4.6: Ungefähr exponentiell mit der Temperatur T_J ansteigende Leckströme einer nicht auf fast-recovery-Verhalten optimierten 1400 V Silizium-pin-Diode vom Typ DS A 0,9-14 A des Herstellers BBC; gemäß [BsA-Vogt14] und unter anderem [BVSK15]

4.1.3 Ermittlung der Verdopplungstemperaturdifferenzen der Leckströme

Das in Abschnitt 4.1.1 erwähnte Stabilitätskriterium setzt, wie aus [KaSc13] hervorgeht, exponentiell mit der Temperatur ansteigende Leckströme I_R voraus (siehe beispielsweise Bild 4.6). Im Folgenden wird die Temperaturabhängigkeit der Leckströme von SiC-Schottky-Dioden [DB-Rohm15c] [DB-Rohm15d] [DB-Infi13b] [DB-Infi12] [DB-Infi15] [DB-Wolf16c] [DB-Gene14a] und einer SiC-pin-Diode [DB-Wolf15a] betrachtet (Tabelle 4.1). Bei der pin-Diode handelt es sich um die intrinsische pin-Dioden eines SiC-MOSFETs. Die Ergebnisse zu den SiC-Schottky-Dioden SCS206AG, SCS205KG, IDH04S60C und GB02SLT12 sind ebenso wie das Ergebnis der als Referenz genutzten 1400 V Silizium-pin-Diode vom Typ DS A 0,9-14 A des Herstellers BBC im Rahmen des studentischen Arbeitsvorhabens [BsA-Vogt14] entstanden und wurden für die hier gemachte Betrachtung übernommen.

Zur Ermittlung der thermischen Stabilität (Gleichung 32) wird die Verdopplungstemperaturdifferenz ΔT_d benötigt. Bei Betrachtung von beispielsweise der in Bild 4.5 gezeigten 1200 V Kennlinie wird durch die angepasste Modellkennlinie (gestrichelt) eine exponentielle Gleichung bestimmt, die durch das Stabilitätskriterium vorausgesetzt wird. Durch einen Vergleich lässt sich aus der Steigung der Modellgleichung die Verdopplungstemperaturdifferenz ΔT_d ermitteln [BsA-Vogt14]:

$$e^{x \cdot T_J} = 2^{\frac{T_J}{\Delta T_d}} \quad \Rightarrow \quad \Delta T_d = \frac{\ln 2}{x} \quad (39)$$

In dem beispielhaften Fall der 1200 V Kennlinie würde die Modellgleichung ($y = 139 \mu\text{A} \cdot e^{0,0375 \cdot T_J}$) zu einer Verdopplungstemperaturdifferenz von $\Delta T_d = 18,5 \text{ K}$ führen. Eine weitere Auswertung der Kurvenverläufe für Spannungen zwischen $U_R = 700 \text{ V}$ und $U_R = 1400 \text{ V}$ zeigt, dass ΔT_d mit zunehmender Sperrspannung ansteigt (Bild 4.7). Hierbei ist zu beachten, dass die Abhängigkeit des Leckstroms I_R von der Sperrsichttemperatur T_J sich nur in einem gewissen Spannungs- beziehungsweise Temperaturbereich als exponentiell beschreiben lässt. Dies muss bei der Anwendung des Stabilitätskriteriums hinreichend beachtet werden. Als Konsequenz hieraus ist ein eingeschränkter Spannungs- und Temperaturbereich zu wählen, in dem ein annähernd exponentieller Anstieg der Leckströme mit der Sperrsichttemperatur T_J vorliegt. Eine Nichtbeachtung der zum Teil mehr als exponentiell ansteigenden Leckströme kann ansonsten zu fatalen Fehleinschätzungen der thermischen Stabilität führen.

Die Leckströme der in Tabelle 4.1 aufgeführten Bauelemente wurden mit Hilfe eines Kennlinienschreibers (Tektronix 370A) gemessen, wobei zur Vorgabe der jeweiligen Sperrsichttemperatur T_J ein geregelter Umluftofen verwendet wurde. Hierdurch sollte eine möglichst homogene Erwärmung der jeweiligen Diode, das heißt des Halbleiters und des Gehäuses, gewährleistet werden.

Tabelle 4.1: Untersuchte SiC-Dioden und betrachteter Temperaturbereich zur Bestimmung der Verdopplungstemperaturdifferenz ΔT_d des Leckstroms I_R

Diode	Nennsperrspannung U_R	Typ	Betrachteter Temperaturbereich für ΔT_d
SCS206AG (R)	650 V	SBD	25 ... 175°C
SCS205KG (R)	1200 V	SBD	25 ... 175°C
IDH04S60C (I) 2. Generation	600 V	MPS/JBS-Diode	25 ... 175°C
IDH08G65C5 (I) 5. Generation	650 V	MPS/JBS-Diode	25 ... 175°C
IDH08G120C5 (I) 5. Generation	1200 V	MPS/JBS-Diode	25 ... 175°C
Prototyp (I)	1700 V	MPS/JBS-Diode	25 ... 175°C
C4D02120A (C)	1200 V	MPS/JBS-Diode	25 ... 175°C
GB02SLT12 (G)	1200 V	MPS/JBS-Diode	25 ... 175°C
C2M0280120D (C)	1200 V	pin-Diode ^{a)}	200 ... 300°C

^{a)} Bei den untersuchten SiC-pin-Dioden handelt es sich um die intrinsischen pin-Dioden von SiC-MOSFETs

Hersteller der Dioden: Cree/Wolfspeed (C), GeneSiC (G), Infineon (I) und Rohm (R)

Alle Dioden, bis auf die SiC-pin-Diode, haben ein TO-220-2-Gehäuse. Die SiC-pin-Diode befindet sich in einem TO-247-3-Gehäuse.

Die Bauelemente wurden zunächst auf ihre Leckströme im spezifizierten Temperaturbereich untersucht. Zum Teil wurden weitere Messungen durchgeführt, die über den spezifizierten Temperaturbereich hinausgingen. Dies war insbesondere bei der intrinsischen pin-Diode des SiC-MOSFETs der Fall, da diese naturgemäß sehr geringe Leckströme aufweisen sollte und die maximal zulässige Temperatur hauptsächlich durch die Aufbau- und Verbindungstechnik [KaHi14] bedingt ist.

Die in Bild 4.8 über die Sperrsichttemperatur T_s aufgetragenen Leckströme einer 1200 V MPS-Diode zeigen einen annähernd exponentiellen Anstieg der Leckströme im spezifizierten

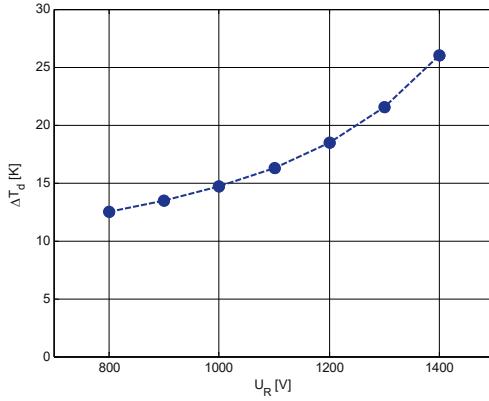


Bild 4.7: Über einen Temperaturbereich von 25 °C bis 200° C berechnete Verdopplungstemperaturdifferenzen ΔT_d der in der Literatur [HKW103] beschriebenen SBD (siehe Bild 4.3)

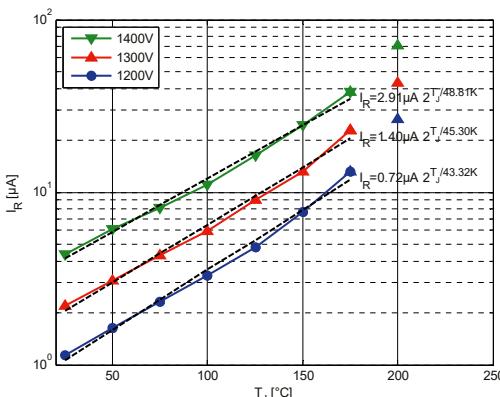


Bild 4.8: Leicht mehr als exponentiell mit der Sperrsichttemperatur T_J ansteigende Leckströme einer 1200 V SiC-MPS-Diode von Cree/Wolfspeed (C4D02120A)

Temperaturbereich bis 175 °C. Bei noch höheren Sperrsichttemperaturen wird die Abweichung von der ermittelten Modellgleichung deutlich größer (Einzelpunkte in Bild 4.8). Mit der im spezifizierten Temperaturbereich ermittelten Verdopplungstemperaturdifferenz ΔT_d kann im Bereich erhöhter Temperaturen über die thermische Stabilität keine sinnvolle Aussage mehr getroffen werden. Auch weitere SiC-Schottky-Dioden (beispielsweise in [BÖVK15b]) zeigten, wie die MPS-Diode in Bild 4.8, eine leicht überexponentielle Steigung des Leckstroms I_R im spezifizierten Temperaturbereich.

Die im jeweiligen Temperaturbereich (Tabelle 4.1) ermittelten Verdopplungstemperaturdifferenzen ΔT_d für die untersuchten Dioden sind in Bild 4.9 aufgetragen. Bei den SiC-Schottky-Dioden lässt sich eine positive Korrelation zwischen der Sperrspannung U_R und der Verdopplungstemperaturdifferenz ΔT_d feststellen. In Bild 4.9 sind des Weiteren zum Vergleich die schon in Bild 4.7 gezeigten ΔT_d -Werte der SBD nach Hatakeyama et al. [HKWI03] eingezeichnet. Die berechneten Ergebnisse fügen sich gut neben den ΔT_d -Werten der realen SBDs ein. Bei der Nennsperrspannung haben alle gemessenen SiC-Schottky-Dioden eine Verdopplungstemperaturdifferenz ΔT_d von deutlich über 25 K. Im Vergleich zur Silizium-pin-Diode vom Typ DS A 0,9-14 A des Herstellers BBC, die über den betrachteten Spannungsbereich eine Verdopplungstemperaturdifferenz von im Mittel $\Delta T_d = 10,8$ K aufweist [BsA-Vogt14], sind die Verdopplungstemperaturdifferenzen der betrachteten SiC-Schottky-Dioden bei Nennsperrspannung (Bild 4.9) um das 2,4- bis 4,6-fache höher. Im Hinblick auf das Stabilitätskriterium (Gleichung 32) kann entsprechend festgehalten werden, dass der Sperrbetrieb der gemessenen SiC-Schottky-Dioden im Vergleich zu dem der betrachteten Silizium-pin-Diode unter der Annahme identischer Leckströme I_R sowie ähnlicher Umgebungsbedingungen keine erhöhte Unsicherheit für den Dauerbetrieb nach sich zieht. Die Annahme identischer Leckströme dient hierbei nur der gedanklichen Veranschaulichung, da ein signifikanter Unterschied besteht, wie sich auch unschwer aus Bild 4.6 und Bild 4.8 erschließt. Es ist nochmals anzumerken, dass die

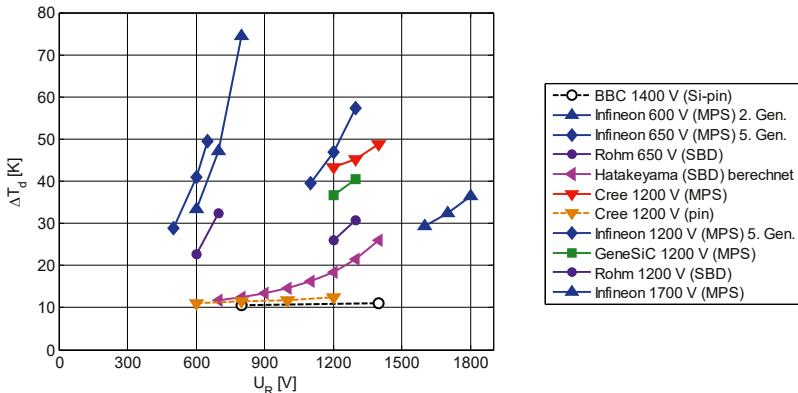


Bild 4.9: Ermittelte Verdopplungstemperaturdifferenzen der untersuchten Dioden, Teilergebnisse gemäß des studentischen Arbeitsvorhabens [BsA-Vogt14] (BBC 1400 V, Infineon 600 V, Rohm 650 V, GeneSiC 1200 V sowie Rohm 1200 V) und unter anderem der Veröffentlichung [BVSK16] (Cree 1200 V (pin) sowie Infineon 1700 V)

Leckströme I_R von MPS-Dioden aufgrund der schirmenden Wirkung der p^+ -Implantationen gegen hohe elektrische Feldstärken E geringer sind, als die von ansonsten geometrisch identischen SBDs [HeKN98]. Ebenso führen die p^+ -Implantationen zu um mindestens 5,8 K höhere Verdopplungstemperaturdifferenzen bei Nennsperrspannung (Bild 4.9). Aus diesen Gründen ist dem Stabilitätskriterium im Sperrbetrieb durch MPS-Dioden wiederum besser gerecht zu werden, als es mit SBDs der Fall ist. Bei den MPS-Dioden von Infineon zeigt sich außerdem eine Steigerung der Verdopplungstemperaturdifferenz bei einer Sperrspannung von $U_R = 650$ V um 9,3 K von der zweiten zur fünften Generation der Diode.

Im Hinblick auf die in [Schr06] gezeigten Messungen und dortigen Angabe sind pin-Dioden aus SiC aufgrund der hohen Durchlassspannungen U_F erst bei einer Sperrspannung oberhalb von $U_R = 3$ kV für leistungselektronische Anwendungen und somit kommerziell sinnvoll. Aus eben diesem Grund ist es auch nicht möglich, SiC-Schottky-Dioden mit einem direkten pin-Gegenstück gleicher maximal zulässiger Sperrspannung $U_{R,max}$ zu vergleichen. Kommerzielle SiC-Schottky-Dioden und SiC-MOSFETs sind jedoch in identischen Spannungsklassen erhältlich. Da der MOSFET über eine intrinsische Freilaufdiode verfügt, ist hierüber die Option zum Vergleich mit SiC-Schottky-Dioden gegeben.

In Bild 4.10 sind die Leckströme von neun SiC-MOSFETs (C2M0280120D), die als pin-Dioden im Temperaturbereich von 25°C bis 300°C vermessen wurden, dargestellt. Zwischen Gate und Source wurde ein Kurzschluss ($U_{GS} = 0$ V) beziehungsweise eine Spannungsquelle mit $U_{GS} = -4,7$ V geschaltet. Zur Generierung eines signifikanten Leckstroms I_R wurden die MOSFETs des Weiteren parallelgeschaltet. Die auftretenden Leckströme bei angelegter negativer Gate-Source-Spannung U_{GS} fielen deutlich geringer aus als bei lediglich kurzgeschlossener

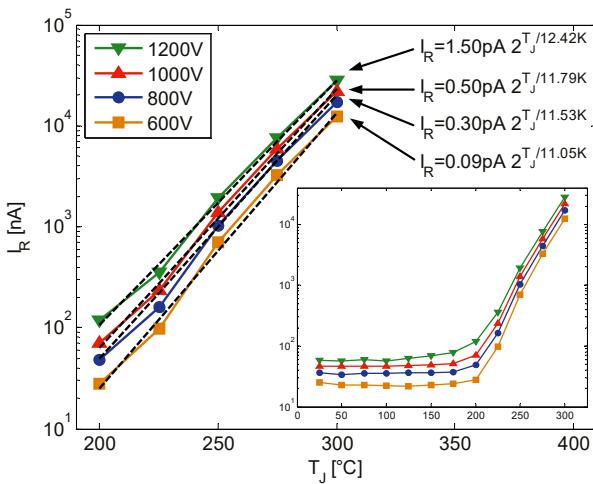


Bild 4.10: Im Temperaturbereich von 200 °C bis 300 °C exponentiell mit der Sperrsichttemperatur T_J ansteigende Leckströme der neun parallelgeschalteten und als pin-Diode vermessenen 1200 V SiC-MOSFETs ($U_{GS} = -4,7$ V) von Cree/Wolfspeed (C2M0280120D); gemäß [BVSK16]

Gate-Source-Strecke. Dieses Verhalten konnte über den kompletten Temperaturbereich nachvollzogen werden und ist somit ein Anzeichen dafür, dass die Kanäle unter dem Gate-Oxid im Fall von $U_{GS} = 0$ V nicht gänzlich geschlossen sind und die Leckströme auch anteilig von diesen herrühren [CASG13]. Die ermittelten Verdopplungstemperaturdifferenzen ΔT_d der intrinsischen pin-Diode bei einer Gate-Source-Spannung von $U_{GS} = -4,7$ V liegen im Bereich von 11,1 K bis 12,4 K und weisen eine schwache Abhängigkeit von der Sperrspannung U_R auf (Bild 4.9). Die Werte für ΔT_d wurden hierbei im Temperaturbereich von 200 °C bis 300 °C ermittelt (Bild 4.10).

Die theoretische Verdopplungstemperaturdifferenz ΔT_d der Leckströme für pn-Übergänge kann unter der Annahme, dass die Temperaturabhängigkeit der Leckströme durch die der intrinsischen Ladungsträgerkonzentration n_i bestimmt wird ($I_R \propto n_i$), ermittelt werden. Die Auswirkung der Temperaturabhängigkeit der Ladungsträgerlebensdauer τ_g wird hier aufgrund ihres geringen Einflusses vernachlässigt (siehe Abschnitt 4.1.2.2). Für SiC-pn-Übergänge sollte ΔT_d , bei Ermittlung von n_i nach Baliga [Bali08] (Gleichung 38), unter der idealisierten Annahme einer Generation über ein einzelnes Rekombinationszentrum in der Mitte der Bandlücke, im Temperaturbereich zwischen 200 °C und 300 °C etwa $\Delta T_d = 8,8$ K betragen (Bild 4.11). Allerdings liegen in diesem Temperaturbereich die aus den Messungen ermittelten Werte der parallelgeschalteten Bauelemente (C2M0280120D) für ΔT_d im Bereich von 11,1 K bis 12,4 K und demnach über dem theoretischen Wert von $\Delta T_d = 8,8$ K. Aufgrund der Nähe beider ΔT_d -Werte zueinander und der gemachten Vereinfachungen bei der Bestimmung des theoretischen

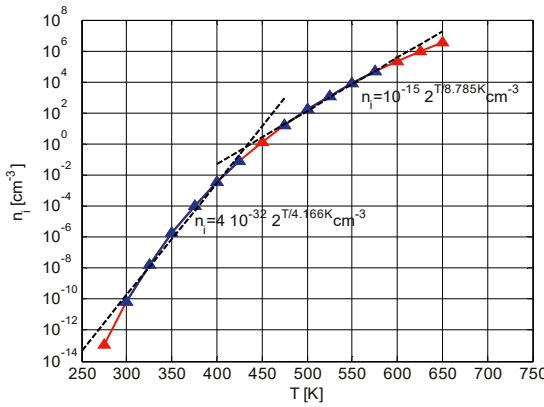


Bild 4.11: Intrinsiche Ladungsträgerkonzentration n_i von SiC gemäß [Bali08] mit angepassten Modellgleichungen in den Temperaturbereichen 25 °C bis 150 °C und 200 °C bis 300 °C

Werts ist eine Generation über Rekombinationszentren in der Nähe zur Bandmitte zumindest nicht gänzlich auszuschließen (siehe auch [BVK16]).

Im Vergleich zu den SiC-pn-Übergängen beziehungsweise den intrinsischen SiC-pin-Dioden (Bild 4.9) stimmt bei Silizium-pn-Übergängen die allgemein bekannte Verdopplungstemperaturdifferenz von circa 11 K [KaSc13] relativ gut mit dem ermittelten Wert der 1400 V Silizium-pin-Diode (Bild 4.6) von im Mittel 10,8 K [BsA-Vogt14] überein. Auffällig bei den gemessenen intrinsischen SiC-pin-Dioden ist, dass im unteren Temperaturbereich Leckströme auftreten, die spannungsabhängig sind und kaum einen Temperatureinfluss aufweisen (Bild 4.10). Die genauen physikalischen Abhängigkeiten der Leckströme in diesem Temperaturbereich konnten nicht ermittelt werden. Eine Leermessung mit dem Kennlinienschreiber ergab Leckströme, die unter denen in Bild 4.10 liegen. Für SiC-pn-Übergänge im Temperaturbereich von 25 °C bis 150 °C liegt die theoretische Verdopplungstemperaturdifferenz bei Generation über ein einzelnes Rekombinationszentrum in der Bandmitte ungefähr bei $\Delta T_d = 4,2$ K (Bild 4.11). Die in diesem Temperaturbereich tatsächlich auftretenden, annähernd konstanten Leckströme lassen sich somit nicht über ein Rekombinationszentrum, welches praxisfernerweise exakt in der Bandmitte liegt, erklären. Es ist durch die - wenn überhaupt vorhandene - Steigung der Leckströme mit der Sperrsichttemperatur T_J eine deutlich höhere Verdopplungstemperaturdifferenz gegeben (Gleichung 39).

Die selbst im Vergleich zur SiC-MPS-Diode um ein bis zwei Größenordnungen geringeren Leckströme I_R der SiC-pin-Diode bei Nennsperrspannung im Temperaturbereich von $T_J = 25$ °C ... 150 °C (Bild 4.8 und Bild 4.10) und die hier im schlechtesten Fall in etwa auf dem Niveau der Silizium-pin-Diode liegenden Verdopplungstemperaturdifferenzen ΔT_d führen dazu, dass der Sperrbetrieb der intrinsischen SiC-pin-Diode in Bezug auf das Stabilitätskriterium ebenfalls - ähnlich wie derjenige der untersuchten SiC-Schottky-Dioden - keine Unsicherheit für den Betrieb darstellt. Bei einer Erhöhung der Temperatur T nimmt die Steigung der

intrinsischen Ladungsträgerkonzentration n_i (Gleichung 38) des Weiteren ab (Bild 4.11), wodurch theoretisch ein steigender Wert für ΔT_d zu erwarten ist. Inwiefern sich dies vorteilhaft auf die Erfüllung des Stabilitätskriteriums bei Hochtemperaturanwendungen auswirken könnte, hängt von den tatsächlich im entsprechenden Temperaturbereich auftretenden Leckstromdichten J_R ab.

Die SiC-MOSFETs (Bild 4.10) wurden bis zu einer Temperatur von $T_J = 300^\circ\text{C}$ vermessen. In Bezug auf die im Datenblatt gegebene maximal zulässige Temperatur $T_{J,\max} = 150^\circ\text{C}$ scheinen somit die intrinsische pin-Dioden als Teilbauelement und demnach SiC-pin-Dioden im Allgemeinen das Potential für Anwendungen bis zumindest dieser Temperatur, wenn nicht gar weit darüber hinaus, aufzuweisen, wobei die Standardgehäuse die derzeitige Schwachstelle darstellen [KaHi14].

4.1.4 Anwendung des Stabilitätskriteriums

Die Anwendung des Stabilitätskriteriums wird im Folgenden am Beispiel der schon vermessenen 1700 V MPS-Diode (Infineon-Prototyp) demonstriert. In Bild 4.12a sind die Leckströme der Diode in Abhängigkeit der Temperatur T_J bei der Nennsperrspannung von $U_R = 1700\text{ V}$ aufgetragen. Es ist ersichtlich, dass aufgrund des leicht überexponentiellen Anstiegs der Leckströme für eine Ermittlung der thermischen Stabilität im Bereich der Temperaturen von 175°C bis 200°C hierbei nicht die Verdopplungstemperaturdifferenz von $\Delta T_d(25^\circ\text{C} \dots 175^\circ\text{C}) = 32,39\text{ K}$, welche im Temperaturbereich bis 175°C ermittelt wurde, herangezogen werden darf. Damit eine verlässliche Aussage getroffen werden kann, wurde ΔT_d für den Temperaturbereich von 150°C bis 200°C separat ermittelt, was zu einem Wert von $\Delta T_d(150^\circ\text{C} \dots 200^\circ\text{C}) = 19,75\text{ K}$ führt. Der thermische Widerstand $R_{th,JA}$ zwischen der Sperrschicht der Diode und der Umgebung belief sich bei dem Versuch zur Anwendung des Stabilitätskriteriums auf $R_{th,JA} = 62,01\text{ K/W}$ und wurde bei $T_A = 175^\circ\text{C}$ ermittelt, wobei kein Kühler installiert war und eine Kühlung durch Konvektion von vornherein unterbunden wurde. Geringe Abweichungen durch die Temperaturabhängigkeit des thermischen Widerstandes $R_{th,JA}$ müssen hierbei akzeptiert werden [Schw12].

Die Berechnung der thermischen Stabilität mit Gleichung 32 erfolgt jeweils mit dem initialen Leckstrom $I_R(U_R, T_A)$, also dem Leckstrom, bei dem $T_{J,ini} = T_A$ gilt. Das Ergebnis einer solchen Berechnung zeigt (Tabelle 4.2), dass für $T_A = 175^\circ\text{C}$ kein thermisches Weglaufen zu erwarten ist, wohingegen bei Temperaturen von $T_A > 180^\circ\text{C}$ ein thermisches Weglaufen unausweichlich ist. Bei einer Umgebungstemperatur von $T_A = 180^\circ\text{C}$ tritt ein Grenzfall ein. Die Diode ist nach Gleichung 32 rechnerisch stabil, allerdings unterscheidet sich das Ergebnis der linken Seite des Stabilitätskriteriums ($10,33\text{ K}$) nur geringfügig von der rechten Seite des Kriteriums ($10,48\text{ K}$).

Die berechneten Fälle lassen sich sehr gut in der Auftragung der Leckströme über die Zeit t wiedererkennen (Bild 4.12b). Bei einer Umgebungstemperatur von $T_A = 175^\circ\text{C}$, welche logi-

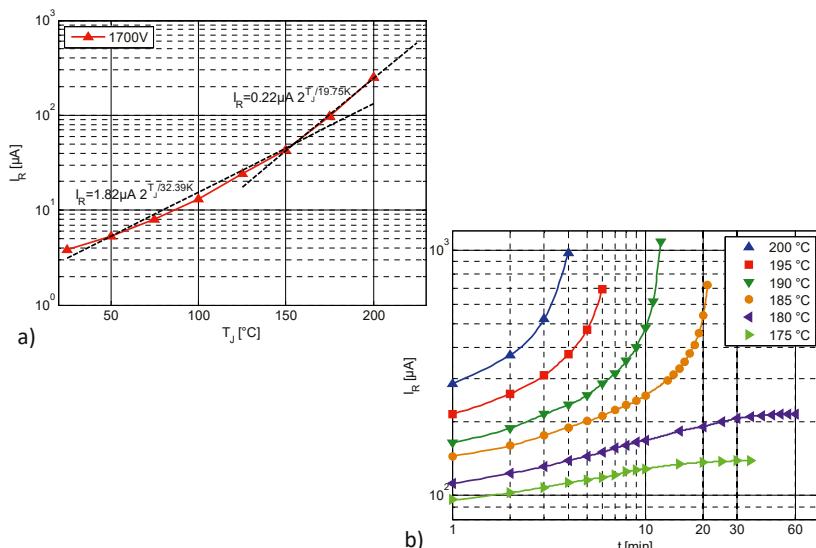


Bild 4.12: a) Gemessene Leckströme in Abhängigkeit der Temperatur T_J bei $U_R = 1700$ V gemäß [BVK16] mitsamt den Modellgleichungen und b) thermisches Weglaufen einer 1700 V MPS-Diode von Infineon gemäß [BVK15] [BVK16]

scherweise gleich der initialen Sperrsichtstemperatur $T_{J,\text{ini}}$ bei diesem Messdurchlauf ist, stabilisiert sich die Diode nach knapp über einer halben Stunde, wohingegen dies schon bei $T_A = 180$ °C erst nach einer Stunde geschieht. Die Diode verhält sich also, wie berechnet, im Grenzfall noch stabil. Bei Temperaturen von $T_A > 180$ °C kommt es zum thermischen Weglaufen, wobei die Diode thermisch zerstört werden würde, sofern die Messung mit dem Kennlinienschreiber nicht abgebrochen wird.

Bei der Anwendung der Formel zur Berechnung der kritischen Umgebungstemperatur $T_{A,\text{krit}}$ (Gleichung 34) wird ebenfalls offensichtlich, dass ein thermisches Weglaufen bei einer gemittelten Temperatur von näherungsweise $T_{A,\text{krit}} = 180$ °C eintreten sollte (Tabelle 4.3).

Tabelle 4.2: Berechnete Ergebnisse des Stabilitätskriteriums

T_A	U_R	$I_R(U_R, T_A)$	$R_{\text{th},JA}$	ΔT_D	Linke Seite des Kriteriums	Rechte Seite des Kriteriums
175 °C	1700 V	87 μA	62,01 K/W	19,75 K	9,17 K	< 10,48 K
180 °C		98 μA			10,33 K	<
185 °C		121 μA			12,76 K	>
190 °C		134 μA			14,13 K	>
195 °C		164 μA			17,29 K	>
200 °C		204 μA			21,51 K	>

Tabelle 4.3: Berechnete Ergebnisse der kritischen Umgebungstemperatur $T_{A,krit}$

T_A	U_R	$I_R(U_R, T_{A,0})$	$R_{th,JA}$	ΔT_D	$T_{A,krit}$
175 °C	1700 V	87 µA	62,01 K/W	19,75 K	178,81 °C
180 °C		98 µA			180,41 °C
185 °C		121 µA			179,41 °C
190 °C		134 µA			181,5 °C
195 °C		164 µA			180,74 °C
200 °C		204 µA			179,52 °C
Mittelwert:					180,07 °C

Anhand des hier gezeigten Beispiels wird veranschaulicht, dass die thermische Stabilität sehr gut mit Gleichung 32 und Gleichung 34 vorhersagbar ist. Es ist allerdings wichtig, ein ausreichend genaues Modell zur Ermittlung der Verdopplungstemperaturdifferenz ΔT_d bei über-exponentiell ansteigenden Leckströmen zu nutzen, da es ansonsten aufgrund eines zu hohen Werts von ΔT_d zu einer Fehleinschätzung der thermischen Stabilität kommt. Die Demonstration zeigt sehr deutlich, dass die jeweils durch das Stabilitätskriterium vorgegebene Bedingung bis zu einer Temperatur von $T_A = 175$ °C auch ohne eine eigens für die MPS-Diode konzipierte Kühlung eingehalten werden kann, wobei hier beispielsweise im Vergleich zur 1200 V MPS-Diode aus Bild 4.8 nochmals höhere Verlustleistungen bei gleichem Bauteilgehäuse während der Messungen umgesetzt wurden.

4.1.5 Lawinendurchbruch in SiC im Vergleich mit Silizium und Galliumnitrid

Wie aus der Literatur [Sze02] [Reis05] [Lutz12] hervorgeht, finden bei der Stoßionisation ab der kritischen elektrischen Feldstärke E_{krit} , verursacht durch die Sperrspannung U_R , in der Raumladungszone eines Halbleiters Zusammenstöße von bereits im Leitungsband befindlichen Elektronen beziehungsweise im Valenzband befindlichen Löchern mit dem Kristallgitter unter der Einwirkung einer sehr hohen kinetischen Energie statt. Hierbei wird von jedem mit dem Kristallgitter zusammengeprallten Ladungsträger, sofern dessen durch die Beschleunigung im elektrischen Feld E bezogene kinetische Energie einen ausreichend hohen Wert hat, ein weiteres Elektron beziehungsweise Loch freigesetzt. Die Ladungsträger, die die Zusammenstöße initiiert haben, sowie die freigesetzten Elektronen im Leitungs- und Löcher im Valenzband nehmen wiederum Energie aus dem elektrischen Feld E auf und ionisieren ihrerseits bei ausreichender Energie weitere Elektronen, womit eine positive Rückkopplung beziehungsweise eine Ladungsträgermultiplikation vorliegt und somit der Lawinendurchbruch einsetzt. [Sze02] [Reis05] [Lutz12]

Aufgrund des meist annähernd exponentiellen Zusammenhangs zwischen der angelegten Sperrspannung U_R und des gemessenen Stroms I_R lässt sich der Lawinendurchbruch in einer halblogarithmischen Darstellung anhand einer deutlichen Veränderung der Steigung identifizieren (Bild 4.14).

Der Lawinendurchbruch hat bei einem pn-Übergang in Silizium einen positiven Temperaturkoeffizienten, wie unter anderem in der Literatur von Reisch [Reis05] und Lutz [Lutz12] gezeigt wurde. Aus diesem Grund ist keine thermische Instabilität durch eine Erhöhung der Sperrsichttemperatur T_J zu befürchten [KiCo14], da sich für eine ansteigende Sperrsichttemperatur T_J auch der Punkt des Einsetzens für den Lawinendurchbruch zu höheren Spannungen U_R verschiebt [Lutz12] [KiCo14]. Der Lawinendurchbruch ist dementsprechend für Silizium-pin-Dioden selbststabilisierend.

In der Literatur [KEND13] wurde für eine vertikale GaN-on-GaN-pn-Diode mit einem positiven Temperaturkoeffizienten des Lawinendurchbruchs Gleichung 40 vorgestellt, die die Berechnung der Durchbruchspannungen zwischen 600 V und 2500 V zulässt.

$$BV(T) \approx BV_{25^\circ\text{C}}(1 + \alpha \cdot \Delta T) \quad \text{mit } \alpha \approx 6 \cdot 10^{-4} \frac{1}{\text{K}} \quad (40)$$

Aus den errechneten Durchbruchspannungen bei Sperrsichttemperaturen von 25 °C und 175 °C lässt sich ein Temperaturkoeffizient von 0,36 V/K für eine GaN-pn-Diode mit einer Durchbruchspannung von 600 V bei $T_J = 25$ °C errechnen.

Zur Bestimmung des Durchbruchverhaltens von SiC-Schottky-Dioden wurde, wie auch für die vorangehend beschriebene Untersuchung der thermischen Stabilität, der Kennlinien-schreiber CT370A genutzt. Jedoch wurde in diesem Fall für die Erwärmung der Sperrsichten der Dioden die in Abschnitt 3.1.3 beschriebene regelbare Heizeinrichtung verwendet. Die nachfolgend in diesem Unterabschnitt beschriebenen Messergebnisse der SiC-Schottky-Dioden, die auch unter anderem für die Veröffentlichung [BVK15] genutzt wurden, entstanden ebenfalls im Rahmen des studentischen Arbeitsvorhabens [BsA-Vogt14].

In Bild 4.13 ist die aufgenommene Kennlinienschar einer 650 V SBD von Rohm bis zu einem Leckstrom von $I_L = 1,5$ mA dargestellt. Es konnte keinerlei Lawinendurchbruch bei einer Erhöhung der Sperrspannung U_R bis hin zur Zerstörung der SBD festgestellt werden [BVK15].

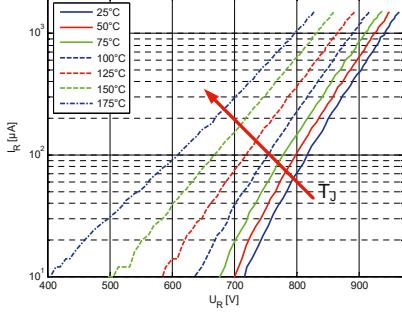


Bild 4.13: Kennlinienschar einer 650 V SBD von Rohm (SCS206AG) gemäß [BsA-Vogt14] [BVK15]

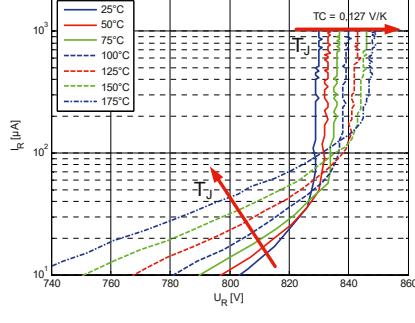


Bild 4.14: Kennlinienschar mit Lawinendurchbruch einer 600 V MPS-Diode von Infineon (IDH04S60C) gemäß [BsA-Vogt14] [BVK15]

Bei einem Vergleich von Bild 4.13 mit Bild 4.3 fällt zudem auf, dass es in Bild 4.13 keine Anzeichen für einen Vorzeichenwechsel des Temperaturkoeffizienten des Leckstroms I_R beziehungsweise der Sperrspannung U_R gibt.

Generell sollte nach Kimoto et al. [KiCo14] durch den Lawinendurchbruch in SiC ein positiver Temperaturkoeffizient des Durchbruchs gegeben sein. Nach einer neueren Studie von Chi et al. [ChNK17] gilt dies jedoch nicht bei extremen Dotierungen des Driftgebiets oberhalb eines gewissen Schwellenwerts, bei denen ein negativer Temperaturkoeffizient auftritt. Die von Chi et al. [ChNK17] gezeigten Durchbrüche von pn-Übergängen mit Dotierungen von $N_D = 1,5 \cdot 10^{-18} \text{ cm}^{-3}$ bis zu $N_D = 1,9 \cdot 10^{-18} \text{ cm}^{-3}$ werden dort aufgrund ihrer Verläufe trotz der negativen Temperaturkoeffizienten des Durchbruchs als wahrscheinliche Lawinendurchbrüche gewertet.

In Bild 4.14 hingegen ist die ebenfalls aufgenommene Kennlinienschar einer 600 V SiC-MPS-Diode von Infineon zu sehen. Nach einem Wechsel vom negativen zum positiven Temperaturkoeffizienten der Sperrspannung U_R erfolgt jeweils der Lawinendurchbruch. Somit verhält sich der Lawinendurchbruch für die SiC-MPS-Diode, wie es auch bei Silizium-pin-Dioden der Fall ist, thermisch selbststabilisierend. Der Temperaturkoeffizient der in Bild 4.14 gezeigten SiC-MPS-Diode konnte zu $T_C = 0,127 \text{ V/K}$ bei einem Leckstrom von $I_R = 1 \text{ mA}$ bestimmt werden [BsA-Vogt14] [BVSK15]. Für eine 1200 V SiC-MPS-Diode von Cree/Wolfspeed (C4D02120A) konnte des Weiteren bei einem Leckstrom von $I_R = 2 \text{ mA}$ ein Temperaturkoeffizient von $T_C = 0,371 \text{ V/K}$ nachgewiesen werden [BsA-Vogt14] [BÖVK15b]. Die dargestellten beziehungsweise beschriebenen Ergebnisse zeigen wie schon in [BsA-Vogt14] bemerkt eine gute Übereinstimmung mit den von Rupp et al. [RGKS14] ermittelten Temperaturkoeffizienten. Es ist des Weiteren anzumerken, dass die Temperaturkoeffizienten von SiC-MPS-Dioden anders als die von Silizium-Bauelementen mit einer Auslegung auf die gleiche maximal zulässige Sperrspannung $U_{R,\max}$ um den Faktor 3 ... 4 geringer sind [RGKS14].

Abschließend kann festgehalten werden, dass SiC-MPS-Dioden nicht durch thermische Instabilitäten in Bezug auf den Lawinendurchbruch gefährdet sind, das heißt durch eine mit der Temperatur abnehmende Durchbruchspannung [Lutz12], wie es bei einem negativen Temperaturkoeffizienten der Fall wäre [KiCo14]. Im Gegensatz hierzu kann für die SiC-SBD entsprechend Bild 4.13 keine Aussage auf Grundlage der Messungen getroffen werden. Die ebenfalls positiven Temperaturkoeffizienten der zum Vergleich herangezogenen Silizium- und Galliumnitrid-Dioden sind gemäß der genannten Quellen [KEND13] [RGKS14] deutlich ausgeprägter als bei SiC-MPS-Dioden der gleichen maximal zulässigen Sperrspannung $U_{R,\max}$.

4.2 Schaltverhalten von 1,2 kV Dioden

Das Schaltverhalten von Dioden und dessen Konsequenzen sind wichtige Kriterien zur Einschätzung der Belastung von Bauelementen in leistungselektronischen Schaltungen. Eine

erste Betrachtung der Eigenschaften von Dioden wurde in dem betreuten studentischen Arbeitsvorhaben [BsA-Li15] durchgeführt, auf dessen Ergebnisse dieser Abschnitt sowie die zugehörigen Unterabschnitte in Teilen aufbauen. Die in Abschnitt 4.2 und den Unterabschnitten aufgeführten Überlegungen und Resultate sind des Weiteren zum Teil schon in die Abhandlung [BöKa16b] eingeflossen.

Je nach Diodentyp (siehe Abschnitte 2.2.1 und 2.2.2) belastet eine Diode beim Abkommunizieren mit der auszuräumenden Sperrsichtsladung Q_C beziehungsweise Sperrverzögerungsladung Q_{RR} den am Schaltvorgang beteiligten Transistor (hier MOSFET M in Bild 4.15) mit einer mehr oder weniger stark ausgeprägten Rückstromspitze. Der während der Rückstromspitze auftretende Strom i_{RR} der Diode fließt in entgegengesetzter Richtung zum Strom i_F und muss zusätzlich zum Laststrom i_L durch den MOSFET M mitgetragen werden, wodurch eine Erhöhung der Schaltenergie E_{ein} des MOSFETs und somit die oben genannte zusätzliche Belastung eintritt. Bei der Kommutierung des Stroms i_L (Bild 4.15) in die Diode hinein, kommt es hingegen zu einem kurzzeitigen Anstieg der gemessenen Durchlassspannung u_{Diode} , welcher die statische Durchlassspannung U_F der Diode deutlich überschreiten kann und somit für einen antiparallel geschalteten IGBT mit geringer Rückwärtssperrfähigkeit eine Beanspruchung darstellt [Lutz12] [RBKL16].

Für einen Vergleich des Schaltverhaltens von Dioden wurden eine SiC-SBD, drei SiC-MPS-Dioden und eine SiC-pin-Diode, bei der es sich aus den in Abschnitt 4.1.3 genannten Gründen um die intrinsische pin-Diode eines SiC-MOSFETs handelt, herangezogen. Als Referenz mit bekanntem Verhalten wurde wieder eine Silizium-pin-Diode verwendet. Aufgrund der zum Teil sehr unterschiedlichen Arbeitspunktangaben der einzelnen Hersteller in den Datenblättern, ist es schwierig nominell identische SiC-Dioden hinsichtlich des Durchlassstroms I_F zu finden.

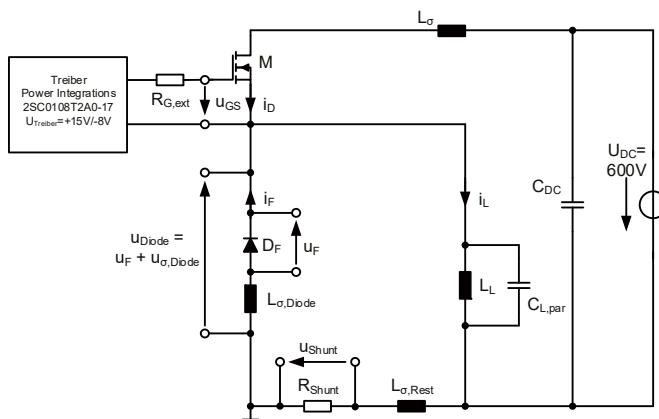


Bild 4.15: Doppelpulsschaltung zur dynamischen Diodencharakterisierung

Tabelle 4.4: Untersuchte Dioden der 1200 V Spannungsklasse und deren zulässiger Durchlassstrom gemäß Datenblatt [DB-Rohm15e] [DB-Infi10] [DB-Wolf16a] [DB-Gene14b] [DB-Rohm15f] [DB-Ixys04]

Diode	Material	Durchlassstrom	Diodyntyp
SCS210KG (R)	SiC	$I_F^{a)} = 10 \text{ A} @ T_C = 146 \text{ }^\circ\text{C}$	SBD
IDH10S120 (I)	SiC	$I_F^{a)} = 10 \text{ A} @ T_C < 130 \text{ }^\circ\text{C}$	MPS/JBS
C4D08120A (C)	SiC	$I_F^{a)} = 11 \text{ A} @ T_C = 135 \text{ }^\circ\text{C}$	MPS/JBS
GB10SLT12 (G)	SiC	$I_F^{a)} = 10 \text{ A} @ T_C \leq 150 \text{ }^\circ\text{C}$	MPS/JBS
SCT2450KE (C)	SiC	$I_D^{a)} = I_F^{a)} = 10 \text{ A} @ T_C = 25 \text{ }^\circ\text{C}$ $I_D^{a)} = 7 \text{ A} @ T_C = 100 \text{ }^\circ\text{C}$	pin ^{c)}
DSE112-12A (IX)	Si	$I_{FAVM}^{b)} = 11 \text{ A} @ T_C = 100 \text{ }^\circ\text{C}$	pin

a) Kontinuierlicher Durchlassstrom

b) Durchlassstrom bei einem Duty Cycle von $D = 0,5$ [DB-Ixys04]. Es wird des Weiteren angenommen, dass $I_F = I_{FAVM}$ ist.

c) Bei den untersuchten SiC-pin-Diode handelt es sich um die intrinsische pin-Diode eines SiC-MOSFETs Hersteller der Dioden: Cree/Wolfspeed (C), GeneSiC (G), Infineon (I), Rohm (R) und IXYS (IX)

Alle Dioden, bis auf die SiC-pin-Diode, haben ein TO-220-2-Gehäuse. Die SiC-pin-Diode befindet sich in einem TO-247-3-Gehäuse.

Die in Tabelle 4.4 aufgeführten Dioden wurden, unter der Maßgabe mehrere Dioden verschiedener Hersteller mit möglichst ähnlicher Stromtragfähigkeit (siehe [DB-Rohm15e] [DB-Infi10] [DB-Wolf16a] [DB-Gene14b] [DB-Rohm15f] [DB-Ixys04]) zu vergleichen, ausgewählt.

Zur Ermittlung des Schaltverhaltens wurde der in Abschnitt 3.1 beschriebene Messplatz genutzt. Sämtliche Messungen wurden hierbei unter zur Hilfenahme einer Testplatine mit Kelvin-Sockel durchgeführt. Die jeweils zu testende Diode befindet sich hierbei im Kelvin-Sockel in der unteren und ein SiC-MOSFET (Cree/Wolfspeed, C2M0160120D) als Schalter in der oberen Halbbrückenposition. Die Position des Schalters führt somit zu einem schwebendem Bezugspotential des Treibers. Zur Vermeidung daraus resultierender Ansteuerprobleme des SiC-MOSFETs M (Bild 4.15) während der Schalttransienten wurde ein Treiber mit einer hohen $d u_{DS}/dt$ -Immunität ($75 \text{ kV}/\mu\text{s}$, Power Integrations 2SC0108T2A0-17 [DB-Powe16]) verwendet. Die approximierte bei den Ein- und Ausschaltvorgängen auf die gemessene Spannung u_{Diode} einwirkende Streuinduktivität liegt für ein TO-220-Gehäuse bei bis zu $L_{o,Diode} = 30 \text{ nH}$ und für ein TO-247-3-Gehäuse bei bis zu $L_{o,Diode} = 36 \text{ nH}$, wie aus den Messdaten einzelner Ausschaltversuche ermittelt wurde. Beide Werte für $L_{o,Diode}$ beinhalten neben den Streuinduktivitäten der jeweiligen Gehäuse den vom Kelvin-Sockel verursachten Anteil durch die Kathoden- sowie Anoden-Anschlussanbindung an die übrige Doppelpulsschaltung. Bei allen Messungen, die diesem Abschnitt zugrunde liegen, wurde als Lastinduktivität L_L eine Spinnwebspule mit einer Induktivität von $L_L = 500 \mu\text{H}$ verwendet. Das Schaltverhalten wurde im Weiteren durch unterschiedliche Werte des Gate-Widerstands $R_{G,ext}$ zur Ansteuerung des SiC-MOSFETs sowie des Stroms I_F und der Sperrsichttemperatur T_J der untersuchten Dioden beeinflusst. Die Vorgabe der Sperrsichttemperatur T_J erfolgte mittels einer Heizeinrichtung. Auch in diesem Fall

wurde, wie schon in Abschnitt 3.1.3 beschrieben, angenommen, dass die Sperrsichttemperatur T_J für die komplette Messdauer mit der von der Heizeinrichtung vorgegebenen Temperatur übereinstimmt.

Zur Erleichterung der Auswertung wurden die gemessenen Ströme und Spannungen mit einer gleitenden Mittelwertbildung über $n = 20$ Datenpunkte geglättet.

4.2.1 Einschaltverhalten

Die genauen Vorgänge beim Einschalten sind aus der Literatur bekannt und werden nachfolgend kurz erläutert. Im Verlauf des Einschaltvorgangs von pin-Dioden kommt es aufgrund des noch nicht aufgebauten Plasmas, also einer noch nicht erfolgten Leitfähigkeitsmodulation innerhalb des Driftgebiets der Diode, zu einem differentiellen Widerstand, der deutlich über dem stationären Wert R_{on} liegt und somit die Einschaltüber- beziehungsweise Durchlassverzögerungsspannung u_{FRM} bestimmt. Nach Beginn des Einschaltvorgangs streben jedoch der differentielle Widerstand und entsprechend die Durchlassspannung u_{Diode} ihren deutlich niedrigeren stationären Werten infolge des kontinuierlichen Aufbaus des Plasmas bis zu dessen jeweiligem Maximum entgegen. Bei unipolaren Dioden hingegen kommt es lediglich aufgrund der zwischen dem Dioden-Chip und den Gehäuseanschlüssen auftretenden Induktivität $L_{o,Diode}$ zu der Einschaltüberspannung $u_{o,Diode}$. Die Spannung $u_{o,Diode}$ tritt ebenfalls bei den leitfähigkeitsmodulierten Dioden neben der Spannung u_{FRM} in Erscheinung (Bild 4.15). [Thom00] [Lutz12] [VoHo12]

Die hierbei höchstmögliche theoretisch über dem Driftgebiet einer leitfähigkeitsmodulierten Diode auftretende Spannung u_{FRM} durch den differentiellen Widerstand ergibt sich nach Lutz [Lutz12] unter der Annahme eines idealen Sprungs der Stromdichte j_F (Gleichung 41 [Lutz12]).

$$u_{FRM} = \frac{w \cdot j_F}{q \cdot \mu_n \cdot N_D} \quad (41)$$

Bei SiC ist die Elektronenbeweglichkeit μ_n im vertikalen Driftgebiet kleiner als in Silizium (siehe Tabelle 2.1), wodurch die Durchlassverzögerungsspannung u_{FRM} gegenüber Silizium-pin-Dioden für SiC-pin-Dioden offensichtlich steigen müsste (Gleichung 41). Allerdings ist bekanntermaßen bei identischer maximaler Sperrfähigkeit $U_{R,max}$ bei der Nutzung von SiC als Halbleitermaterial die Dotierung N_D der Diode stärker und deren Driftgebietsweite w geringer, wodurch der differentielle Driftgebietswiderstand [Bali08] sowie die Durchlassverzögerungsspannung (Gleichung 41) der SiC-pin-Diode wiederum in höherem Maße sinken [OMNT11].

Die Schaltverläufe der intrinsischen pin-Diode eines SiC-MOSFETs als auch einer Silizium pin-Diode in Bild 4.16 zeigen, dass sowohl für eine Abnahme des Gate-Widerstands $R_{G,ext}$ (Bild 4.17a) als auch für eine Zunahme des Stroms i_F (Bild 4.17b) die Einschaltüberspannungen an den Dioden ansteigen. Die Abnahme des Gate-Widerstands, als auch die Zunahme des

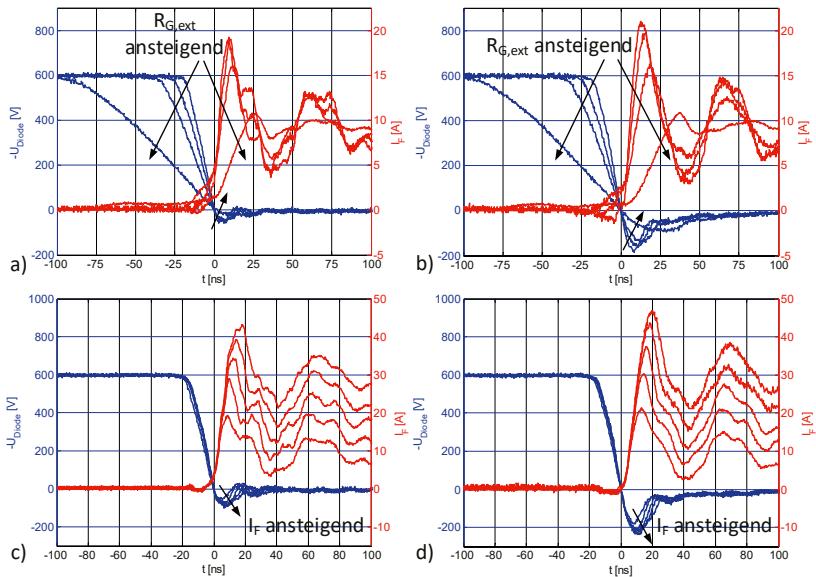


Bild 4.16: Strom- und Spannungsverläufe beim Einschaltvorgang:

- a) SiC-pin-Diode und b) Si-pin-Diode bei einer Erhöhung des Gate-Widerstands
mit $U_{DC} = 600 \text{ V}$, $I_F = 9,3 \text{ A} \dots 9,6 \text{ A}$, $T_J = 27^\circ \text{C}$ und $R_{G,\text{ext}} = 10 \Omega$, 20Ω , 30Ω und 100Ω
c) SiC-pin-Diode und d) Si-pin-Diode bei einer Erhöhung des Stroms
mit $U_{DC} = 600 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$, $T_J = 27^\circ \text{C}$ und $I_F = 9,6 \text{ A}$, $14,9 \text{ A}$, $19,8 \text{ A}$, $24,9 \text{ A}$ und $29,8 \text{ A}$

Stroms führen zu einer Erhöhung der maximalen Stromänderungsgeschwindigkeit dI_F/dt (Bild 4.17c). In den Messreihen zum Einschaltverhalten gegebenenfalls vorhandene Spannungsoffsets wurden nicht mit den in Abschnitt 3.1.4 angeführten Korrekturen bearbeitet, um unbewusste Verfälschungen der geringen Durchlassspannungen zu vermeiden [BöKa16b].

Im Fall der intrinsischen pin-Diode des SiC-MOSFETs (Bild 4.16a und c) ist die Einschaltüberspannung hauptsächlich auf die Streuinduktivität $L_{\sigma,\text{Diode}}$ zurückzuführen, da bei den Schwingungsmaxima des Stroms ($dI_F/dt = 0$) die Spannung U_{Diode} im Bereich der Durchlassspannung U_F liegt (siehe auch Bild 4.15). Die Einschaltüberspannung der Silizium-pin-Diode hingegen (Bild 4.16b und d) geht größtenteils auf die Durchlassverzögerungsspannung U_{FRM} zurück, wie sich anhand der während der Schwingungsmaxima auf einem signifikanten Niveau befindlichen Spannung U_{Diode} nachvollziehen lässt. Das Verhalten der Silizium-pin-Diode ist im Allgemeinen bei leitfähigkeitsmodulierten Dioden zu erwarten, da infolge einer hohen Stromänderungsgeschwindigkeit dI_F/dt der Strom I_F den noch nicht gänzlich vermindernden Widerstand des Driftgebiets stärker belastet [Bali08] [OMNT11]. Verantwortlich für die unvollständige Leitfähigkeitsmodulation ist des Weiteren entsprechend Baliga [Bali08] die unzureichende Geschwindigkeit, mit der die Diffusion der Minoritätsladungsträger abläuft. Die un-

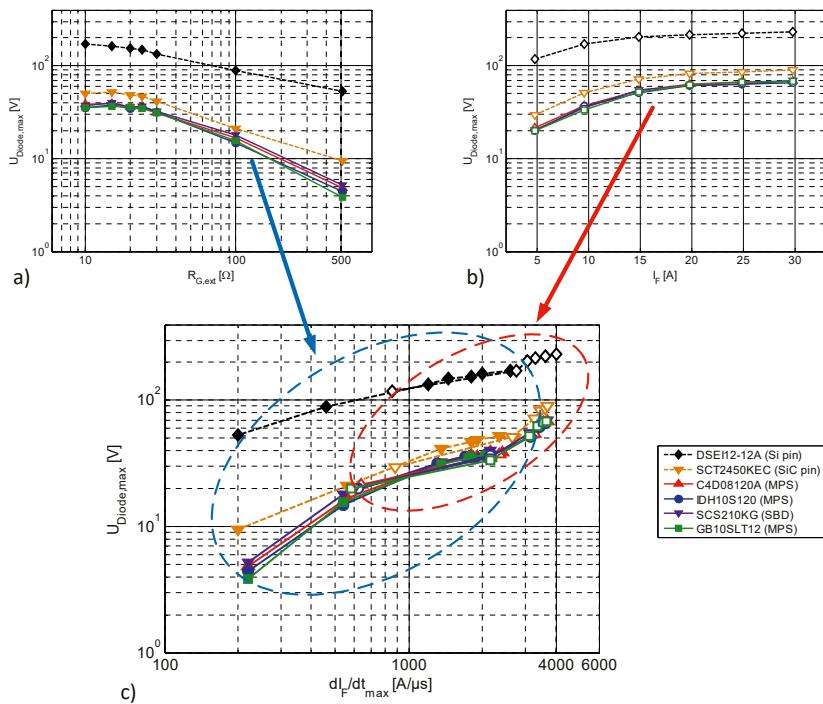


Bild 4.17: Maximale Überspannungen beim Einschaltvorgang

- a) bei unterschiedlichen Widerständen $R_{\text{G,ext}}$ mit $U_{\text{DC}} = 600 \text{ V}$, $T_J = 27^\circ\text{C}$ und $I_F = 9,3 \text{ A} \dots 9,6 \text{ A}$
- b) bei unterschiedlichen Strömen I_F mit $U_{\text{DC}} = 600 \text{ V}$, $T_J = 27^\circ\text{C}$ und $R_{\text{G,ext}} = 10 \Omega$
- c) in Abhängigkeit der auftretenden di_F/dt_{\max} -Werte bei $U_{\text{DC}} = 600 \text{ V}$ und $T_J = 27^\circ\text{C}$; gemäß [BöKa16b]

tersuchten SiC-Schottky-Dioden (Bild 4.17a und b) zeigten rein induktive Einschaltüberspannungen, die logischerweise ebenfalls eine zunehmende Tendenz bei abnehmenden Werten des Gate-Widerstands $R_{\text{G,ext}}$ beziehungsweise zunehmenden Strömen I_F aufweisen. Die Abhängigkeit der Überspannung von der maximalen Stromänderungsgeschwindigkeit di_F/dt_{\max} , welche durch den Gate-Widerstand $R_{\text{G,ext}}$ oder den Strom I_F bestimmt wird, ist in Bild 4.17c quantifiziert dargestellt. Die beobachteten Überspannungen der SiC-pin-Diode und der SiC-Schottky-Dioden bei einer Variation von $R_{\text{G,ext}}$ und I_F liegen in einem Bereich, der sich durch die vorhandenen Streuinduktivitäten $L_{\sigma,\text{Diode}}$ der Gehäuse erklären lässt.

Eine Abhängigkeit der Einschaltüberspannungen von der Sperrsichttemperatur T_J konnte im betrachteten Temperaturbereich von $T_J = 25 \dots 175^\circ\text{C}$ weder für die intrinsische pin-Diode des SiC-MOSFETs, noch für die SiC-Schottky-Dioden festgestellt werden. Im Fall von SiC-Schottky-Dioden ist dies nicht verwunderlich, da diese aufgrund der Unipolarität nur induktive Überspannungen verursachen. Bei einer tatsächlich als SiC-pin-Diode konzipierten Diode hingegen wurde von Ogata et al. [OMNT11] eine Abhängigkeit der Einschaltüberspannung

von der zunehmenden Sperrsichttemperatur T_J durch eine Zunahme des Driftgebietswiderstands beobachtet, die sich nach Lutz [Lutz12] im Allgemeinen auf eine abnehmende Ladungsträgerbeweglichkeit zurückführen lässt. Da sich bei der intrinsischen pin-Diode des SiC-MOSFETs keine Änderung der Einschaltüberspannung und somit des Driftgebietswiderstands durch eine Veränderung von T_J ergab, spricht dies dafür, dass die Auswirkung der Leitfähigkeitsmodulation beim Einschaltvorgang - wenn überhaupt vorhanden - nur sehr gering ist. Bei der untersuchten Silizium-pin-Diode konnte im Gegensatz zur intrinsischen pin-Diode des SiC-MOSFETs eine Zunahme der Überspannung mit der Sperrsichttemperatur T_J beobachtet werden.

Die auf einen Schalter durch die Einschaltüberspannung einer antiparallelen Diode ausgeübte Belastung wird bei SiC-Schottky-Dioden durch die an der jeweiligen Diode vorhandene Streuinduktivität $L_{o,Diode}$ verursacht. Ebenso scheint die Streuinduktivität $L_{o,Diode}$ die Hauptursache der beim Einschaltvorgang hervorgerufenen Überspannung an der untersuchten intrinsischen pin-Diode des SiC-MOSFETs zu sein. Die Einschaltüberspannungen der untersuchten SiC-Dioden sind in jedem Fall wesentlich geringer als die der mitgemessenen Silizium-pin-Diode und zudem, soweit die Messgenauigkeit diese Aussage zulässt, temperaturunabhängig.

4.2.2 Ausschaltverhalten

Die beim Einschaltvorgang beziehungsweise im Durchlassbetrieb in eine Diode eingebrachte Sperrsichtladung Q_C beziehungsweise Sperrverzögerungsladung Q_{RR} (siehe auch Abschnitte 4.2 und 4.2.1) muss beim Ausschalten wieder aus dieser ausgeräumt werden. Beim Abkommunieren der Diode kommt es somit zu einer entsprechenden Rückstromspitze, die den in der jeweils anderen Halbbrückenposition befindlichen seriellen Transistor (Bild 4.15), wie bereits eingangs angeführt, belastet.

Bild 4.18 zeigt die Rückstromspitzen aller untersuchten SiC-Dioden im Vergleich. Es ist bei den gegebenen Parametern ersichtlich, dass sich weder die SiC-SBD, noch die weiteren SiC-MPS-Dioden von der intrinsischen pin-Diode des SiC-MOSFETs markant abheben.

Eine genauere Betrachtung der Einflüsse beziehungsweise der Stromverläufe findet in Bild 4.19a bis Bild 4.19c unter Variation des Gate-Widerstands $R_{G,ext}$, des Stroms I_F und der Temperatur T_J statt. Hierbei ist festzustellen, dass eine Änderung des Gate-Widerstands $R_{G,ext}$ eine Änderung der Stromänderungsgeschwindigkeit $-di/dt$ beim Abschalten der Diode nach sich zieht und im Vergleich zur Silizium-pin-Diode lediglich einen geringen Einfluss auf die Rückstromspitzen der SiC-Dioden hat (Bild 4.19a). Es tritt eine leichte Veränderung der Oszillationen im Stromverlauf von i_F auf. Dies geben auch die in Bild 4.20a gezeigten Auswertungsergebnisse der Ladungen wieder: Eine nennenswerte Änderung der auf die Fläche A_{Diode} (Tabelle 4.5) bezogenen Ladung Q_C durch den Gate-Widerstand $R_{G,ext}$ kann, wie erwartet, bei den SiC-Schottky-Dioden nicht festgestellt werden. Die SiC-pin-Diode weist hingegen im Bereich

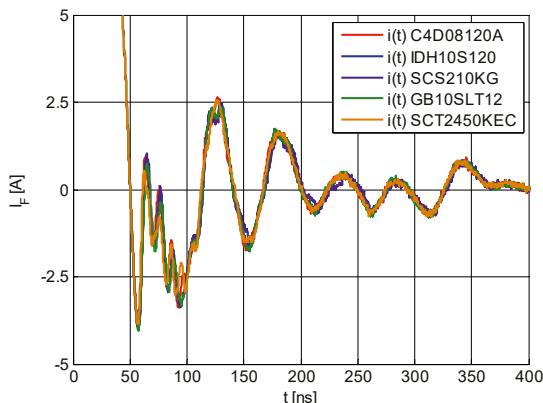


Bild 4.18: Ströme der untersuchten SiC-Dioden beim Ausschaltvorgang mit $U_{DC} = 600$ V, $I_F = 9,6$ A, $R_{G,ext} = 10 \Omega$ und $T_J = 27^\circ\text{C}$.

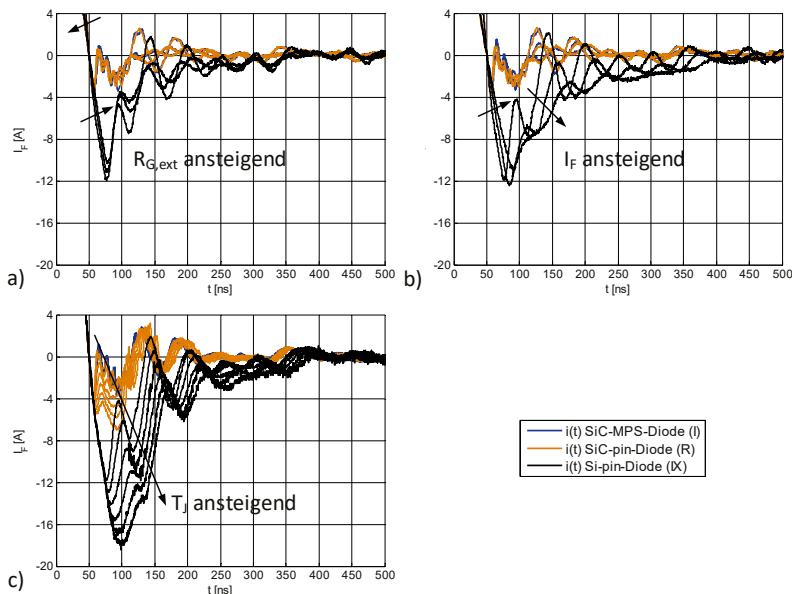


Bild 4.19: Änderungen der Rückstromspitzen beim Ausschaltvorgang einer SiC-MPS-, einer SiC-pin- und einer Silizium-pin-Diode: a) bei Erhöhung des Gate-Widerstands $R_{G,ext}$ mit $U_{DC} = 600$ V, $I_F = 9,5$ A ... 9,6 A und $R_{G,ext} = 10 \Omega, 20 \Omega, 30 \Omega$ b) bei Erhöhung des Stroms I_F mit $U_{DC} = 600$ V, $R_{G,ext} = 10 \Omega$ und $I_F = 9,6$ A, 19,8 A und 29,8 A c) bei Erhöhung der Temperatur T_J mit $U_{DC} = 600$ V, $R_{G,ext} = 10 \Omega$ und $T_J = 25^\circ\text{C}, 50^\circ\text{C}, 75^\circ\text{C}, 100^\circ\text{C}, 125^\circ\text{C}, 150^\circ\text{C}$ und 175°C (SiC)

von $R_{G,ext} = 15 \Omega \dots 30 \Omega$ eine etwas auffallendere Abnahme der flächenbezogenen Ladung im Vergleich zu den Ladungen der SiC-Schottky-Dioden bei zunehmenden Gate-Widerstand auf.

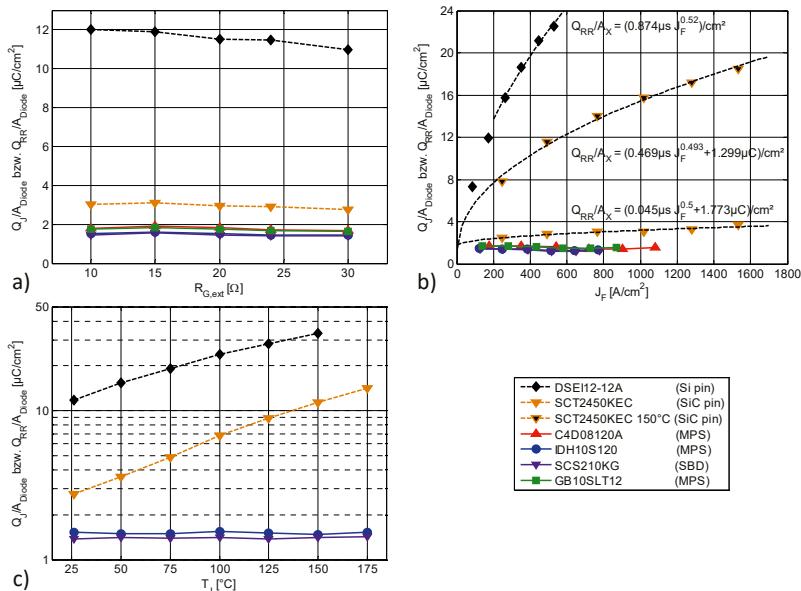


Bild 4.20: Auf die Fläche A_{Diode} bezogene Ladung Q_c bzw. Q_{RR} der Rückstromspitze
 a) bei untersch. Gate-Widerständen $R_{G,\text{ext}}$ mit $U_{\text{DC}} = 600 \text{ V}$, $I_F = 9,5 \text{ A} \dots 9,6 \text{ A}$ und $T_j = 27 \text{ }^\circ\text{C}$
 b) bei untersch. Stromdichten J_F mit $U_{\text{DC}} = 600 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_j = 27 \text{ }^\circ\text{C}$
 c) bei untersch. Sperrsichttemperaturen T_j mit $U_{\text{DC}} = 600 \text{ V}$, $I_F = 9,4 \text{ A}$ und $R_{G,\text{ext}} = 10 \Omega$;
 gemäß [BöKa16b]

Tabelle 4.5: Aktive Fläche A_{Diode} der untersuchten Dioden; gemäß [BöKa16b]

Diode	Aktive Fläche A_{Diode} in cm ²
SCS210KG (R)	0,0383
IDH10S120 (I)	0,0388
C4D08120A (C)	0,0276
GB10SLT12 (G)	0,0343
SCT2450KE (C)	0,0195
DSEI12-12A (IX)	0,0563

Die bei der SiC-pin-Diode auftretende Abnahme der Ladung ist jedoch nur geringfügig markanter als jene, welche scheinbar bei den SiC-Schottky-Dioden in diesem Bereich auftritt. Lediglich bei der Silizium-pin-Diode kann eine signifikante Abnahme der Sperrverzögerungsladung Q_{RR} pro Fläche A_{Diode} mit einem zunehmenden Gate-Widerstand $R_{G,\text{ext}}$ ermittelt werden. Das Verhalten der pin-Dioden ist erklärbar, da bei einem hohen Gate-Widerstand $R_{G,\text{ext}}$ die Stromänderungsgeschwindigkeit $-di_F/dt$ geringer ist, wodurch mehr Ladungsträger - über die Zeit gesehen - rekombinieren und somit weniger Ladung aus der Diode durch den Strom $i_{\text{RR}} = -i_F$ der Rückstromspitze extrahiert werden muss [Thom00].

Der Einfluss der ermittelten Stromdichte J_F auf die flächenbezogene Ladung Q_C/A_{Diode} beziehungsweise Q_{RR}/A_{Diode} wird in Bild 4.19b und Bild 4.20b dargestellt. Bei den SiC-Schottky-Dioden können die für unterschiedliche Stromdichten ermittelten Flächenladungen soweit feststellbar als annähernd konstant bezeichnet werden. Es fließt also ein kapazitiver Strom $-i_F$ ohne stromabhängige Ladungskomponente zur Umladung der Sperrsichtkapazität C_J . Bei der Silizium-pin-Diode ist im Gegensatz dazu eine prägnante Erhöhung der flächenbezogenen Ladung mit der Stromdichte J_F erkennbar. Die Ladung hängt bei dieser für Stromdichten von über 200 A/cm^2 über eine Potenzfunktion mit dem Exponenten 0,52 von J_F ab [BöKa16b]. In der Literatur [WNTR10] wird für Silizium-pin-Dioden ein ebenfalls nichtlinearer Anstieg der Schaltverluste E_{RR} mit dem Strom I_F beschrieben. Mit der idealisierenden Approximation $Q_{RR} \propto P_{RR}$ [Thom00] beziehungsweise $Q_{RR} \propto E_{RR}$ [Lutz12], bestätigt der in [WNTR10] zu findende Wert von 0,5 ... 0,6 des Exponenten der Potenzfunktion für die auftretenden Schaltverluste E_{RR} also den hier ermittelten Befund. Bekanntmaßen definiert die Hallsche Näherung, bei welcher die Rekombination in den Endgebieten vernachlässigt wird, eine geradlinige Korrelation zwischen der eingestellten Stromdichte J_F und der Ladungsträgerkonzentration bei pin-Dioden [LSSD11] [Gerl79]. Die Kleinmansche Näherung gibt nach Gerlach [Gerl79] demgegenüber für pin-Dioden eine Korrelation der Ladungsträgerkonzentration und der Wurzel der eingeprägten Stromdichte J_F vor, wobei statt einer Vernachlässigung der Rekombination in den Endgebieten unterstellt wird, dass sich die Rekombination nur an den ohmschen Kontakten ereignet. Die flächenbezogene Sperrverzögerungsladung Q_{RR}/A der intrinsischen pin-Diode des SiC-MOSFETs von Rohm hängt bei $T_J = 150^\circ\text{C}$, ebenso wie die der Silizium-pin-Diode bei Raumtemperatur, ungefähr mit der Wurzel von der Stromdichte J_F ab, sofern in diesem Fall, wie auch in [Appe14], ein Offset durch die Sperrsichtkapazität berücksichtigt wird (siehe Abschnitt 3.1.4). Als Offset-Wert wird die durchschnittliche Ladung ($Q_J = 1,229 \mu\text{C}/\text{cm}^2$) der 1,2 kV-Schottky-Diode SCS210KG von Rohm angenommen (Bild 4.20b). Der exakte Wert des Exponenten der zur Beschreibung des Zusammenhangs genutzten Potenzfunktion liegt bei 0,493. Bei $T_J = 27^\circ\text{C}$ ist eine solche Korrelation aufgrund der Messdaten nicht von vornherein ersichtlich (Bild 4.20b). Für den Fall, dass hier ebenfalls ein Anstieg der flächenbezogenen Sperrverzögerungsladung Q_{RR} mit der Wurzel der Stromdichte J_F angenommen wird, führt dies zu einer Ausgleichskurve mit ausreichendem Bestimmtheitsmaß, wobei allerdings der Offset-Wert von Q_J höher liegt ($Q_J = 1,773 \mu\text{C}/\text{cm}^2$). Das Konfidenzintervall des Offset-Werts ist hierbei allerdings so groß, dass es auch den Offset-Wert bei $T_J = 150^\circ\text{C}$ mit einschließt. Entsprechend ist diese Kurvenanpassung mit der MATLAB® Curve Fitting Toolbox durchaus akzeptabel. Somit scheint die Kleinmansche Näherung bei der intrinsischen SiC-pin-Diode des untersuchten SiC-MOSFETs für beide Sperrsichttemperaturen Gültigkeit zu besitzen, wohingegen sich ein Verlauf gemäß der Hallschen Näherung nicht erkennen lässt. In [Appe14] wird für die jeweilige Ladung der intrinsischen pin-Diode eines SiC-JFETs über den gesamten Temperaturbereich zwischen $T_J = 25^\circ\text{C}$ und $T_J = 175^\circ\text{C}$ im Bereich hoher Stromdichten J_F ebenfalls die Kor-

relation über die Wurzel der Stromdichte angegeben und diese mit der Kleinmanschen Näherung begründet. Dies bestätigt die obigen Messungen beziehungsweise die gemachte Kurvenanpassung.

Bei einer Erhöhung der Sperrsichttemperatur T_J von der Raumtemperatur bis zu einer Temperatur von $T_J = 175^\circ\text{C}$ zeigen generell beide pin-Dioden erwartungsgemäß Einflüsse aufgrund des vorhandenen Plasmas. Infolge der durch die Temperaturerhöhung hervorgerufenen längeren Ladungsträger- beziehungsweise Plasmalebensdauer im SiC [OMNT11] [Appe14] ist bei der intrinsischen SiC-pin-Diode eine deutliche Erhöhung der Rückstromspitze I_{RRM} (Bild 4.19c) sowie ein exponentieller Anstieg der gemessenen flächenbezogenen Sperrverzögerungsladung Q_{RR}/A_{Diode} (Bild 4.20c) mit der Sperrsichttemperatur T_J erkennbar. Dieses Verhalten lässt sich ebenso für die Silizium-pin-Diode festhalten, wenn auch wesentlich ausgeprägter. In der Literatur [SICR02] wird der Anstieg der Ladungsträger mit der Temperatur für eine „echte“ 5kV SiC-pin-Diode ebenfalls als ungefähr exponentiell beschrieben. Das Niveau der flächenbezogenen Ladung liegt für die intrinsische pin-Diode des SiC-MOSFETs bei $T_J = 150^\circ\text{C}$ und $I_F = 9,4\text{ A}$ ungefähr auf dem Niveau der Silizium-pin-Diode bei Raumtemperatur und ist somit auf die Temperatur bezogen deutlich niedriger. Für die vermessenen SiC-Schottky-Dioden konnte erwartungsgemäß keine Abhängigkeit der Rückstromspitze sowie der Ladung von der Sperrsichttemperatur T_J festgestellt werden.

Die SiC-Schottky-Dioden haben, wie es zu erwarten war, in Hinblick auf die beim Ausschalten auszuräumende Ladung keinen nennenswerten Einfluss durch eine Parametervariation aufgewiesen. Im Gegensatz hierzu konnte für die intrinsische pin-Diode des SiC-MOSFETs eine leichte Abhängigkeit von R_G und J_F bei Raumtemperatur festgestellt werden. Die Temperaturabhängigkeit der Ladung der intrinsischen pin-Diode des SiC-MOSFETs SCT2450KE ist hingegen ausgeprägter und zeigte einen exponentiellen Anstieg mit T_J . Das Niveau der flächenbezogenen Ladung der SiC-Dioden ist hierbei jedoch deutlich geringer als das Niveau der Silizium-pin-Diode. Folglich ist die verursachte Belastung durch die Rückstromspitze der untersuchten SiC-Dioden an in Serie geschalteten Transistoren im Allgemeinen wesentlich geringer.

5 Durchlass- und Schaltverhalten von Transistoren

Im nachfolgenden Abschnitt wird das Verhalten von SiC-Transistoren unter verschiedenen Umgebungsbedingungen betrachtet. Die statischen Kennlinien wurden hierbei mit Kennlinienschreibern (Tektronix 370A: Schwellenspannung; Tektronix 371A: Durchlass- und Übertragungskennlinien) aufgenommen, wohingegen die dynamischen Eigenschaften mit dem in Abschnitt 3.1 beschriebenen Messplatz ermittelt wurden. Zur Vorgabe der Sperrsichtstemperatur T_J der Transistoren wurde die in Abschnitt 3.1.3 beschriebene und bereits in Abschnitt 4 genutzte Heizeinrichtung verwendet. Bei den dynamischen Messungen wurde unter normalen Betriebsbedingungen - dies schließt die Kurzschlussmessungen in Abschnitt 5.5 aus - wieder von einer gleichbleibenden Sperrsichtstemperatur T_J aufgrund der jeweils kurzen Messdauer und der thermischen Kapazität C_{th} des Halbleiters ausgegangen. Die verwendete Doppelpulschaltung ist in Bild 5.1 dargestellt und enthält wesentliche Teile der in der Schaltungsumgebung auftretenden parasitären Elemente. Das auftretende Schaltverhalten des jeweils verwendeten Transistors wird neben der Beeinflussung durch die verwendete Ansteuerschaltung von diesen maßgeblich bestimmt.

Für die 1,2 kV SiC-Transistoren, welche zum Teil in unterschiedlichen Gehäusen zur Verfügung standen, wurden für die dynamischen Messungen drei Testplatten erstellt, die bezüglich der Anordnung des Lastkreises und der Treiberanbindung möglichst ähnlich ausgelegt wurden. Bei den Testplatten für Transistoren im TO-247-3L- sowie TO-247-4L-Gehäuse ergab sich eine Streuinduktivität im Lastkreis von $L_o = 23 \dots 24 \text{ nH}$ und bei der Testplatine für Transistoren im TO-263-7L-Gehäuse von $L_o = 21 \text{ nH}$. Als Treiberbaustein kam der IC 1EDI60112AF von Infineon zum Einsatz, welcher eine hohe dU/dt -Immunität (100 kV/ μs [DB-Infi14]) aufweist. Die Anzahl der genutzten Messpunkte für die Glättung der Kurvenverläufe mittels der

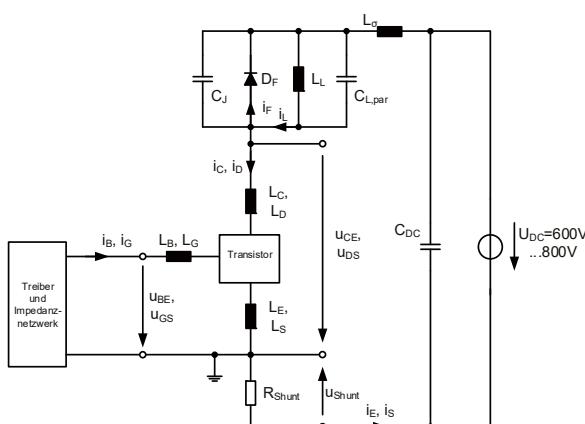


Bild 5.1: Doppelpulsschaltung zur dynamischen Transistorcharakterisierung

in Abschnitt 3.1.4 erwähnten Filterung über eine gleitende Mittelwertbildung wurde, sofern nicht anders aufgeführt, auf einen Wert von $n = 10$ festgesetzt.

Neben den möglichst identisch ausgelegten Testplatten für die Messungen der 1,2 kV SiC-Transistoren im Normalbetrieb wurden für die Messungen der 3,3 kV SiC-MOSFETs, für die Messungen unter Kurzschlussbedingungen sowie die Messungen mit Überspannungsschutzbeschaltungen weitere Testplatten und Ansteuerschaltungen verwendetet, da die Tests unter Extrembedingungen spezielle Eigenschaften der Messumgebung erfordern. Diese Testplatten werden in den entsprechenden Abschnitten separat vorgestellt. Es kamen bei den Messungen des Weiteren unterschiedliche Spinnwebspulen zum Einsatz (Abschnitt 5.1 bis 5.3: $L_L = 200 \mu\text{H}$, Abschnitt 5.4: $L_L = 1370 \mu\text{H}$, Abschnitt 5.6: $L_L = 500 \mu\text{H}$).

5.1 1,2 kV BJT

Das Durchlass- und Schaltverhalten eines npn-SiC-BJTs wurde anhand von Mustern des kommerziell nicht erhältlichen SiC-BJTs FSICBH057A120 von Fairchild (vormals TranSiC) untersucht. Die Chips der Muster des FSICBH057A120 liegen in TO-247-3L-Gehäusen vor. Eine erste Betrachtung der Eigenschaften des SiC-BJTs wurde in dem betreuten studentischen Arbeitsvorhaben [BsA-Ruge13] vorgenommen, auf dessen Ergebnissen dieser Abschnitt samt der damit verbundenen Unterabschnitte anteilig aufbaut. Ebenso basieren die genannten Abschnitte auf den Erkenntnissen der Veröffentlichungen [BöRK14] [BöKa15] [BÖRK15].

5.1.1 Durchlassverhalten

In Bild 5.2 sind die Durchlasskennlinien des SiC-BJT FSICBH057A120 in Abhängigkeit unterschiedlicher Basisströme I_B abgebildet. Laut Datenblatt [DB-Fair12] soll der SiC-BJT bei einem Kollektorstrom von $I_C = 15 \text{ A}$ sowie einem Basisstrom I_B von $0,6 \text{ A}$ einen maximalen Durchlasswiderstand von $R_{CE,\text{on}25^\circ\text{C}} = 57 \text{ m}\Omega$ bei $T_J = 25^\circ\text{C}$ und $R_{CE,\text{on}150^\circ\text{C}} = 90 \text{ m}\Omega$ bei $T_J = 150^\circ\text{C}$ aufweisen. Gut erkennbar ist in Bild 5.2, dass sich der Beginn des Verstärkungsreichs für höhere Sperrsichttemperaturen T_J zu höheren Spannungen U_{CE} verschiebt und sich der Bereich der Sättigung beziehungsweise Quasisättigung im Kennlinienfeld entsprechend ausdehnt. Der Durchlasswiderstand $R_{CE,\text{on}}$ bei einem Kollektorstrom von $I_C = 15 \text{ A}$ sowie einem Basisstrom von $I_B = 0,5 \text{ A}$ nimmt von einem Wert von $R_{CE,\text{on}20^\circ\text{C}} = 48,3 \text{ m}\Omega$ auf $R_{CE,\text{on}150^\circ\text{C}} = 87,1 \text{ m}\Omega$ für das vermessene Bauteil zu. Dies steht im Einklang mit der in der Literatur (beispielsweise [APMN08]) gezeigten Temperaturabhängigkeit. Auf die gemessene aktive Fläche $A_{BJT,\text{aktiv}} = 0,0432 \text{ cm}^2$ (Bild 5.2, rechts) bezogen, ergeben sich somit spezifische Durchlasswiderstände von $r_{CE,\text{on}20^\circ\text{C}} = 2,09 \text{ m}\Omega \cdot \text{cm}^2$ beziehungsweise $r_{CE,\text{on}150^\circ\text{C}} = 3,76 \text{ m}\Omega \cdot \text{cm}^2$. Falls stattdessen die im Datenblatt [DB-Fair12] spezifizierten Durchlasswiderstände betrachtet werden, führt dies zu $r_{CE,\text{on}25^\circ\text{C}} = 2,46 \text{ m}\Omega \cdot \text{cm}^2$ beziehungsweise $r_{CE,\text{on}150^\circ\text{C}} = 3,88 \text{ m}\Omega \cdot \text{cm}^2$.

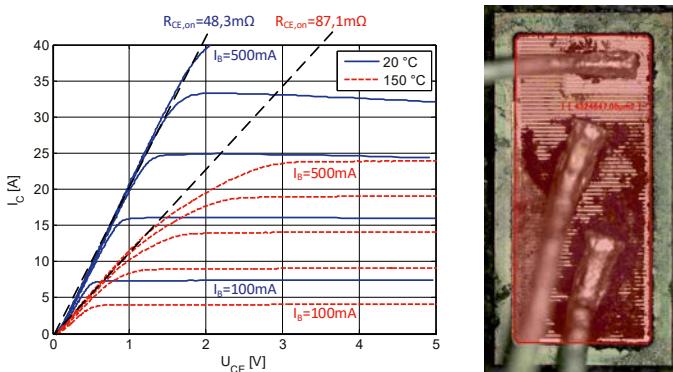


Bild 5.2: Durchlasskennlinien des SiC-BJT FSICBH057A120 von Fairchild (ehemals TransiC, heute ON Semiconductor) bei $T_J = 20^\circ\text{C}$ und bei $T_J = 150^\circ\text{C}$ sowie Fotografie des Chips mit einer Fläche von circa $A_{BJT,aktiv} = 0,0432\text{ cm}^2$ nach dem Ätzen mit Schwefelsäure

Im Verstärkungsbereich des SiC-BJTs (Bild 5.2) kommt es erwartungsgemäß (siehe Gleichung 5) zu einem jeweils positiv über die Stromverstärkung B mit dem entsprechenden Basisstrom I_B korrelierten Kollektorstrom I_C . Die Stromverstärkung B des SiC-BJT FSICBH057A120 nimmt mit steigender Sperrsichttemperatur T_J stark ab und weist bei einem Basisstrom von $I_B = 0,4\text{ A}$ bei $T_J = 20^\circ\text{C}$ (Bild 5.2) eine Verstärkung von $B_{20^\circ\text{C}} = 82,5$ und bei $T_J = 150^\circ\text{C}$ von $B_{150^\circ\text{C}} = 48$ auf. Durch die Zunahme der Sperrsichttemperatur T_J kommt es zu einem Anstieg von ionisierten Aluminium-Akzeptoren in der Basis, wodurch die Löcherdichte im Basisgebiet zunimmt und folglich die Emitter-Effizienz γ beziehungsweise die Stromverstärkung B abnimmt [RASP01] [APMN08] [FKLP10] [KiCo14]. Dies kann die beobachtete Abnahme der Stromverstärkung B des SiC-BJTs FSICBH057A120 begründen. Aufgrund der flacheren Verläufe der Kennlinien im Sättigungsbereich bei höheren Sperrsichttemperaturen T_J nehmen für einen gegebenen Basisstrom I_B die Durchlassverluste somit zu.

5.1.2 Schaltverhalten

Zur Evaluation wurde die für TO-247-3L-Gehäuse entworfene Testplatine mit einer Streuinduktivität von ungefähr $L_{o,gesamt} = 23\text{nH} \dots 24\text{nH}$ im Lastkreis verwendet und eine Zwi-schenkreisspannung von $U_{DC} = 800\text{ V}$ angelegt. Als Freilaufdiode kam eine SiC-Schottky-Diode C4D10120D von Cree/Wolfspeed zum Einsatz, wobei nur einer der beiden Diodenzweige ($I_F = 19\text{ A}$ @ $T_J = 25^\circ\text{C}$ [DB-Wolf16d]) im TO-247-3L-Gehäuse genutzt wurde. Es sei darauf hin gewiesen, dass der gemessene Strom i_C gemäß Bild 5.1 unterhalb des Emitters gemessen wurde.

Die verwendete Ansteuerschaltung (Bild 5.3) verfügt zur Erhöhung der Schaltgeschwindigkeiten über ein Impedanznetzwerk mit Speed-Up-Kondensator, wodurch jeweils nach einer Umschaltung des Treibers zeitlich begrenzt ein erhöhter Basisstrom $i_B = i_{B,\text{stat}} + i_{B,\text{dyn}}$ fließen

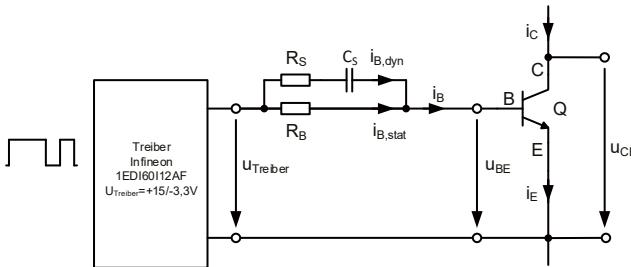


Bild 5.3: Ansteuerschaltung mit Speed-Up-Kondensator [DLZK10]

kann [DLZK10] (siehe auch Abschnitt 2.2.3). Bei den am BJT FSICBH057A120 durchgeföhrten Schaltversuchen wurde $R_B = 24 \Omega$ und $R_S = 2,2 \Omega$ gesetzt.

Der Einfluss des Speed-Up-Kondensators zeichnet sich klar in den Bildern des Einstroms (Bild 5.4) und des Ausschaltvorgangs (Bild 5.5) ab. Eine Veränderung des Werts von $C_S = 6,8 \text{ nF}$ auf $C_S = 47 \text{ nF}$ führt zu einer signifikanten Verkürzung der in den Verläufen sichtbaren Gesamtschaltzeiten. Aufgrund der Erhöhung der jeweiligen Schaltgeschwindigkeiten mit einer Erhöhung des Speed-Up-Kondensators (siehe auch Transienten in Bild 5.4 und Bild 5.5 sowie di/dt_{max} -Werte in Bild 5.6) kommt es zu einer entsprechenden Abnahme der Schaltenergien (Bild 5.7). Es sei angemerkt, dass ein Wert von $C_S = 0 \text{ nF}$ in den Auftragungen bedeutet, dass kein Speed-Up-Kondensator genutzt wurde, also eine offene Verbindung im Speed-Up-Pfad vorlag. Nach [DLZK10] ist die Verringerung der Dauer des Schaltvorgangs durch den Speed-Up-Kondensator C_S auf die schnellere Umladung der Kapazität C_{BC} zurückzuführen, die die Spannungsänderungsgeschwindigkeit du_{CE}/dt vorgibt. Dies ist in den Darstellungen der Schaltverläufe gut wiederzuerkennen, da auch hier offensichtlich die Spannungstransienten stärker beeinflusst werden als die Stromtransienten.

Durch eine Erhöhung des zu schaltenden Kollektorstroms I_C kommt es zu einer erwartungsgemäßen Zunahme der Schaltenergien des SiC-BJT FSICBH057A120 (Bild 5.8). Die Zunahme der Schaltenergie durch eine Stromerhöhung erfolgt hierbei jedoch nicht linear. Eine ungefähre Verdopplung des Stroms I_C von 14,6 A auf 29 A führt beispielsweise zu einer Erhöhung der Gesamtschaltenergie um den Faktor 2,4. Die Beeinflussung der maximalen Schaltgeschwindigkeiten durch den Strom I_C ist im Anhang (Abschnitt 7.5) dargestellt. Beim Abschalten kommt es sowohl für das di/dt_{max} als auch das du_{CE}/dt_{max} mit zunehmendem Strom zu einer Steigerung. Während des Einschaltvorgangs zeigt das di/dt_{max} keine signifikante Beeinflussung durch eine Variation von I_C , wohingegen das du_{CE}/dt_{max} mit zunehmendem Strom I_C abnimmt.

Der Einfluss der Sperrsichttemperatur T_J stellt - im Hinblick auf einen möglichen Einsatz von SiC-Bauelementen bei höheren Temperaturen - einen interessanten Aspekt dar. Die Auftragung der Schaltenergien zeigt, dass eine Erhöhung der Temperatur von $T_J = 25^\circ\text{C}$ auf $T_J = 150^\circ\text{C}$ keinerlei wahrnehmbare Änderung der Schaltenergien nach sich zieht (Bild 5.9).

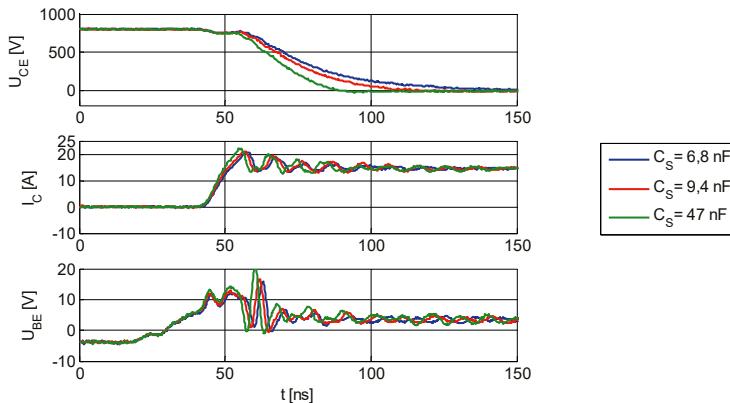


Bild 5.4: Einschaltverläufe von u_{CE} , i_C und u_{BE} bei $U_{DC} = 800$ V, $I_C = 14,6$ A und $T_J = 25$ °C

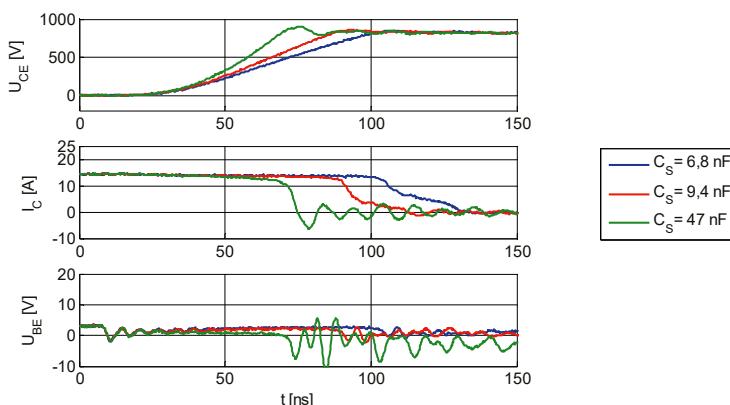


Bild 5.5: Ausschaltverläufe u_{CE} , i_C und u_{BE} bei $U_{DC} = 800$ V, $I_C = 14,6$ A und $T_J = 25$ °C

Ebenso werden die im Anhang (Abschnitt 7.5) dargestellten maximalen Schaltgeschwindigkeiten nicht nennenswert durch eine Variation der Temperatur T_J verändert. Das im Datenblatt [DB-Fair12] als temperaturunabhängig angegebene Schaltverhalten des SiC-BJTs konnte somit bestätigt werden. Entsprechend ist somit lediglich der Temperaturabhängigkeit der Sperr- und Durchlassverluste (siehe auch Bild 5.2) bei der Konzeption eines geeigneten Kühlsystems eine besondere Beachtung entgegenzubringen.

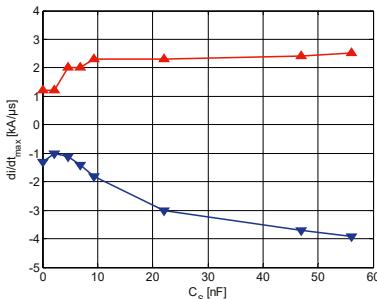


Bild 5.6: Maximale Stromänderungsgeschwindigkeiten dI/dt_{max} des SiC-BJT FSICBH057A120 bei unterschiedlichen C_s mit $U_{DC} = 800$ V, $I_C = 14,6$ A und $T_J = 25$ °C

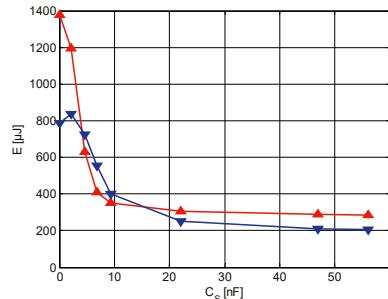


Bild 5.7: Schaltenergien E des SiC-BJT FSICBH057A120 bei unterschiedlichen C_s mit $U_{DC} = 800$ V, $I_C = 14,6$ A und $T_J = 25$ °C

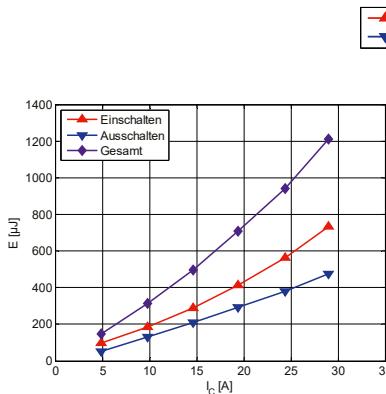


Bild 5.8: Schaltenergien E des SiC-BJT FSICBH057A120 bei unterschiedlichen I_C mit $U_{DC} = 800$ V, $C_s = 47$ nF und $T_J = 25$ °C

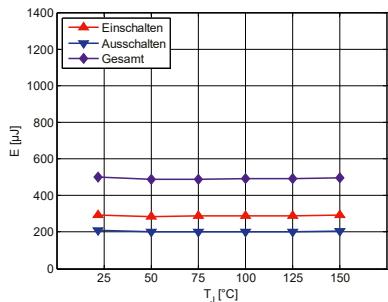


Bild 5.9: Schaltenergien E des SiC-BJT FSICBH057A120 bei unterschiedlichen T_J mit $U_{DC} = 800$ V, $I_C = 14,6$ A ... 14,8 A und $C_s = 47$ nF

5.2 1,2 kV JFET

Das Bild 5.10 zeigt die Durchlasskennlinien des normally-on-SiC-JFETs IJW120R070T1 von Infineon. Der typische Durchlasswiderstand des SiC-JFETs beträgt laut Datenblattangabe $R_{DS,ON25\text{ °C}} = 55$ mΩ bei $T_J = 25$ °C sowie $R_{DS,ON150\text{ °C}} = 130$ mΩ bei $T_J = 150$ °C für $I_D = 12,5$ A und $U_{GS} = 0$ V [DB-Infi13a]. Die selbstgemessene aktive Fläche des Chips beträgt circa $A_{JFET,aktiv} = 0,109$ cm² und die Gesamtfläche $A_{JFET} = 0,137$ cm². Auf die aktive Fläche bezogen

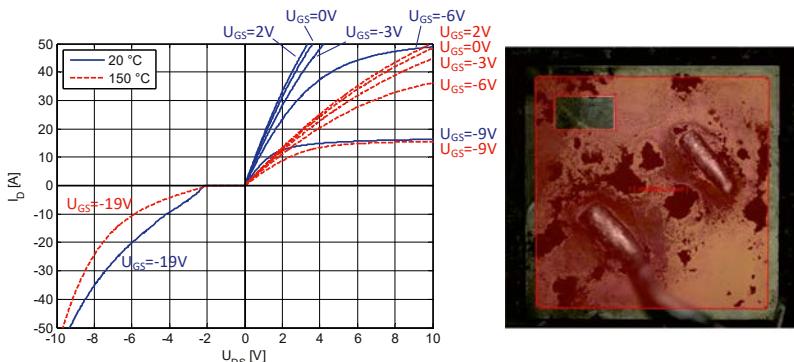


Bild 5.10: Durchlasskennlinien sowie Fotografie des Chips des JFET IJW120R070T1
von Infineon bei $T_J = 20 \text{ }^\circ\text{C}$ und bei $T_J = 150 \text{ }^\circ\text{C}$
mit einer aktiven Fläche von circa $A_{\text{JFET,aktiv}} = 0,109 \text{ cm}^2$

ergibt sich somit ein Widerstand von $r_{DS,\text{on}25^\circ\text{C}} = 6 \text{ m}\Omega\cdot\text{cm}^2$ beziehungsweise $r_{DS,\text{on}150^\circ\text{C}} = 14,2 \text{ m}\Omega\cdot\text{cm}^2$.

Zur Charakterisierung des JFETs im Vorwärtsdurchlassbetrieb wurden die Kennlinien wie im Datenblatt für Gate-Source-Spannungen zwischen $U_{GS} = -9 \text{ V} \dots 0 \text{ V}$ in 3 V Schritten sowie für $U_{GS} = 2 \text{ V}$ aufgenommen. Mit zunehmender Gate-Source-Spannung U_{GS} verbessert sich offensichtlich das Durchlassverhalten, da sich der Kanalquerschnitt bei einem Anstieg der Gate-Source-Spannung U_{GS} über die damit korrelierte Abnahme der Raumladungszonenweite vergrößert. Aus den Kennlinien (Bild 5.10) ergeben sich für $I_D = 12,5 \text{ A}$ und $U_{GS} = 0 \text{ V}$ im Gegensatz zu den Datenblattangaben die höheren Durchlasswiderstände von $R_{DS,\text{on}25^\circ\text{C}} = 59,3 \text{ m}\Omega$ bei $T_J = 25 \text{ }^\circ\text{C}$ und von $R_{DS,\text{on}150^\circ\text{C}} = 154,2 \text{ m}\Omega$ bei $T_J = 150 \text{ }^\circ\text{C}$, woraus die spezifischen Widerstände $r_{DS,\text{on}25^\circ\text{C}} = 6,46 \text{ m}\Omega\cdot\text{cm}^2$ und $r_{DS,\text{on}150^\circ\text{C}} = 16,81 \text{ m}\Omega\cdot\text{cm}^2$ folgen.

Eine Erhöhung der Sperrsichttemperatur von $T_J = 25 \text{ }^\circ\text{C}$ auf $T_J = 150 \text{ }^\circ\text{C}$ führt zu einer Abflachung der Kennlinien (Bild 5.10) beziehungsweise einer Ausweitung des ohmschen Bereichs des SiC-JFETs. Da der SiC-JFET im Gegensatz zum SiC-MOSFET durch Raumladungszonen gesteuert wird, die sich in das Volumen der Epitaxieschicht ausdehnen, gibt es keine bedenklichen Grenzflächen, die das Durchlassverhalten beeinflussen könnten [SiKi11]. Das in Bild 5.10 dargestellte Kennlinienfeld zeigt bei einer Sperrsichttemperatur von $T_J = 150 \text{ }^\circ\text{C}$ entsprechend lediglich ein durchgängiges Abflachen der Kennlinien aufgrund der verminderten Beweglichkeit μ_n im Volumenmaterial, die eine Erhöhung von dessen Durchlasswiderstand nach sich zieht [HWLH13]. Trotz der grundlegend unterschiedlichen physikalischen Gegebenheiten ähnelt das temperaturabhängige Durchlassverhalten des SiC-JFETs dem des SiC-BJTs.

Die Struktur des SiC-JFET von Infineon besitzt im Gegensatz zu anderen JFET-Strukturen eine intrinsische pin-Freilaufdiode [SiKi11] (siehe auch Abschnitt 2.2.4). Es ist gut zu erkennen (Bild 5.10), dass bei gesperrtem JFET ($U_{GS} = -19 \text{ V}$) mit steigender Sperrsichttemperatur T_J die Durchlassspannung $-U_{DS}$ der Diode für einen gegebenen Strom $-I_D$ zunimmt. Nach Lutz

[Lutz12] wäre bei einer tatsächlich als pin-Diode konzipierten Freilaufdiode eine Erhöhung der Sperrsichttemperatur T_J mit einer Verminderung der Durchlassspannung U_F aufgrund einer gesteigerten Ladungsträgerlebensdauer (siehe zum Beispiel für SiC-pin-Diode [DB-Gene15a]) oder eine Zunahme der Durchlassspannung U_F durch eine reduzierte Ladungsträgerbeweglichkeit verbunden, sofern die Veränderung der Durchlassspannung primär durch den Driftgebietswiderstand vorgegeben wird. Das in Bild 5.10 dargestellte Verhalten der intrinsischen Freilaufdiode entspricht über einen weiten Bereich der Durchlassspannung also vielmehr dem einer Diode, bei der das Verhalten durch die Beweglichkeit der Ladungsträger und weniger durch die Ladungsträgerlebensdauer bestimmt wird. Dies ist im Einklang mit der Aussage aus dem Datenblatt des SiC-JFETs [DB-Infi13a], in welchem das Schaltverhalten der intrinsischen pin-Diode hinsichtlich des Plasmas dem einer SBD ähnlich beschrieben wird.

5.3 1,2 kV MOSFET

Es wurden 1,2 kV SiC-MOSFETs von zwei Herstellern in Hinsicht auf ihr Durchlass- und Schaltverhalten untersucht. Alle in Abschnitt 5.3 betrachteten SiC-MOSFETs weisen planare Gate-Strukturen auf (D-MOSFET). SiC-MOSFET mit Trench-Gate-Strukturen (U-MOSFET) wurden aufgrund der Verfügbarkeit nicht für den Vergleich herangezogen. Ein Teil der in diesem Abschnitt sowie den Unterabschnitten beschriebenen Überlegungen wurde bereits in den Veröffentlichungen [BASK16] [BASK17] [BÖAK17] [BÖAK18b] gezeigt. Auch basieren dieser Abschnitt und die angegliederten Unterabschnitte zum Teil auf den Ergebnissen betreuer studentischer Arbeitsvorhaben. Dieses sind die Arbeitsvorhaben [BsA-Kret14] [BsA-Pete16] [BsA-Hanf16] [BsA-Bött17] [BsA-Groß17].

5.3.1 Durchlassverhalten

Die untersuchten SiC-MOSFETs CMF20120D (1. Generation) und C2M0080120D (2. Generation) von Cree/Wolfspeed verfügen nach den Datenblattangaben über typische Durchlasswiderstände von $R_{DS,ON} = 80 \text{ m}\Omega$ bei $U_{GS} = 20 \text{ V}$, $I_D = 20 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$ [DB-Cree12] [DB-Wolf15b]. Aufgrund des Generationsunterschieds liegen für die Cree/Wolfspeed-MOSFETs unterschiedliche Gesamtflächen beziehungsweise aktive Flächen der Chips vor. Ein nicht in Bezug auf sein Durchlassverhalten untersuchter, allerdings vergleichbarer 1200 V SiC-MOSFET der dritten Generation von Cree/Wolfspeed mit $R_{DS,ON} = 75 \text{ m}\Omega$ bei $U_{GS} = 15 \text{ V}$, $I_D = 20 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$ [DB-Wolf17a] wurde mit in den nachfolgenden Größenvergleich aufgenommen (Tabelle 5.1, Bild 5.11). Die Gesamtchipfläche je Generation nimmt bei Cree/Wolfspeed um mehr als ein Drittel ab, wobei der spezifische Durchlasswiderstand $r_{DS,ON}$ sich allerdings von Generation 1 zu Generation 3 mehr als halbiert hat (Tabelle 5.1). Der ebenfalls auf sein Durchlassverhalten untersuchte SiC-MOSFET SCT2080KE von Rohm weist laut Datenblatt einen identischen Durchlasswiderstand $R_{DS,ON}$ zu den untersuchten Cree/Wolfspeed MOSFETs der

Tabelle 5.1: Gemessene Gesamtflächen und aktive Flächen der 1200 V SiC-MOSFET-Chips im Vergleich zu den in der Literatur [DB-Cree11] [OCPB14] (CMF20120D) und [OCPB14] [DB-Wolf16f] (C2M0080120D) angegebenen Flächen sowie aus den Datenblattwerten für $R_{DS,ON}$ [DB-Cree12] [DB-Wolf15b] [DB-Wolf17a] [DB-Rohm15b] berechnete spezifische Widerstände $r_{DS,ON}$

Transistor	Gen.	Typischer Widerstand $R_{DS,ON}$ laut Datenblatt	Gesamtfläche des Chips A_{Chip}	Gesamtfläche des Chips A_{Chip} laut Literatur	Aktive Fläche des Chips A_{aktiv}	Widerstand $r_{DS,ON}$
CMF20120D (C)	1. Gen.	80 mΩ	0,164 cm ²	0,166 cm ²	0,101 cm ²	8,08 mΩ·cm ²
C2M0080120D (C)	2. Gen.	80 mΩ	0,102 cm ²	0,104 cm ²	0,061 cm ²	4,88 mΩ·cm ²
C3M0075120K (C)	3. Gen.	75 mΩ	0,067 cm ²		0,048 cm ²	3,6 mΩ·cm ²
SCT2080KE (R)	2. Gen.	80 mΩ	0,131 cm ²		0,102 cm ²	8,16 mΩ·cm ²

Hersteller der MOSFETs: Cree/Wolfspeed (C) und Rohm (R)

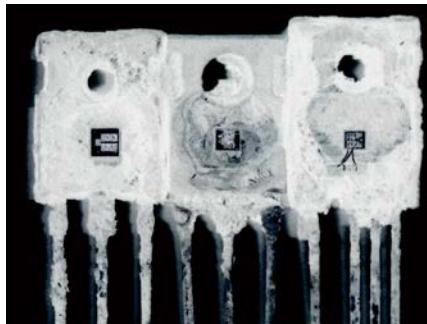


Bild 5.11: Negativ-Bild der drei SiC-MOSFET-Generationen von Cree/Wolfspeed. Erste (links), zweite (mittig) und dritte Generation (rechts). Deutlich ist die Reduzierung der Chip-Größe erkennbar

ersten und zweiten Generation auf, wobei dieser für $U_{GS} = 18$ V, $I_D = 10$ A und $T_J = 25$ °C angegeben ist [DB-Rohm15b]. In Hinsicht auf die aktive Fläche ist dieser SiC-MOSFET mit dem der ersten Generation von Cree/Wolfspeed vergleichbar.

Die Durchlasskennlinien der SiC-MOSFETs wurden im ersten Quadranten jeweils in fünf äquidistanten Schritten zwischen $U_{GS} = 10$ V und $U_{GS} = 20$ V sowie im dritten Quadranten zwischen $U_{GS} = 0$ V und $U_{GS} = 20$ V aufgenommen.

Wie zu erwarten ist, nimmt der Durchlasswiderstand $R_{DS,ON}$ der betrachteten SiC-MOSFETs (Bild 5.12 bis Bild 5.14) aufgrund der im zunehmenden Maß zur Verfügung stehenden Inversionsladung im Kanal bei einer Erhöhung der Gate-Source-Spannungen ab [HWLH13]. Die gezeigten Durchlasskennlinien der SiC-MOSFETs unterscheiden sich jedoch im Hinblick auf das

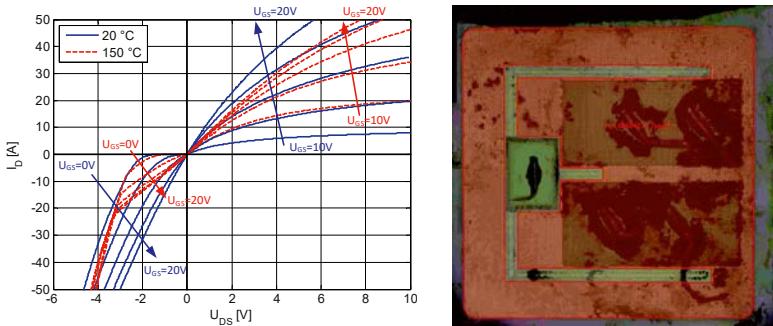


Bild 5.12: Durchlasskennlinien sowie Fotografie des Chips des MOSFET CMF20120D (1. Generation) von Cree/Wolfspeed bei $T_J = 20^\circ\text{C}$ und bei $T_J = 150^\circ\text{C}$ mit einer aktiven Fläche von circa $A_{\text{aktiv},C1} = 0,101 \text{ cm}^2$

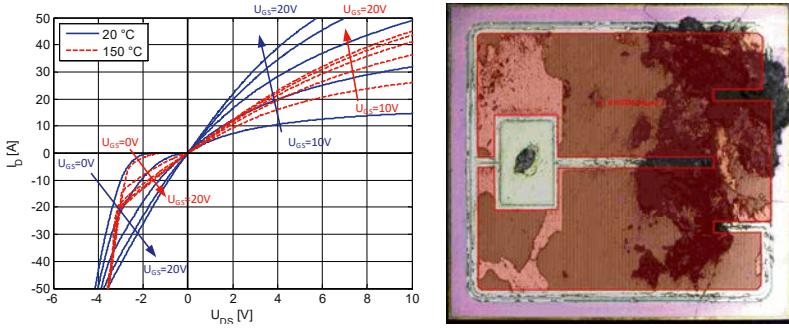


Bild 5.13: Durchlasskennlinien sowie Fotografie des Chips des MOSFET C2M0080120D (2. Generation) von Cree/Wolfspeed bei $T_J = 20^\circ\text{C}$ und bei $T_J = 150^\circ\text{C}$ mit einer aktiven Fläche von circa $A_{\text{aktiv},C2} = 0,061 \text{ cm}^2$

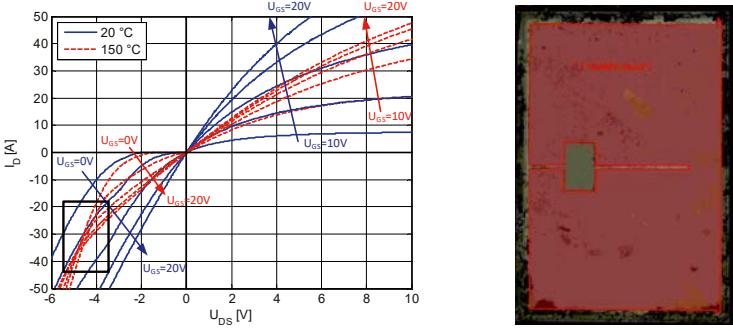


Bild 5.14: Durchlasskennlinien sowie Fotografie des Chips des MOSFET SCT2080KE (2. Generation) von Rohm bei $T_J = 20^\circ\text{C}$ und bei $T_J = 150^\circ\text{C}$ mit einer aktiven Fläche von circa $A_{\text{aktiv},R2} = 0,102 \text{ cm}^2$

Temperaturverhalten grundsätzlich von denen des SiC-BJTs und des SiC-JFETs im ersten Quadranten: Während für den BJT und den JFET lediglich ein Abflachen der Kennlinien mit einer Erhöhung der Sperrsichttemperatur T_J aufgrund der erhöhten Durchlasswiderstände beobachtet werden kann, nehmen die Durchlasswiderstände $R_{DS,ON}$ für geringe Gate-Source-Spannungen U_{GS} bei den untersuchten SiC-MOSFETs ab, wohingegen diese bei hohen Gate-Source-Spannungen zunehmen.

Das Durchlassverhalten der SiC-MOSFETs ist aufgrund der im Kanal und Volumenmaterial auftretenden unterschiedlichen Elektronenbeweglichkeiten μ_n^* beziehungsweise μ_n [KiCo14] stark temperaturabhängig. Grundsätzlich nimmt die Volumenbeweglichkeit μ_n mit steigender Sperrsichttemperatur T_J ab und die Kanalbeweglichkeit μ_n^* bei SiC-MOSFETs im betrachteten Temperaturbereich mit T_J zu, wobei der Durchlasswiderstand $R_{DS,ON}$ aufgrund der jeweiligen Menge an Inversionsladung im Kanal für niedrige Gate-Source-Spannungen U_{GS} maßgeblich vom Kanalwiderstand und für hohe Gate-Source-Spannungen hingegen vom Driftgebietswiderstand beeinflusst wird [HWLH13]. Für die Temperatureinflüsse auf μ_n^* sind nach Kimoto et al. [KiCo14] unterschiedliche Streueffekte und deren individuelle Temperaturabhängigkeit bestimmend. Neben den Beweglichkeiten μ_n beziehungsweise μ_n^* ist bekanntermaßen die Schwellenspannung U_{th} eines SiC-MOSFETs für dessen temperaturabhängiges Verhalten verantwortlich [HWLH13]. Die Schwellenspannung der untersuchten SiC-MOSFETs liegt bei Raumtemperatur im Bereich von $U_{th} = 2,7 \text{ V} \dots 2,9 \text{ V}$ und nimmt bei einer Erhöhung auf $T_J = 150 \text{ }^\circ\text{C}$ bis auf $U_{th} = 2,0 \text{ V} \dots 2,1 \text{ V}$ ab (Tabelle 5.2, mittlere Spalte).

Die theoretische Kennliniengleichung (Gleichung 42 [Lutz12] [KiCo14]) für MOSFETs hängt neben der Gate-Oxid-Kapazität C_{ox} , der Kanalweite W , der Kanallänge L_{Kanal} , der Gate-Source-Spannung U_{GS} , der Schwellenspannung U_{th} und der Drain-Source-Spannung U_{DS} von der Kanalbeweglichkeit μ_n^* ab. Woraus ersichtlich wird, weshalb die Kennlinienfelder aufgrund einer geringen Kanalbeweglichkeit bei SiC-MOSFETs relativ flach ausfallen.

$$I_D \approx \frac{\mu_n^* \cdot C_{ox} \cdot W}{L_{Kanal}} \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - 0,5 \cdot U_{DS}^2 \right] = \kappa \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - 0,5 \cdot U_{DS}^2 \right] \quad (42)$$

Tabelle 5.2: Mit Kennlinienschreiber Tektronix CT370A gemessene Schwellenspannungen U_{th} bei $U_{GS} = U_{DS}$ und Sperrsichttemperaturen von $T_J = 25 \text{ }^\circ\text{C}$ sowie $T_J = 150 \text{ }^\circ\text{C}$

Transistor	Gen.	T_J	$U_{th} @ I_D = 1 \text{ mA}$	$U_{th} @ I_D = 2 \text{ mA}$	$U_{th} @ I_D = 5 \text{ mA}$
CMF20120D (C)	1. Gen.	25 $^\circ\text{C}$	2,685 V	2,875 V	3,185 V
		150 $^\circ\text{C}$	1,885 V	2,025 V	2,22 V
C2M0080120D (C)	2. Gen.	25 $^\circ\text{C}$	2,56 V	2,715 V	2,945 V
		150 $^\circ\text{C}$	1,915 V	2,02 V	2,18 V
SCT2080KE (R)	2. Gen.	28 $^\circ\text{C}$	2,69 V	2,9 V	3,2 V
		150 $^\circ\text{C}$	1,95 V	2,075 V	2,275 V

Hersteller der MOSFETs: Cree/Wolfspeed (C) und Rohm (R)

Durch die Erhöhung der positiven Gate-Source-Spannung U_{GS} lässt sich die geringe Beweglichkeit μ_n^* jedoch zum Teil durch die Zunahme der Inversionsladung ausgleichen [HWLH13]. Die empfohlene beziehungsweise typische Gate-Source-Spannung U_{GS} der ersten zwei Generationen von SiC-MOSFETs der Hersteller Cree/Wolfspeed und Rohm liegt bei $U_{GS} = 18 \text{ V} \dots 20 \text{ V}$, wohingegen bei der dritten Generation der Cree/Wolfspeed SiC-MOSFETs lediglich eine Gate-Source-Spannung von $U_{GS} = 15 \text{ V}$ (siehe auch Tabelle 5.3) genügt, um ausreichend Inversionsladung in den Kanal einzubringen und somit gleichermaßen eine hohe Transkonduktanz zu ermöglichen [ScAy15]. Die Auswirkung der Transkonduktanz auf das Schaltverhalten wird in Abschnitt 5.3.2.1 separat betrachtet.

Der Unterschied der Vorwärtsdurchlasskennlinien in Bild 5.12 und Bild 5.13 dokumentiert die Veränderung des Durchlassverhaltens der beiden ersten Bauteilgenerationen des Herstellers Cree/Wolfspeed. Für Gate-Source-Spannungen unterhalb von $U_{GS} = 20 \text{ V}$ wurde bei $T_J = 20^\circ\text{C}$ der Durchlasswiderstand $R_{DS,ON}$ des MOSFETs der zweiten Generation verringert, wobei die Kennlinien beider MOSFETs jedoch bei der empfohlenen Gate-Source-Spannung von $U_{GS} = 20 \text{ V}$ annähernd übereinstimmen. Bei der höheren Sperrsichttemperatur von $T_J = 150^\circ\text{C}$ hingegen ist der Durchlasswiderstand des MOSFETs der ersten Generation im Bereich anwendungsnaher Gate-Spannungen unerwarteter Weise deutlich geringer. Das Kennlinienfeld in Bild 5.14 beschreibt im ersten Quadranten das Verhalten eines SiC-MOSFETs der zweiten Generation des Herstellers Rohm, welches bei einer Sperrsichttemperatur von $T_J = 20^\circ\text{C}$ weitestgehend mit dem des Wolfspeed MOSFETs der ersten Generation und bei $T_J = 150^\circ\text{C}$ mit dem der zweiten Generation übereinstimmt. Tendenziell vereint der untersuchte SiC-MOSFET des Herstellers Rohm somit für beide Sperrsichttemperaturbereiche die ungünstigeren Eigenschaften der beiden SiC-MOSFET-Generationen von Cree/Wolfspeed. In Tabelle 5.2 zeigt sich des Weiteren, dass der SiC-MOSFET von Rohm bei Raumtemperatur eine Schwellenspannung ähnlich der des SiC-MOSFETs der ersten Generation von Cree/Wolfspeed aufweist, wohingegen bei einer Sperrsichttemperatur von $T_J = 150^\circ\text{C}$ alle SiC-MOSFETs auf einem vergleichbaren Niveau liegen.

Die SiC-MOSFETs (Bild 5.12 bis Bild 5.14) zeigen im dritten Quadranten ($U_{GS} = 0 \text{ V}$), dass sich mit zunehmender Sperrsichttemperatur T_J der Durchlasswiderstand der intrinsischen pin-Freilaufdiode verringert. Dies lässt sich gegebenenfalls auf eine Erhöhung der Ladungsträgerlebensdauer zurückführen [Lutz12] [KiCo14]. Durch das Einschalten des SiC-MOSFETs im dritten Quadranten lassen sich zum Teil gegenüber dem Diodenbetrieb deutlich geringere Durchlassspannungen $U_{SD} = -U_{DS}$ erreichen, da der Kanal des SiC-MOSFETs anstelle des pn-Übergangs der Diode bis zu dessen Durchlassspannung U_{pn} zum Stromtransport genutzt wird. Ab der Spannung U_{pn} wird das Verhalten gemeinsam von der intrinsischen pin-Diode und dem Kanal des SiC-MOSFETs bestimmt. Es ist im Speziellen in Bild 5.14 bei $T_J = 150^\circ\text{C}$ (schwarzer Kasten) erkennbar, dass der Kanal scheinbar die Effizienz der Anode der intrinsischen pin-Freilaufdiode beeinflusst.

5.3.2 Schaltverhalten

5.3.2.1 Einfluss der Ansteuerspannung auf SiC-MOSFETs

Neben der Auswirkung auf das Durchlassverhalten (siehe auch Gleichung 42) ist durch eine geringe Kanalbeweglichkeit μ_n^* auch ein Einfluss auf die Transkonduktanz g_{fs} (Gleichung 43 [Lutz12]) und somit über die Höhe des Miller-Plateaus (Gleichung 44 [Lutz12]) auf das Schaltverhalten des MOSFETs gegeben.

$$g_{fs} = (U_{GS} - U_{th}) \cdot \frac{\mu_n^* \cdot C_{ox} \cdot W}{L_{Kanal}} \quad (43)$$

$$U_{GS,\text{Miller}} = U_{th} + \frac{I_D}{g_{fs}} \quad (44)$$

Eine geringe Transkonduktanz g_{fs} führt beispielsweise zu einem langsameren Einschaltvorgang des SiC-MOSFETs, da sich hierdurch das Miller-Plateau zu einer höheren Gate-Source-Spannung $U_{GS,\text{Miller}}$ verlagert, wodurch ein geringerer Gate-Strom I_G zur Verfügung steht.

Im Folgenden wird die Transkonduktanz von SiC-MOSFETs verschiedener Hersteller betrachtet (Tabelle 5.3), um einen quantitativen Vergleich vornehmen zu können. Bei den untersuchten Cree/Wolfspeed-MOSFETs mit Durchlasswiderständen von $R_{DS,ON} = 75 \text{ m}\Omega \dots 80 \text{ m}\Omega$ fällt vorab auf, dass die Angabe für den Dauernennstrom I_D mit jeder Generation um 6 A abnimmt. Dies ist auf die mit jeder Generation um circa ein Drittel abnehmende Chipfläche zurückzuführen, die das thermische Verhalten des Chips bestimmt. Die Höhe der Transkonduktanz g_{fs} lässt sich durch Ableitung der jeweiligen Übertragungskennlinie

**Tabelle 5.3: Nenndaten der untersuchten SiC-MOSFETs bei $T = 25^\circ\text{C}$ gemäß der Datenblätter
[DB-Cree10] [DB-Cree12] [DB-Wolf15c] [DB-Wolf15b] [DB-Wolf17a] [DB-Wolf16b]
[DB-Rohm15g] [DB-Rohm15b]. Es sei darauf hingewiesen, dass die in den Datenblättern
angegebenen Testbedingungen zum Teil stark variieren.**

Transistor	Generation	Nennsperrspannung U_{BR}	Dauer-nennstrom I_D	Typischer Widerstand $R_{DS,ON}$	Empfohlene/typische Ansteuer-spannung U_{Treiber}
CMF10120D (C)	1. Gen.	1,2 kV	24 A	160 mΩ	20 V/0 V
CMF20120D (C)	1. Gen.	1,2 kV	42 A	80 mΩ	20 V/0 V
C2M0160120D (C)	2. Gen.	1,2 kV	19 A	160 mΩ	20 V/-5 V
C2M0080120D (C)	2. Gen.	1,2 kV	36 A	80 mΩ	20 V/-5 V
C3M0075120K (C)	3. Gen.	1,2 kV	30 A	75 mΩ	15 V/-4 V
C3M0065090D (C)	3. Gen.	0,9 kV	36 A	65 mΩ	15 V/-4 V
SCT2160KE (R)	2. Gen.	1,2 kV	22 A	160 mΩ	18 V/0 V
SCT2080KE (R)	2. Gen.	1,2 kV	40 A	80 mΩ	18 V/0 V

Hersteller der MOSFETs: Cree/Wolfspeed (C) und Rohm (R)

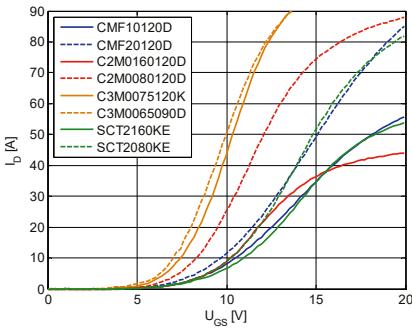


Bild 5.15: Übertragungskennlinien unterschiedlicher SiC-MOSFETs bei $U_{DS} = 20$ V und $T_J = 22\text{ }^\circ\text{C} \dots 25\text{ }^\circ\text{C}$

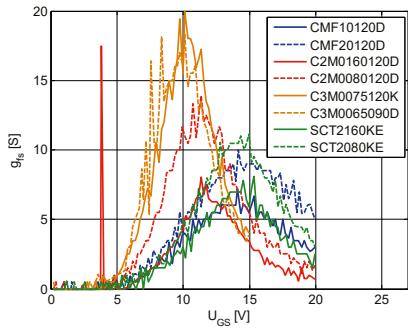
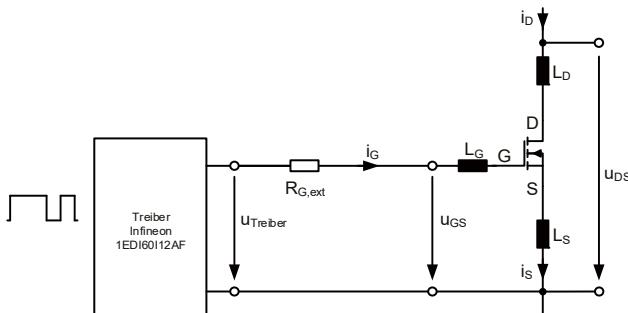
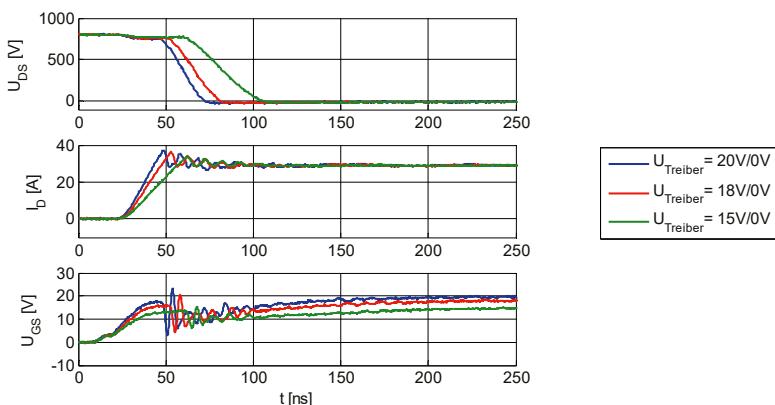


Bild 5.16: Transkonduktanzen unterschiedlicher SiC-MOSFETs bei $U_{DS} = 20$ V und $T_J = 22\text{ }^\circ\text{C} \dots 25\text{ }^\circ\text{C}$

(Bild 5.15) ermitteln. In Bild 5.16 sind die ungeglätteten Verläufe von g_{fs} dargestellt. Es zeigt sich, dass die drei Generationen der SiC-MOSFETs des Herstellers Cree/Wolfspeed signifikant unterschiedliche Transkonduktanzen aufweisen. Bei Betrachtung der Transkonduktanzen der SiC-MOSFETs der ersten (blaue Verläufe) und zweiten Generation (rote Verläufe) mit jeweils identischem typischen Durchlasswiderstand $R_{DS,ON}$ zeigt sich bei den Chips der zweiten Generation eine Steigerung der Maxima. Es ergibt sich, wie aufgrund von [ScAy15] erwartet wird, eine weitere Steigerung der Maxima bei der dritten Generation (orange Verläufe), wobei die Chips allerdings infolge der abweichenden Durchlasswiderstände $R_{DS,ON}$ nicht exakt mit den weiteren vergleichbar sind. Während das Maximum der ersten Generation bei circa $U_{GS} = 14,5$ V auftritt, verlagert sich dieses für die zweite und dritte Generation (orange Verläufe) zu ungefähr $U_{GS} = 11,5$ V beziehungsweise $U_{GS} = 10$ V. Im Vergleich fällt ebenfalls auf, dass die Transkonduktanzen der SiC-MOSFETs des Herstellers Rohm (grüne Verläufe) denen der ersten Generation des Herstellers Cree/Wolfspeed sowohl im Hinblick auf die maximale Transkonduktanz sowie der Gate-Source-Spannung, bei der die Maxima auftreten, ähnlich sind.

Zur Untersuchung des Einflusses der Ansteuerspannung $U_{Treiber}$ (Bild 5.17) auf das Schaltverhalten von SiC-MOSFETs wurden 1200 V SiC-MOSFETs der jeweils zweiten Generation von Cree/Wolfspeed (C2M0080120D) und Rohm (SCT2080KE) untersucht. Als Freilaufdiode kam eine SiC-Schottky-Diode (C4D10120D) zum Einsatz. Der von Cree/Wolfspeed empfohlene Gate-Source-Spannungsbereich liegt zwischen 20 V und -5 V, wohingegen der für die Schaltversuche im Datenblatt des Rohm-MOSFET angegebene typische Spannungsbereich zwischen 18 V und 0 V liegt (siehe auch Tabelle 5.3).

Beim Einschalten (Bild 5.18) ist eine deutliche Zunahme der Spannungs- und Stromänderungsgeschwindigkeiten durch eine höhere positive Ansteuerspannung $U_{Treiber}$ und beim Ausschalten (Bild 5.19) durch eine betragsmäßig höhere negative Spannung $U_{Treiber}$ feststellbar. Die Auftragung der Schaltenergie (Bild 5.20 und Bild 5.21) zeigt für die SiC-MOSFETs, dass

Bild 5.17: Ansteuerschaltung mit Gate-Widerstand $R_{G,\text{ext}}$ zur Ansteuerung der SiC-MOSFETsBild 5.18: Einschaltverläufe von U_{DS} , i_D und U_{GS} des SiC-MOSFETs C2M0080120D bei $U_{DC} = 800$ V, $i_D = 29,0$ A ... $29,1$ A, $R_{G,\text{ext}} = 10 \Omega$ und $T_J = 23^\circ\text{C} \dots 25^\circ\text{C}$

beim Einschalten die erwartete Reduktion der Schaltenergien E_{ein} mit der Zunahme der positiven Ansteuerspannung U_{Treiber} durch den höheren Gate-Strom i_G eintritt. Beim Ausschalten zeigt sich eine Verringerung der Schaltenergie E_{aus} hingegen durch die Erhöhung des Absolutwertes der negativen Ansteuerspannung, durch die ein erhöhter Gate-Strom $-i_G$ beim Durchlaufen der Ladekurve der Eingangskapazität C_{iss} resultiert. Die Ein- und Ausschaltvorgänge werden jedoch nicht nur durch die für den jeweiligen Schaltvorgang benötigte positive beziehungsweise negative Treiberspannung U_{Treiber} beeinflusst. Vielmehr kommt es auch zu einer Einwirkung der vor dem Umladevorgang der Eingangskapazität C_{iss} des SiC-MOSFETs anliegenden Treiberspannung U_{Treiber} . Dies bedeutet beispielsweise, dass beim Einschaltvorgang die vorhergehend anliegende negative Treiberspannung die Einschalttransiente verändert. So-wohl beim Ein- als auch beim Ausschalten kommt es bei einer betragsmäßigen Erhöhung der jeweils vor dem Umladevorgang anliegenden Treiberspannung U_{Treiber} zu einer Verminderung

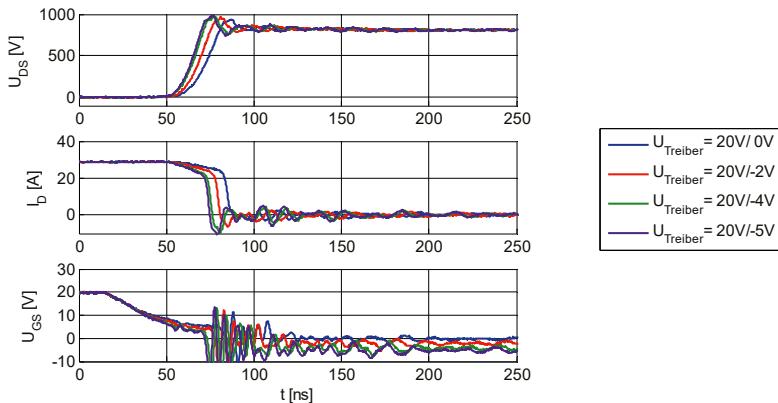


Bild 5.19: Ausschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFETs C2M0080120D bei $U_{DC} = 800$ V, $i_D = 29,0$ A ... $29,1$ A, $R_{G,ext} = 10 \Omega$ und $T_j = 23^\circ\text{C} \dots 24^\circ\text{C}$

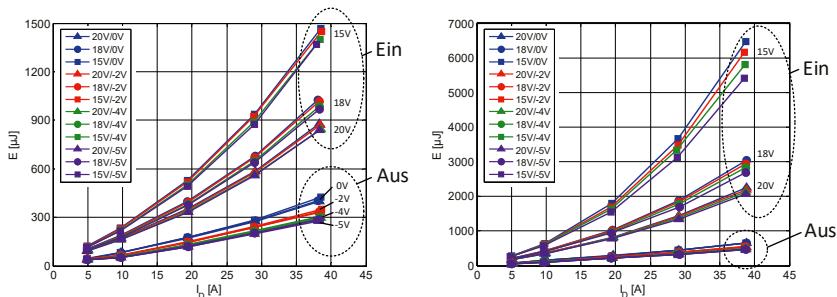


Bild 5.20: Schaltenergien E des SiC-MOSFET C2M0080120D bei unterschiedlichen Drainströmen i_D und Ansteuerspannungen $U_{Treiber}$ mit $U_{DC} = 800$ V, $R_{G,ext} = 10 \Omega$ und $T_j = 23^\circ\text{C} \dots 25^\circ\text{C}$

Bild 5.21: Schaltenergien E des SiC-MOSFET SCT2080KE bei unterschiedlichen Drainströmen i_D und Ansteuerspannungen $U_{Treiber}$ mit $U_{DC} = 800$ V, $R_{G,ext} = 10 \Omega$ und $T_j = 22^\circ\text{C} \dots 25^\circ\text{C}$

der Schaltenergien. In Bild 5.20 und Bild 5.21 ist dies primär bei den Einschaltenergien ersichtlich, da der auftretende Effekt bei den geringen Ausschaltenergien vergleichsweise klein ist. Dieses Verhalten ist höchstwahrscheinlich auf die parasitäre Induktivität im Ansteuerkreis zurückzuführen, die als Stromquelle wirkt [VoHo12].

Die letztendliche Einsparung an Schaltenergie bei einer Erhöhung der Absolutwerte der positiven und negativen Ansteuerspannung $U_{Treiber}$ wird in Bild 5.22 für den Cree/Wolfspeed-MOSFET und in Bild 5.23 für den Rohm-MOSFET veranschaulicht, wobei die gezeigten Schaltenergien auf die bei $U_{Treiber} = 15$ V/0 V auftretenden bezogen sind. Die Schaltenergieeinsparung des Cree/Wolfspeed-MOSFETs durch eine Erhöhung der Ansteuerspannung von $U_{Treiber} = 15$ V/0 V auf $U_{Treiber} = 20$ V/-5 V liegt für $i_D = 38$ A ... 39 A bei circa 40 %, während dies

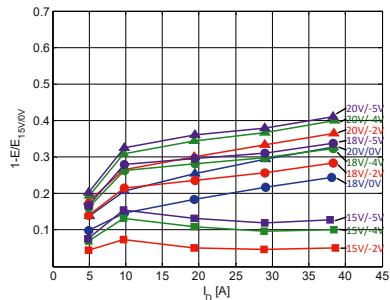


Bild 5.22: Im Vergleich zu bei $U_{\text{Treiber}} = +15 \text{ V}/0 \text{ V}$ auftretende Energieeinsparung des SiC-MOSFET C2M0080120D bei unterschiedlichen I_b und U_{Treiber} mit $U_{\text{DC}} = 800 \text{ V}$, $R_{\text{G,ext}} = 10 \Omega$ und $T_j = 23^\circ \text{C} \dots 25^\circ \text{C}$

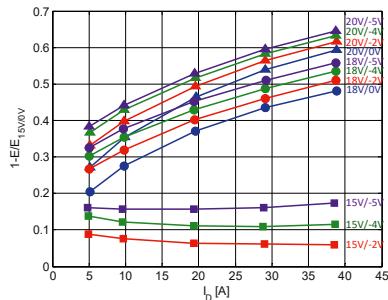


Bild 5.23: Im Vergleich zu bei $U_{\text{Treiber}} = +15 \text{ V}/0 \text{ V}$ auftretende Energieeinsparung des SiC-MOSFET SCT2080KE bei unterschiedlichen I_b und U_{Treiber} mit $U_{\text{DC}} = 800 \text{ V}$, $R_{\text{G,ext}} = 10 \Omega$ und $T_j = 22^\circ \text{C} \dots 25^\circ \text{C}$

beim Rohm-MOSFET bei $U_{\text{Treiber}} = 20 \text{ V}/-5 \text{ V}$ 65 % sind. Allerdings liegen die Schaltenergien E_{ein} und E_{aus} des Cree/Wolfspeed-MOSFETs (Bild 5.20) bei identischen Ansteuerbedingungen ($U_{\text{Treiber}}, R_{\text{G,ext}}$) unter denen des Rohm-MOSFETs (Bild 5.21), sodass die höhere Schaltenergieeinsparung des Rohm-MOSFETs gegenüber dem Cree/Wolfspeed-MOSFET dennoch keinen direkten Vorteil bietet. Die geringeren Schaltenergien des SiC-MOSFETs von Cree/Wolfspeed resultieren aus der höheren Transkonduktanz g_{fs} , der geringeren Eingangskapazität C_{iss} sowie dem geringeren internen Gate-Widerstand $R_{\text{G,int}}$ (Tabelle 5.4, siehe auch Bild 5.16). Aufgrund der unterschiedlichen Werte der genannten Parameter ist auch keine direkte technologische Vergleichbarkeit zwischen dem SiC-MOSFET C2M0080120D von Cree/Wolfspeed und dem SiC-MOSFET SCT2080KE von Rohm gegeben. Zur Ermöglichung eines solchen Vergleichs wären - je nach Betrachtung - mindestens identische Gesamt-Gate-Widerstände $R_{\text{G,ges}} = R_{\text{G,int}} + R_{\text{G,ext}}$

Tabelle 5.4: Zulässige Ansteuerspannung U_{Treiber} , Transkonduktanz g_{fs} , Eingangskapazität C_{iss} und interner Gate-Widerstand $R_{\text{G,int}}$ der SiC-MOSFETs bei $T = 25^\circ \text{C}$ gemäß der Datenblätter [DB-Wolf15b] [DB-Rohm15b]

Transistor	Zulässige Ansteuerspannung U_{Treiber}	Transkonduktanz g_{fs}	Eingangskapazität C_{iss}	Interner Gate-Widerstand $R_{\text{G,int}}$
C2M0080120D (C)	+25 V/-10 V	8,1 S @ $U_{\text{DS}} = 20 \text{ V}$, $I_{\text{D}} = 20 \text{ A}$	ca. 1050 pF @ $U_{\text{GS}} = 0 \text{ V}$, $U_{\text{DS}} = 800 \text{ V}$, $f = 1 \text{ MHz}$	4,6 Ω @ $f = 1 \text{ MHz}$
SCT2080KE (R)	+22 V/-6 V	3,7 S @ $U_{\text{DS}} = 10 \text{ V}$, $I_{\text{D}} = 10 \text{ A}$	2080 pF @ $U_{\text{GS}} = 0 \text{ V}$, $U_{\text{DS}} = 800 \text{ V}$, $f = 1 \text{ MHz}$	6,3 Ω @ $f = 1 \text{ MHz}$

Hersteller der MOSFETs: Cree/Wolfspeed (C) und Rohm (R)

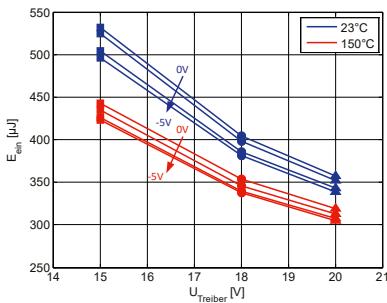


Bild 5.24: Einschaltenergien E_{ein} des SiC-MOSFET C2M0080120D bei unterschiedlichen T_j und U_{Treiber} mit $U_{\text{DC}} = 800 \text{ V}$, $I_b = 14,6 \text{ A} \dots 14,8 \text{ A}$ und $R_{G,\text{ext}} = 10 \Omega$

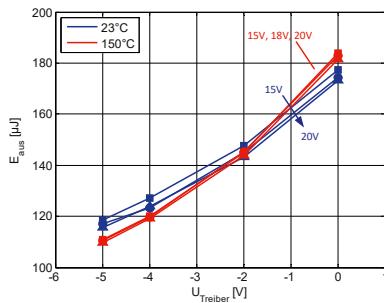


Bild 5.25: Ausschaltenergien E_{aus} des SiC-MOSFET C2M0080120D bei unterschiedlichen T_j und U_{Treiber} mit $U_{\text{DC}} = 800 \text{ V}$, $I_b = 14,6 \text{ A} \dots 14,8 \text{ A}$ und $R_{G,\text{ext}} = 10 \Omega$

oder identische Eingangszeitkonstanten $\tau_{\text{RC}} = C_{\text{iss}} \cdot R_{G,\text{ges}}$ der SiC-MOSFETs unter ansonsten identischen Testbedingungen notwendig.

Beim Einschalten (Bild 5.24) steht bei höheren Sperrschichttemperaturen T_j eine erhöhte Spannungsdifferenz zwischen der positiven Treiberausgangsspannung U_{Treiber} und dem Miller-Plateau zur Verfügung (Gleichung 44), da die Transkonduktanz des SiC-MOSFETs (Gleichung 43) über die temperaturabhängige Kanalbeweglichkeit μ_n^* und die ebenfalls temperaturabhängige Schwellenspannung U_{th} (siehe für beides Abschnitt 5.3.1) definiert wird. Entsprechend werden die Spannungstransienten wie bei einer höheren positiven Ansteuerspannung U_{Treiber} schneller durchlaufen und die Schaltenergien sinken. Es ergibt sich ein negativer Temperaturkoeffizient für die Einschaltenergien E_{ein} . Der Ausschaltvorgang (Bild 5.25) zeigt identische physikalische Abhängigkeiten wie der Einschaltvorgang, wodurch bei hohen Temperaturen eine verminderte Spannungsdifferenz zwischen dem Miller-Plateau und der negativen Treiberausgangsspannung U_{Treiber} auftritt. Entsprechend müsste der MOSFET während des Ausschaltvorgangs - im Gegensatz zum Einschaltvorgang - eine Zunahme der Schaltenergien aufweisen. Jedoch zeigt sich ein Wechsel des Temperaturkoeffizienten in Abhängigkeit der negativen Ansteuerspannung U_{Treiber} . Dieses Verhalten, das sich nur durch geringfügige Energieunterschiede bemerkbar macht, zeigte sich ebenfalls bei der Auswertung in dem parallel durchgeführten studentischen Arbeitsvorhaben [BsA-Bött17], das auf einem unter identischen Bedingungen aufgenommen Messdatensatz beruht, sodass dieser Effekt nicht durch Messungenauigkeiten verursacht zu sein scheint. Ein Einfluss der positiven Ansteuerspannung U_{Treiber} auf die Ausschaltenergien ist bei einer Sperrschichttemperatur von $T_j = 150^\circ\text{C}$ nicht mehr erkennbar.

5.3.2.2 Einfluss passiver Ansteuerelemente und der Sperrsichttemperatur

Es wird im Weiteren das Schaltverhalten eines 900 V SiC-MOSFET der dritten Generation von Cree/Wolfspeed (X3M0065090K, identischer Chip zum C3M0065090D) unter Benutzung des Kelvin-Source-Anschlusses des Gehäuses (siehe Bild 2.23b) zur Umgehung der Source-Induktivität L_S betrachtet. Die Einflussgrößen sind hierbei der externe Gate-Widerstand $R_{G,ext}$, die externe Gate-Source-Kapazität $C_{GS,ext}$ und die Sperrsichttemperatur T_J . Durch die Umgehung der Source-Induktivität L_S kann das Schaltverhalten ohne Überlagerung der Effekte der Source-Induktivität L_S analysiert werden (Bild 5.26). Für die durchgeföhrten Schaltversuche wurde die intrinsische pin-Diode des SiC-MOSFETs C3M0065090D als Freilaufdiode verwendet. Der X3M0065090K verfügt laut Datenblatt [DB-Wolf16b] über einen Durchlasswiderstand von $R_{DS,ON} = 65 \text{ m}\Omega$ bei $U_{GS} = 15 \text{ V}$, $I_D = 20 \text{ A}$ und $T_J = 25^\circ\text{C}$. Der typische Ansteuerbereich liegt im Bereich von $U_{Treiber} = +15 \text{ V}/-4 \text{ V}$ (siehe auch Tabelle 5.3). Allerdings wird der SiC-MOSFET hier mit $U_{Treiber} = +15 \text{ V}/-3,3 \text{ V}$ betrieben. Somit ist die geforderte positive Ansteuerspannung $U_{Treiber}$ deutlich niedriger als bei den SiC-MOSFETs der ersten und zweiten Generation ange setzt. Es wird im Vergleich zu den in Abschnitt 5.3.2.1 dynamisch vermessenen 1200 V SiC-MOSFETs der zweiten Generation von Cree/Wolfspeed eine leicht höhere Transkonduktanz $g_{f,s}$ bei einem von den Kenndaten her ähnlichen 1200 V SiC-MOSFET der dritten Generation (C3M0075120K) für eine positive Gate-Source-Spannung von lediglich $U_{GS} = 15 \text{ V}$ erreicht (siehe auch Bild 5.16 sowie [DB-Wolf15b] und [DB-Wolf17a]).

Im Fall einer Erhöhung des externen Gate-Widerstands $R_{G,ext}$ (Bild 5.26) wird der verfügbare Gate-Strom i_G reduziert, wodurch sich das Durchlaufen der Ladekurve der Eingangskapazität C_{iss} beim Ein- und Ausschalten des SiC-MOSFETs verlängert. Gleichermassen tritt genauso wie durch eine Erhöhung der Gate-Source-Kapazität C_{GS} [Kami17] eine Verlängerung des Vorgangs im Fall einer Erhöhung der externen Gate-Source-Kapazität $C_{GS,ext}$ bei gleichbleibendem Gate-Strom i_G aufgrund der gestiegenen erforderlichen Gesamtladung ein (siehe Schaltverläufe in Bild 7.10 und Bild 7.11 im Anhang sowie auch Abschnitt 2.3).

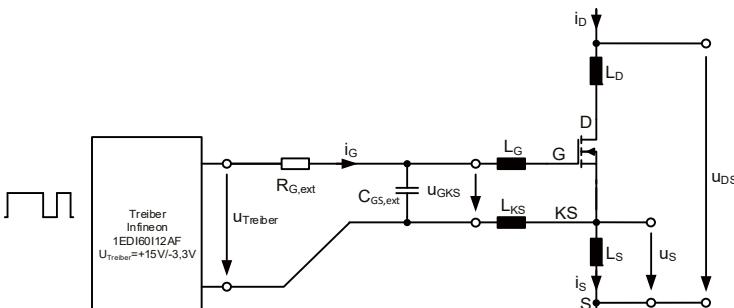


Bild 5.26: Ansteuerschaltung mit Gate-Widerstand $R_{G,\text{ext}}$ zur Ansteuerung der SiC-MOSFETs unter Umgehung der Source-Induktivität L_s

Wie in der Literatur [Kami17] beschrieben, kann eine Erhöhung der Gate-Source-Kapazität C_{GS} allerdings ein, durch die Miller-Kapazität bedingtes, parasitäres Einschalten beseitigen (siehe auch Abschnitt 2.3). Der Einsatz einer externen Gate-Source-Kapazität $C_{GS,ext}$ kann für diesen Zweck somit durchaus sinnvoll sein, erfordert aber die gleichzeitige Bereitstellung eines höheren Gate-Stroms i_G und verursacht generell höhere Treiberverluste [Kami17].

Bei einer alleinigen Erhöhung des externen Gate-Widerstands $R_{G,ext}$ steigen sowohl die Ein- als auch die Ausschaltenergien signifikant an (Bild 5.27), wohingegen bei einer ausschließlichen Erhöhung der externen Gate-Source-Kapazität $C_{GS,ext}$ hauptsächlich die Einschaltenergien E_{ein} ansteigen (Bild 5.28). Es tritt lediglich eine marginale Erhöhung der Ausschaltenergien E_{aus} ein. Die Erhöhung des Gate-Widerstands $R_{G,ext}$ spiegelt sich auch sehr deutlich in den maximalen Schaltgeschwindigkeiten di_D/dt und du_{DS}/dt (Bild 5.29 und Bild 5.30) während des Ein- und Ausschaltens wider, welche stark vermindert werden. Durch die externe Gate-Source-Kapazität $C_{GS,ext}$ hingegen wird bezüglich der Stromänderungsgeschwindigkeit hauptsächlich das

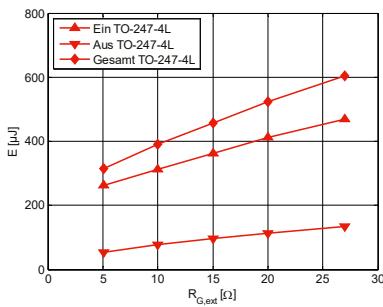


Bild 5.27: Schaltenergien E bei unterschiedlichen $R_{G,ext}$ mit $U_{DC} = 600 \text{ V}$, $I_D = 28,5 \text{ A} \dots 28,7 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$

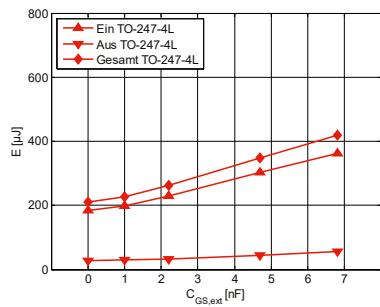


Bild 5.28: Schaltenergien E bei unterschiedlichen $C_{GS,ext}$ mit $R_{G,ext} = 5,1 \Omega$, $U_{DC} = 600 \text{ V}$, $I_D = 19,3 \text{ A} \dots 19,6 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$

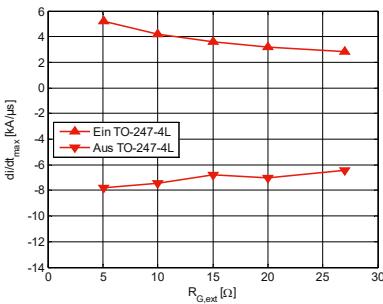


Bild 5.29: Maximale Stromänderungsgeschwindigkeiten di_D/dt_{max} bei untersch. $R_{G,ext}$ mit $U_{DC} = 600 \text{ V}$, $I_D = 28,5 \text{ A} \dots 28,7 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$

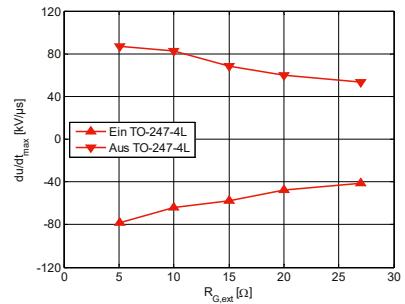


Bild 5.30: Maximale Spannungsänderungsgeschwindigkeiten du_{DS}/dt_{max} bei unters. $R_{G,ext}$ mit $U_{DC} = 600 \text{ V}$, $I_D = 28,5 \text{ A} \dots 28,7 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$

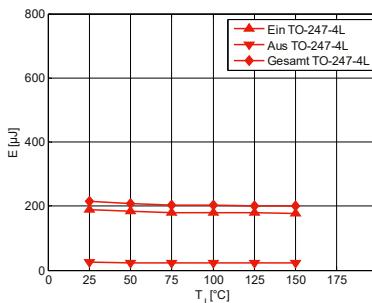


Bild 5.31: Schaltenergien E bei unterschiedlichen T_J
mit $U_{DC} = 600$ V, $I_D = 19,4$ A ... $19,7$ A und $R_{G,ext} = 5,1$ Ω

dI_D/dt beim Einschalten herabgesetzt (siehe Bild 7.10 bis Bild 7.12 im Anhang), wobei die Spannungsänderungsgeschwindigkeiten gleichermaßen beim Ein- und Ausschalten eine Veränderung ihres Werts zeigen (siehe Bild 7.13 im Anhang).

Es wurde bei den Messungen zum Einfluss der Sperrsichttemperatur T_J auf den X3M0065090K lediglich der SiC-MOSFET erwärmt. Die intrinsische Freilaufdiode des C3M0065090D wurde nicht aktiv geheizt, da nur gezielt die Beeinflussung des SiC-MOSFETs analysiert werden soll. Ein geringer Temperatureinfluss auf den MOSFET X3M0065090K ist in einem Bereich von $T_J = 25$ °C ... 150 °C in den Schaltenergien (Bild 5.31) durch die Temperaturabhängigkeit von U_{th} und μ_n^* ersichtlich (siehe auch Abschnitt 5.3.1 und 5.3.2.1). Es stellt sich primär eine Abnahme der Einschalterenergien E_{ein} mit T_J ein. Insgesamt ergibt sich somit - wie in Abschnitt 5.3.2.1 - eine lediglich marginale Beeinflussung der Schaltenergien durch eine Veränderung der Sperrsichttemperatur T_J . Ebenfalls zeigen die maximalen Schaltgeschwindigkeiten lediglich einen geringfügigen Einfluss (siehe Bild 7.14 und Bild 7.15 im Anhang). Die Stromänderungsgeschwindigkeiten dI_D/dt zeigen eine geringfügige Zunahme bis $T_J = 125$ °C, gefolgt von einer leichten Abnahme bei $T_J = 150$ °C. Im Gegensatz hierzu zeigen die Spannungsänderungsgeschwindigkeiten dU_{DS}/dt das erwartete gegenläufige Verhalten beim Ein- und Ausschalten aufgrund der temperaturabhängigen Höhe des Miller-Plateaus, das sich in einer Erhöhung des dU_{DS}/dt beim Einschalten und einer Verminderung während des Ausschaltens äußert. Ein solch relativ temperaturneutrales Verhalten ist generell für eine Anwendung erstrebenswert, da somit den Schaltenergien keine besondere Beachtung bei hohen Sperrsichttemperaturen T_J zukommen muss.

5.3.2.3 Einfluss der parasitären Induktivitäten

Im Folgenden werden die Schalteigenschaften nominell identischer 900 V SiC-MOSFET-Chips in Abhängigkeit unterschiedlicher Gehäuse untersucht. Dieses sind

- das TO-247-3L- Gehäuse (C3M0065090D),
- das TO-247-4L- Gehäuse (X3M0065090K) und
- das TO-263-7L-Gehäuse (C3M0065090J).

Das TO-247-4L- und das TO-263-7L-Gehäuse weisen einen zusätzlich Source-Anschluss (Kelvin-Source-Anschluss) auf, der separat neben dem Source-Anschluss des Lastkreises geführt wird. Auf dem Transistor-Chip ist hierfür ein zusätzlicher Bonddraht aufgebracht (Bild 5.32). Bei Nutzung des Kelvin-Source-Anschlusses lässt sich die Streuinduktivität L_S für den Ansteuerkreis umgehen (Bild 5.26), wodurch die Rückkopplung der Stromänderungsgeschwindigkeit di_D/dt über L_S auf die Gate-(Kelvin-)Source-Spannung u_{GKS} aufgehoben wird [März11] [LiMu14] [WZWS14] [BöAK17] [BöAK18b] (Gleichung 45 [März11] [LiMu14])



Bild 5.32: Chip mit (TO-247-4L, links) und ohne (TO-247-3L, rechts) Kelvin-Source-Anschluss (KS)

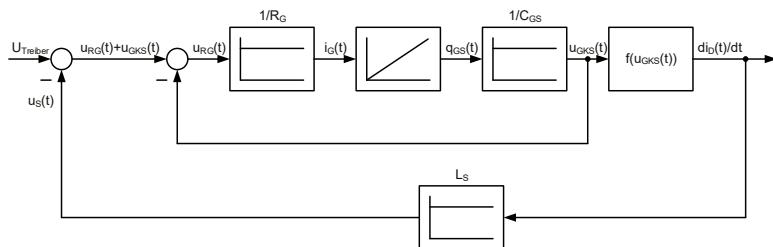


Bild 5.33: Rückkopplung im Ansteuerkreis durch die Common-Source-Induktivität L_S und die auftretende Stromänderungsgeschwindigkeit di_D/dt

[BÖAK17] und Bild 5.33). Eine Auswirkung der Laststromänderung di_D/dt auf den Ansteuerkreis kann somit nur noch über die weiterhin vorhandenen Koppelinduktivitäten erfolgen [BÖAK17] [BÖAK18b].

$$u_{GKS}(t) = u_{\text{Treiber}}(t) - R_G \cdot i_G(t) - L_S \cdot \frac{di_D(t)}{dt} \quad (45)$$

Die Ansteuerschaltung wurden zur Ermittlung der Auswirkungen des Kelvin-Source-Anschlusses auf das Schaltverhalten der SiC-MOSFETs nach Bild 5.17 (ohne Kelvin-Source-Anschluss) und Bild 5.26 (mit Kelvin-Source-Anschluss) verwendet ($U_{\text{Treiber}} = +15 \text{ V} / -3,3 \text{ V}$). Während der Schaltversuche wurde die intrinsische pin-Diode eines SiC-MOSFETs (C3M0065090D) jeweils als Freilaufdiode genutzt, wobei Gate und Source kurzgeschlossen waren.

Aus Bild 5.34 geht hervor, dass ein erheblicher Teil der angelegten Ansteuerspannung U_{Treiber} während der Stromtransiente di_D/dt durch die in L_S induzierte Spannung u_S kompensiert (rot) werden würde, wenn der Kelvin-Source-Anschluss nicht genutzt wird [BÖAK17] [BÖAK18b]. Dies wurde auch von März et al. [März11] sowie von Wang et al. [WZWS14] beschrieben und bestätigt entsprechend das Ergebnis.

Aus den Schaltverläufen (Bild 5.35 und Bild 5.36) wird ebenfalls klar ersichtlich, dass die Umgehung von L_S sich vorteilhaft auf die Gesamtschaltzeiten auswirkt. Quantitativ lässt sich dies auch in den ermittelten Schaltenergien (Bild 5.37 und Bild 5.38) erkennen. Die Ergebnisse des vorgenommenen Vergleichs zeigen, dass ungefähr bei Nennstrom (tatsächlich $I_D = 33,4 \text{ A} \dots 34,2 \text{ A}$ im Test) unter Nutzung des Kelvin-Source-Anschlusses eine Reduzierung der Schaltenergie um circa 43,4 % für das TO-247-4L- und um circa 34,2 % für das TO-263-7L-

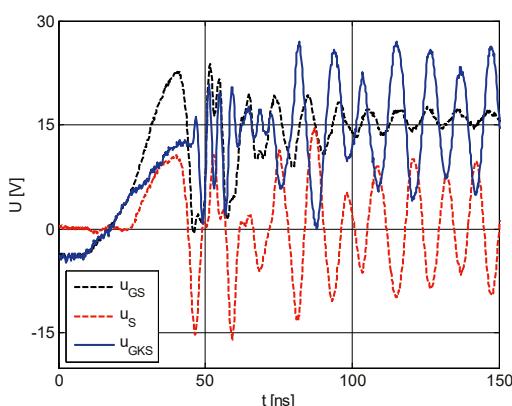


Bild 5.34: Gemessene Gate-Source-Spannung u_{GS} , gemessene induzierte Spannung u_S an der Induktivität L_S und durch Differenzbildung der gemessenen Spannungen ermittelte reale Spannung u_{GKS} am Chip des SiC-MOSFET C3M0065090J bei Nutzung des Kelvin-Source-Anschlusses bei $U_{DC} = 600 \text{ V}$, $I_D = 34 \text{ A}$, $R_{G,\text{ext}} = 5,1 \Omega$ und $T_J = 24^\circ \text{C}$

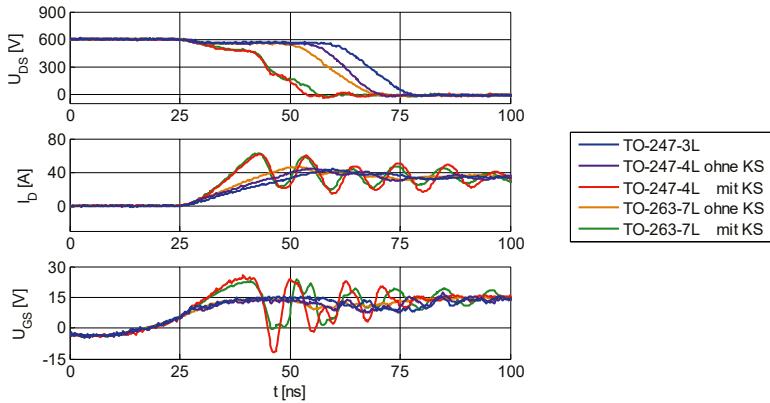


Bild 5.35: Gemessene Einschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFET in unterschiedlichen Gehäusen bei $U_{DC} = 600$ V, $I_D = 33,4$ A ... 34,2 A, $R_{G,ext} = 5,1$ Ω und $T_J = 23$ °C ... 25 °C

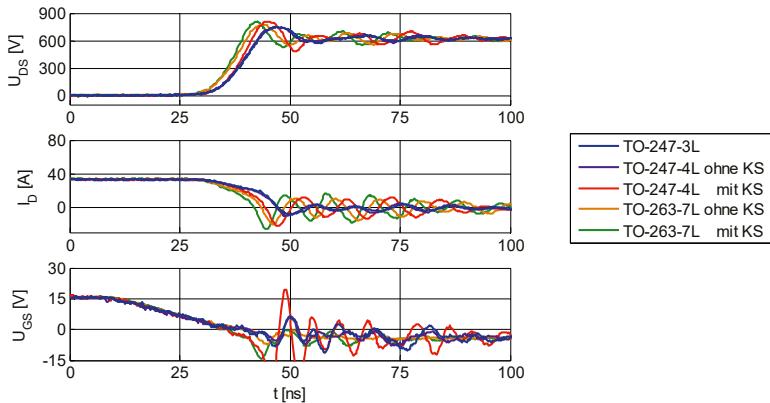


Bild 5.36: Gemessene Ausschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFET in unterschiedlichen Gehäusen bei $U_{DC} = 600$ V, $I_D = 33,4$ A ... 34,2 A, $R_{G,ext} = 5,1$ Ω und $T_J = 23$ °C ... 25 °C

Gehäuse eintritt. Bei ausschließlicher Betrachtung der Gehäuse ohne Nutzung des Kelvin-Source-Anschlusses wird offensichtlich, dass das dem TO-247-4L-ähnliche TO-247-3L-Gehäuse sich schon deutlich von diesem unterscheidet, wobei dieses hauptsächlich bei der Einschaltenergie auffällt. Das oberflächenmontierte TO-263-7L-Gehäuse hingegen schneidet im Hinblick auf die Schaltenergien bei dem angestellten Vergleich ohne Nutzung des Kelvin-Source-Anschlusses wesentlich besser ab als das TO-247-4L-Gehäuse.

Die ermittelten maximalen Schaltgeschwindigkeiten (Bild 5.39 und Bild 5.40) zeigen ebenfalls den Einfluss des Kelvin-Source-Anschlusses, da bei Verwendung desselben die höchsten

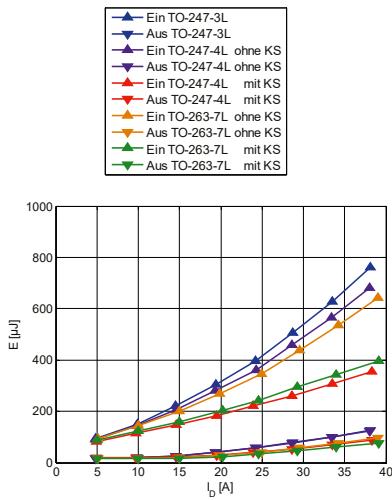


Bild 5.37: Gemessene Schaltenergien des SiC-MOSFET-Chips in unterschiedlichen Gehäusen ohne und mit Nutzung des Kelvin-Source-Anschlusses (soweit vorhanden) bei unterschiedlichen I_D mit $U_{DC} = 600$ V, $R_{G,ext} = 5,1$ Ω und $T_J = 23$ °C ... 25 °C

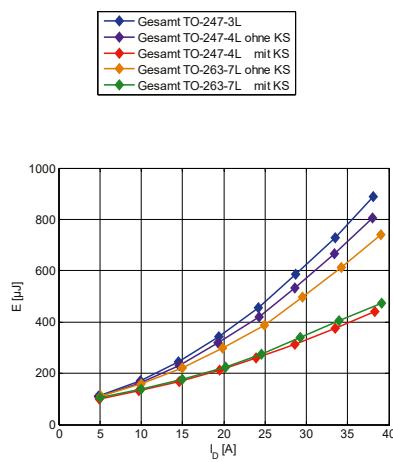


Bild 5.38: Gemessene Gesamtenergien des SiC-MOSFET-Chips in unterschiedlichen Gehäusen ohne und mit Nutzung des Kelvin-Source-Anschlusses (soweit vorhanden) bei unterschiedlichen I_D mit $U_{DC} = 600$ V, $R_{G,ext} = 5,1$ Ω und $T_J = 23$ °C ... 25 °C

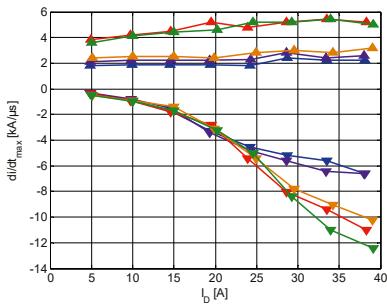


Bild 5.39: Zu Bild 5.37 gehörige di_D/dt_{max} -Werte

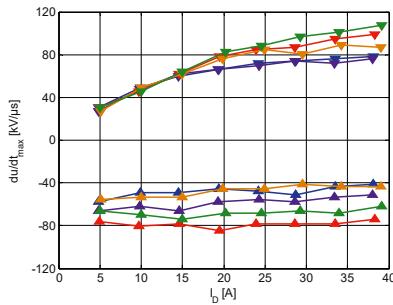


Bild 5.40: Zu Bild 5.37 gehörige du_{DS}/dt_{max} -Werte

di_D/dt - und du_{DS}/dt -Werte innerhalb der Transienten erreicht werden. Allerdings ergeben sich aufgrund der höheren Schaltgeschwindigkeiten offensichtlich auch stärkere Schwingungen des Drain-Stroms i_D und der Gate-Source-Spannung u_{GS} beim Ein- und Ausschalten (Bild 5.35 und Bild 5.36) sowie höhere Überspannungen in der Drain-Source-Spannung u_{DS} beim Ausschalten. Bei einer Erhöhung des Drain-Stroms I_D beim Ausschalten ergibt sich dies des Weiteren

ein deutlich stärkerer Anstieg der di_D/dt_{max} - und du_{DS}/dt_{max} -Werte im Vergleich zu einer Ansteuerung, bei der sich die Induktivität L_S auf die Gate-Source-Spannung auswirken kann. Beim Einschalten ist der Einfluss von I_D auf die Schaltgeschwindigkeiten weniger stark ausgeprägt. Jedoch heben sich die Schaltgeschwindigkeiten (im Speziell dem di_D/dt_{max}) der Gehäuse mit genutztem Kelvin-Source-Anschluss immer noch deutlich von den weiteren ab (Bild 5.36). Das TO-263-7L-Gehäuse ohne Nutzung des Kelvin-Source-Anschlusses sticht bei den Ausschaltgeschwindigkeiten hervor, da mit diesem ein Geschwindigkeitsniveau erreicht werden kann, das nur geringfügig unter dem des TO-247-4L-Gehäuses bei der Nutzung des Kelvin-Source-Anschlusses liegt. Der Einfluss des Kelvin-Source-Anschlusses zur Umgehung von L_S im Ansteuerkreis wirkt sich generell bei höheren Strömen deutlicher aus (Bild 5.38) (siehe auch [BÖAK17] [BÖAK18b]). Dieses konnte ebenso für SiC-BJT festgestellt werden [BASK16] [BASK17].

Nachfolgend werden die induktiven Einflüsse der unterschiedlichen Gehäuse simulativerisch unter idealisierten Bedingungen, das heißt bei einer für alle Gehäuse identischen Schaltumgebung, untersucht. Bis auf die Streuinduktivität L_σ des Lastkreises und $L_{\sigma,Diode}$ des Diodenkreises wurden keine weiteren parasitären Elemente berücksichtigt.

Zur Erstellung eines Simulationsmodells der Gehäuse der SiC-MOSFETs wurden diese zunächst durch Entfernen der Vergussmasse mittels Schwefelsäure geöffnet (siehe auch Bild 5.32) und der innere Aufbau vermessen. Anschließend wurden geometrische Simulationsmodelle der metallischen Teile in ANSYS Q3D erstellt (Bild 5.41). Lediglich die Dicke des Chips CPM3-0900-0065B [DB-Wolf17b] der SiC-MOSFETs wurde entsprechend der Herstellerangabe eingestellt. In den generierten Modellen wurden die Anschlüsse der Gehäuse nur bis zu den jeweiligen ersten Kontaktstellen, die mit einer Platine entstehen würden, berücksichtigt. Zur Wiedergabe der Resultate der Q3D-Simulationen in Matrizenform wurden die Stromrichtungen gemäß [Shei14] so gewählt, dass der Strom jeweils in den Drain- und Gate-Anschluss hinein- und aus dem Source- sowie Kelvin-Source-Anschluss hinausfließt (Bild 5.41).

Aus den Simulationsergebnissen wurden die Eigen- (L_x) und Gegeninduktivitäten (M_{xy}) der Gehäuse (Bild 5.41) extrahiert und ein elektrisches Simulationsmodell der Gehäuse in LTspice angelegt (Bild 5.42 sowie Bild 7.16 im Anhang). Die ermittelten Werte für das TO-247-3L-Gehäuse liegen in guter Nähe zu den in den Arbeiten [Shei14] [LNWS17] gegebenen Werten. Statt einer Nutzung der Gegeninduktivitäten im LTspice-Simulationsmodell sind gemäß Gleichung 46 [KuMR13] die Koppelfaktoren K_{xy} zu berechnen und in LTspice einzutragen.

$$K_{xy} = \frac{M_{xy}}{\sqrt{L_x \cdot L_y}} \quad (46)$$

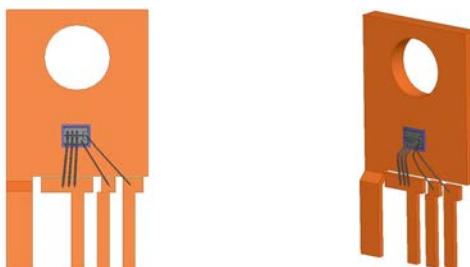
Auffällig ist bei den Q3D-Ergebnissen, dass die Induktivitäten L_{KS} der Kelvin-Source-Anschlüsse aufgrund der einzelnen Kelvin-Source-Bonddrähte der Gehäuse um einiges höher sind als die Induktivitäten L_S der Source-Anschlüsse. Dies kann in Hinblick auf [März11] [Kami17] (siehe auch Abschnitt 2.3) durch den mit der höheren Induktivität L_{KS} verbundenen Zwang, einen entsprechend hohen externen Gate-Widerstand $R_{G,ext}$ nutzen zu müssen, um Oszillationen im

TO-247-3L



$$L_{\text{TO-247-3L}}(1 \text{ MHz}) = \begin{bmatrix} L_D & M_{DS} & M_{DG} \\ M_{SD} & L_S & M_{SG} \\ M_{GD} & M_{GS} & L_G \end{bmatrix} = \begin{bmatrix} 3,87 & -1,74 & 1,77 \\ -1,74 & 6,64 & -1,04 \\ 1,77 & -1,04 & 9,75 \end{bmatrix} \text{nH}$$

TO-247-4L



$$L_{\text{TO-247-4L}}(1 \text{ MHz}) = \begin{bmatrix} L_D & M_{DS} & M_{DG} & M_{DKS} \\ M_{SD} & L_S & M_{SG} & M_{SKS} \\ M_{GD} & M_{GS} & L_G & M_{GKS} \\ M_{KSD} & M_{KSD} & M_{KSG} & L_{KS} \end{bmatrix} = \begin{bmatrix} 6,38 & -2,11 & 1,20 & -1,53 \\ -2,11 & 7,40 & -2,43 & 3,43 \\ 1,20 & -2,43 & 11,87 & -4,36 \\ -1,53 & 3,43 & -4,36 & 10,33 \end{bmatrix} \text{nH}$$

TO-263-7L



$$L_{\text{TO-263-7L}}(1 \text{ MHz}) = \begin{bmatrix} L_D & M_{DS} & M_{DG} & M_{DKS} \\ M_{SD} & L_S & M_{SG} & M_{SKS} \\ M_{GD} & M_{GS} & L_G & M_{GKS} \\ M_{KSD} & M_{KSD} & M_{KSG} & L_{KS} \end{bmatrix} = \begin{bmatrix} 0,13 & -0,03 & 0,02 & -0,03 \\ -0,03 & 3,61 & -1,20 & 1,64 \\ 0,02 & -1,20 & 8,40 & -3,10 \\ -0,03 & 1,64 & -3,10 & 6,65 \end{bmatrix} \text{nH}$$

Bild 5.41: Simulationsmodelle der Gehäuse in ANSYS Q3D und ermittelte Induktivitäten

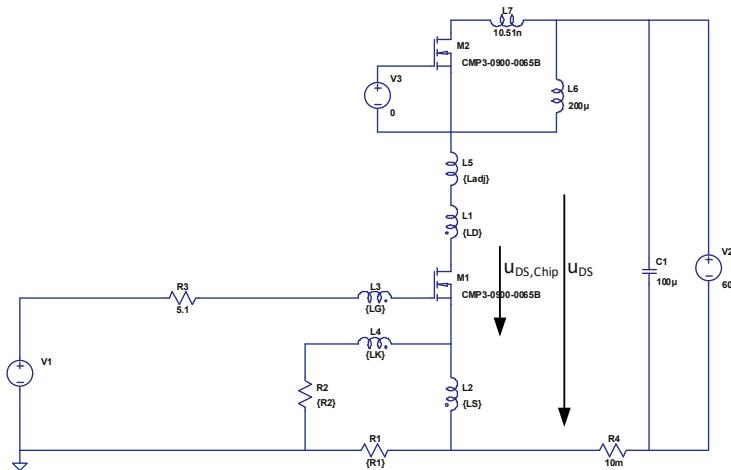


Bild 5.42: Zur Ermittlung des Schaltverhaltens des SiC-MOSFET-Chips CPM3-0900-0065B bei einer idealisierten Schaltumgebung in unterschiedlichen Gehäusen genutztes Simulationsmodell bei $U_{DC} = 600 \text{ V}$, $I_D \approx 40 \text{ A}$, $R_{G,\text{ext}} = 5,1 \Omega$, $U_{\text{Treiber}} = +15 \text{ V} / -4 \text{ V}$, $L_5 = 24 \text{ nH}$ und $T_J = 25^\circ \text{C}$

Ansteuerkreis auszuschließen (Gleichung 10), die Vorteile des Kelvin-Source-Anschlusses teilweise wieder zunichtemachen.

Die mit dem Simulationsmodell unter Nutzung eines Herstellermodells für den Chip CPM3-0900-0065B in LTspice ermittelten Schaltverläufe für das Ein- (Bild 5.43) und Ausschalten (Bild 5.44) zeigen aufgrund des idealisierten Verhaltens zum Teil quantitative als auch qualitative Differenzen zu den gemessenen Schaltverläufen (Bild 5.35 und Bild 5.36). Das simulierte Einschaltverhalten stimmt unter Beachtung der gegebenen Bedingungen gut mit dem gemessenen überein, wohingegen das Ausschaltverhalten Unterschiede in der Staffelung der Verläufe aufweist.

Es zeigt sich auch in den Simulationen jeweils für die Gehäuse TO-247-4L und TO-263-7L, bei welchen mit und ohne Kelvin-Source-Anschluss geschaltet wurde, der Vorteil der Umgebung der Source-Induktivität L_S in den Gesamtschaltzeiten. Das schnellere Schaltverhalten bei Verwendung des Kelvin-Source-Anschlusses spiegelt sich ebenfalls in den über den Chips erfassbaren Spannungen U_{GKS} (Bild 5.43 und Bild 5.44, jeweils untere Bildreihe) wider. Die Schwingungen im Ansteuerkreis nehmen - wie oben angeführt - unter anderem aufgrund der durch die Induktivität L_{KS} erhöhten Streuinduktivität im Ansteuerkreis sowie der stärkeren Anregung deutlich zu [März11] [Kami17]. Dies stimmt qualitativ mit den erfassten Messergebnissen (Bild 5.35 und Bild 5.36) überein.

Für das TO-247-4L-Gehäuse konnte des Weiteren bei der Verwendung des Kelvin-Source-Anschlusses simulatorisch festgestellt werden, dass eine Stromänderungsgeschwindigkeit dI_D/dt erreicht wird, bei welcher das Einschalten als eine Folge der Gesamtstreuinduktivität

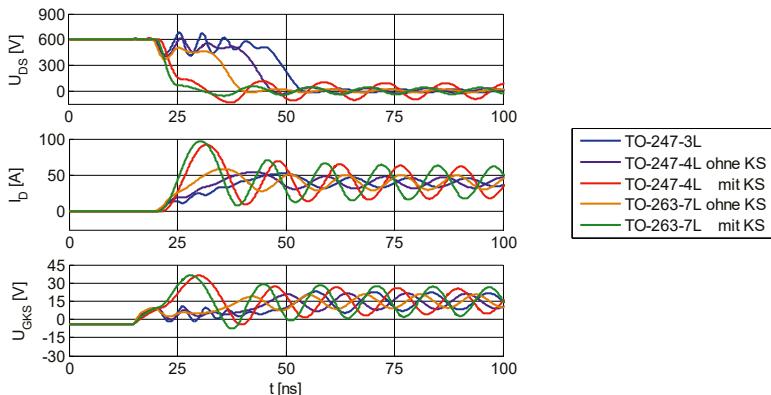


Bild 5.43: Simulierte Einschaltverläufe von u_{DS} , i_D und u_s des SiC-MOSFET Chips
CPM3-0900-0065B in unterschiedlichen Gehäusen

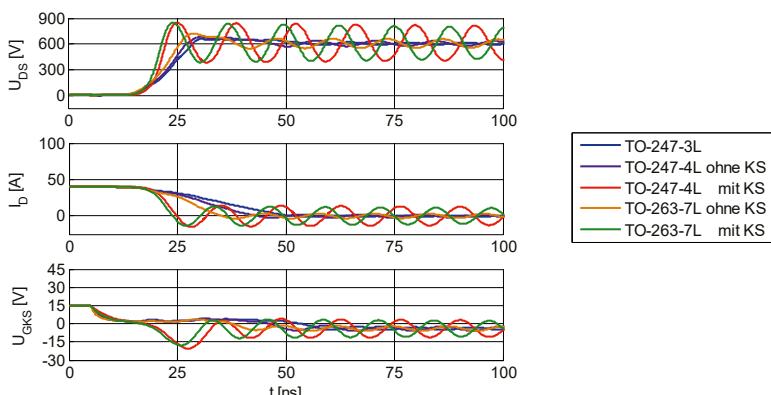


Bild 5.44: Simulierte Ausschaltverläufe von u_{DS} , i_D und u_s des SiC-MOSFET Chips
CPM3-0900-0065B in unterschiedlichen Gehäusen

des Lastkreises der Schaltung mit einer deutlich reduzierten Drain-Source-Spannung u_{DS} abläuft (Bild 5.45). Es erfolgt somit eine starke Reduzierung der Einschaltenergie E_{ein} . Die Veränderung der Spannung über dem SiC-MOSFET zeigt sich während der Simulation im Speziellen bei der Erfassung direkt am Chip (Bild 5.45, durchgezogene Verläufe), also inklusive der Auswirkung der Gehäuseinduktivitäten L_D und L_S . Durch die simulatorische Ermittlung der Spannung $u_{DS,chip}$ lässt sich auch die ausschließlich im Chip auftretende Verlustleistung P sowie die daraus hervorgehende Schaltenergie E_{ein} berechnen. Ein weiteres Resultat der Simulationen ist, dass sogar im Fall einer wesentlich reduzierten Streuinduktivität L_σ beziehungsweise

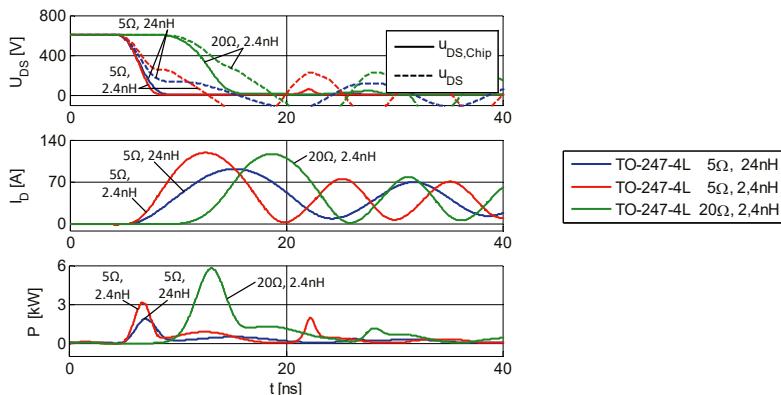


Bild 5.45: Simulierte Einschaltverläufe von u_{DS} , $u_{DS,chip}$, i_D und P des SiC-MOSFET Chips CPM3-0900-0065B im TO-247-4L-Gehäuse bei Verwendung des Kelvin-Source-Anschluss mit unterschiedlichen Werten für $R_{G,ext}$ und L_S bei $U_{DC} = 600$ V, $I_D \approx 40$ A, $U_{Treiber} = +15$ V / -4 V und $T_J = 25$ °C gemäß [BÖAK18b]

Tabelle 5.5: Einschaltenergie E_{ein} in Abhängigkeit von $R_{G,ext}$ und L_o bzw. L_S gemäß [BÖAK18b]

Gate-Widerstand $R_{G,ext}$	Streuinduktivität L_o bzw. L_S	Einschaltenergie E_{ein}
5 Ω	24 nH	3,35 μJ
5 Ω	2,4 nH	4,94 μJ
20 Ω	2,4 nH	19,6 μJ
60 Ω	2,4 nH	237 μJ

L_S (Bild 5.42) des Lastkreises eine sehr deutliche Verminderung der am Chip anliegenden Spannung $u_{DS,chip}$ während des Einschaltvorgangs auftritt. Die Induktivitäten L_D und L_S des TO-247-4L-Gehäuses führen somit auch ohne eine weitere signifikante Streuinduktivität L_o im Lastkreis zu einem Einschaltvorgang mit einer sehr geringen in den Chip eingebrachten Einschaltenergie E_{ein} (Tabelle 5.5). Entsprechend wird durch die Induktivitäten L_D und L_S eine Art von „Soft Switching“ beziehungsweise „Zero Voltage Switching“ verursacht [BÖAK18b]. Es muss eine starke Erhöhung des externen Gate-Widerstands $R_{G,ext}$ vorgenommen werden, damit die Spannung $u_{DS,chip}$ am SiC-MOSFET sich wesentlich verändert und die Einschaltenergie E_{ein} entsprechend hohe Werte annimmt.

Es zeigt sich also letztendlich, dass sich zumindest beim Einschalten die Streuinduktivitäten L_D und L_S des TO-247-4L-Gehäuses in Bezug auf die in den Chip eingebrachte Schaltenergie als nützlich erweisen können. Allerdings zeigt sich auch, dass die Gehäusestreuinduktivitäten einen exorbitanten Anteil an der Gesamtstreuinduktivität im Lastkreis einer halbwegs niedrig-induktiv ausgelegten Platine ($L_o = 24nH$) ausmacht und das Schaltverhalten somit wesentlich beeinflusst.

5.3.2.4 Einfluss der Freilaufdiode

Im Folgenden werden die Auswirkungen verschiedener SiC-Freilaufdioden (Tabelle 5.6) auf die Schaltvorgänge eines SiC-MOSFETs (X3M0065090K) betrachtet (siehe auch Abschnitt 3.1.4), da diese einen entscheidenden Einfluss auf die Transienten und somit die Schaltenergien E_{ein} und E_{aus} des SiC-MOSFETs haben (siehe auch Abschnitt 4.2.2). Es wird hierbei sowohl eine SiC-MPS-Diode (C4D10120D [DB-Wolf16d]) als auch eine intrinsische SiC-pin-Diode, die zu der des untersuchten SiC-MOSFET identisch ist (C3M0065090D [DB-Wolf16b]), genutzt.

Bei Verwendung der intrinsischen SiC-pin-Diode als Freilaufdiode ist bei Raumtemperatur im Vergleich zur SiC-MPS-Diode ein signifikanter Unterschied beim Einschalten des SiC-MOSFETs in der Höhe und im Umfang der Rückstromspitze aufgrund der gespeicherten Ladung Q_{RR} der pin-Diode erkennbar (Bild 5.46). Dieses Ergebnis unterscheidet sich somit von den in Abschnitt 4.2.2 gezeigten Messergebnissen, die im Bereich der Raumtemperatur keine signifikante Differenz zwischen den Ladungen der Rückstromspitzen einer intrinsischen pin-Diode eines SiC-MOSFETs (in diesem Fall der Hersteller Rohm) und denen diverser Schottky-Dioden erkennen ließen. Beim Ausschalten des SiC-MOSFETs (Bild 5.47) zeigt sich wiederum in den Stromverläufen i_D , dass die Kapazität C_J der MPS-Diode beziehungsweise die Ausgangskapazität C_{oss} der intrinsischen Freilaufdiode (Tabelle 5.6) voneinander abweichen: Da sich die Höhe des Stroms i_D durch die betrachteten Dioden nach erfolgter Umladung der Kapazitäten unterscheidet, kommt es auch beim Ausschalten zu deutlichen Abweichungen der weiteren Verläufe respektive deren Oszillationen. Auch wird aus den Verläufen der Drain-Source-Spannung U_{DS} und des Drain-Stroms i_D ersichtlich, dass die Spannungsänderungsgeschwindigkeit dU_{DS}/dt sowohl beim Ein- als auch beim Ausschalten und die Stromänderungsgeschwindigkeit di_D/dt lediglich beim Ausschalten bei Verwendung einer MPS-Diode höher ausfallen. Dies spiegelt sich auch in den entsprechenden Auftragungen der maximalen Schaltgeschwindigkeiten (Bild 5.48 und Bild 5.49) wider.

Es ergeben sich - verglichen mit der jeweils anderen SiC-Freilaufdiode - erwartungsgemäß für den SiC-MOSFET bei Verwendung der intrinsischen pin-Diode beim Einschalten, aufgrund der größeren Rückstromspitze (Bild 5.50) und beim Ausschalten des SiC-MOSFETs in Kombination mit der SiC-MPS-Diode, durch das höhere Stromniveau von i_D nach Umladung der

Tabelle 5.6: Eigenschaften der Freilaufdioden bei einer Sperrschiitttemperatur von $T_J = 25^\circ\text{C}$ beziehungsweise einer Sperrspannung von $U_R = 600 \text{ V}$ gemäß der Datenblätter [DB-Wolf16b] [DB-Wolf16d]

Freilaufdiode	Typ	Nennsperrspannung U_{BR}	Dauer-nennstrom I_F	Kapazität C_{oss} und C_J
C3M0065090D	intrinsische SiC-pin-Diode	900 V	23,5 A	60 pF @ $f = 1 \text{ MHz}, V_{GS} = 0 \text{ V}$
C4D10120D	SiC-MPS-Diode	1200 V	19 A	22 pF @ $f = 1 \text{ MHz}$

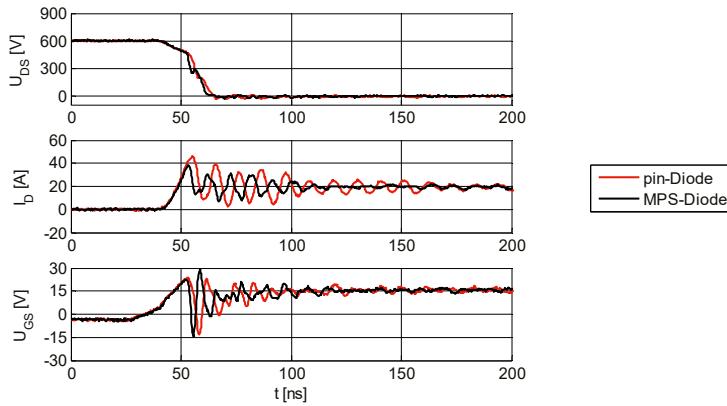


Bild 5.46: Einschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFET X3M0065090K in Kombination mit unterschiedlichen Freilaufdioden bei $U_{DC} = 600$ V, $I_D = 19,5$ A ... 19,6 A, $R_{G,ext} = 5,1$ Ω und $T_J = 24$ °C ... 25 °C

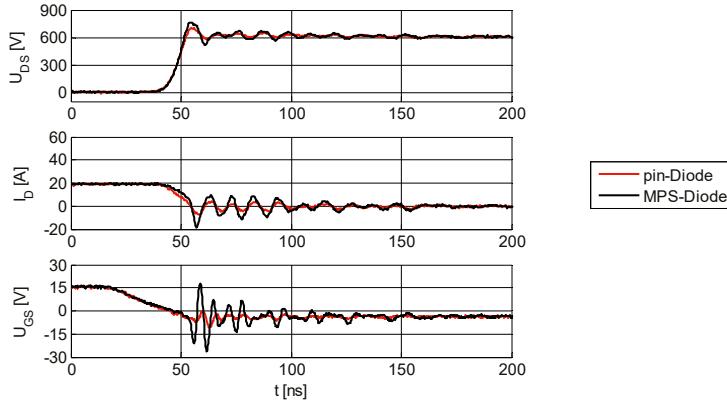


Bild 5.47: Ausschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFET X3M0065090K in Kombination mit unterschiedlichen Freilaufdioden bei $U_{DC} = 600$ V, $I_D = 19,5$ A ... 19,6 A, $R_{G,ext} = 5,1$ Ω und $T_J = 24$ °C ... 25 °C

Sperrsichtkapazität C_J , höhere Schaltenergien. Die Gesamtschaltenergie des SiC-MOSFETs X3M0065090K (Bild 5.51) ist, wie es ebenfalls erwartet wird, bedingt durch die Rückstromspitze mit der intrinsischen SiC-pin-Diode am höchsten. Gemäß Abschnitt 4.2.2 sollten die Schaltenergien für den SiC-MOSFET in Kombination mit einer intrinsischen SiC-pin-Diode bei höheren Sperrsichttemperaturen T_J weiter steigen, da die Sperrverzögerungsladung Q_{RR} mit T_J ebenfalls zunimmt. Der Einfluss über die Temperatur T_J ist aufgrund der temperaturunabhängigen Ladung Q_J bei SiC-Schottky-Dioden nicht gegeben (siehe ebenfalls Abschnitt 4.2.2)

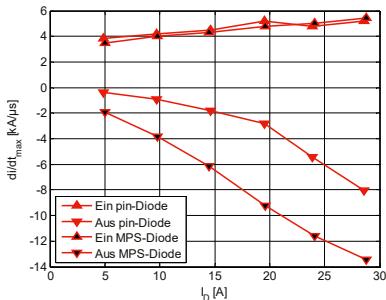


Bild 5.48: Maximale Stromänderungsgeschwindigkeiten di_D/dt_{max} des SiC-MOSFET X3M0065090K bei unterschiedlichen SiC-Freilaufdioden und Strömen I_D mit $U_{DC} = 600$ V, $R_{G,ext} = 5,1 \Omega$ und $T_J = 24^\circ C \dots 25^\circ C$

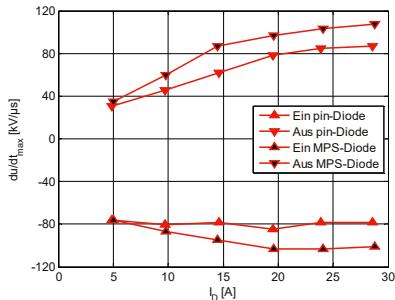


Bild 5.49: Maximale Spannungsänderungsgeschwindigkeiten du_{DS}/dt_{max} des SiC-MOSFET X3M0065090K bei unterschiedlichen SiC-Freilaufdioden und Strömen I_D mit $U_{DC} = 600$ V, $R_{G,ext} = 5,1 \Omega$ und $T_J = 24^\circ C \dots 25^\circ C$

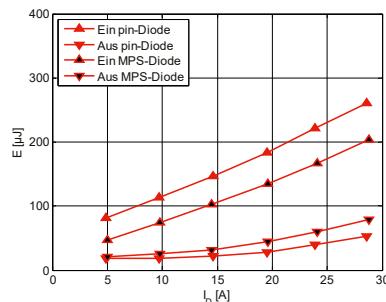


Bild 5.50: Schaltenergien E des SiC-MOSFET X3M0065090K bei unterschiedlichen SiC-Freilaufdioden und Strömen I_D mit $U_{DC} = 600$ V, $R_{G,ext} = 5,1 \Omega$ und $T_J = 24^\circ C \dots 25^\circ C$

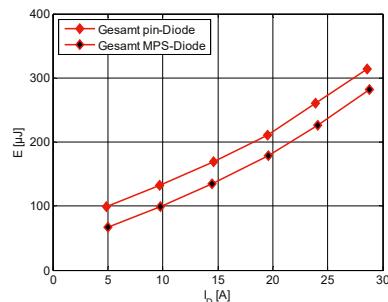


Bild 5.51: Gesamtschaltenergien E des SiC-MOSFET X3M0065090K bei unterschiedlichen SiC-Freilaufdioden und Strömen I_D mit $U_{DC} = 600$ V, $R_{G,ext} = 5,1 \Omega$ und $T_J = 24^\circ C \dots 25^\circ C$

und entsprechend ist hier die Gesamtschaltenergie des SiC-MOSFETs nur von der Temperaturabhängigkeit des SiC-MOSFETs selbst beeinflusst (Abschnitt 5.3.2.2).

5.4 3,3 kV MOSFET

Im Rahmen der vorliegenden Arbeit wurden neben den kommerziellen 1,2 kV SiC-MOSFETs vier Exemplare des bisher nicht kommerziell erhältlichen 3,3 kV SiC-MOSFETs GA400MOS33-Wing vermessen. Dieser lag in einem nicht standardisierten Gehäuse vor. Die Ergebnisse werden in den nachfolgenden Unterabschnitten im Hinblick auf zukünftige hochsperrende SiC-Halbleiterbauelemente dargestellt. Die Messergebnisse wurden zum Teil auch

dem Hersteller des SiC-MOSFETs GA400MOS33-Wing, GeneSiC Semiconductor, Inc., zur Verfügung gestellt. Dieser hat die Ergebnisse bereits im Rahmen eines Vortrags (TU.D2.10) auf der ICSCRM2017 verwendet.

5.4.1 Durchlassverhalten

Im aufgenommenen Kennlinienfeld (Bild 5.52) ist - im Vergleich zu den in Abschnitt 5.3.1 gezeigten Kennlinien der 1,2 kV SiC-MOSFETs (Bild 5.12 bis Bild 5.14) - eine wesentlich steilere Ausgangskennlinie für eine Gate-Source-Spannung von $U_{GS} = 20 auszumachen. Es zeigt sich somit ein Verhalten, das im ohmschen Bereich der Kennlinie eher den Erwartungen an einen MOSFET entspricht, als es für die vermessenen 1,2 kV SiC-MOSFETs der Fall ist. Die betreffenden Kennlinien des 3,3 kV SiC-MOSFETs für eine Gate-Source-Spannung von $U_{GS} = 20 zeigen bei einem Drain-Strom von $I_D = 5\text{ A}$ einen gemittelten Durchlasswiderstand von $R_{DS,ON25^\circ C} = 402,5\text{ m}\Omega$, der somit annähernd der Herstellerangabe von $R_{DS,ON25^\circ C}(I_D = 4\text{ A}) = 400\text{ m}\Omega$ [DB-Gene17] entspricht. In Kombination mit den gemessenen aktiven Chipflächen der zur Verfügung stehenden 3,3 kV SiC-MOSFETs, die auf einen durchschnittlichen Wert von ungefähr $A_{aktiv} \approx 0,047\text{ cm}^2$ führen, kommt es bei $T_J = 25^\circ C$ zu einem spezifischen Widerstand des 3,3 kV SiC-MOSFETs von $r_{DS,ON25^\circ C} \approx 19\text{ m}\Omega \cdot \text{cm}^2$.$$

Anhand eines 3,3 kV SiC-MOSFETs (Sample # 4) wurde die Schwellenspannung U_{th} bei unterschiedlichen Sperrsichttemperaturen T_J sowie Drain-Strömen I_D ermittelt. Es stellt sich eine negative Korrelation zwischen der Schwellenspannung U_{th} und der Temperatur T_J ein (Bild 5.53), wobei die Schwellenspannung U_{th} allerdings im Vergleich zu den Werten der 1,2 kV SiC-MOSFETs aus Tabelle 5.2 um ungefähr $\Delta U_{th}(2\text{ mA}) \approx 0,7\text{ V}$ niedriger liegt. Solch geringe

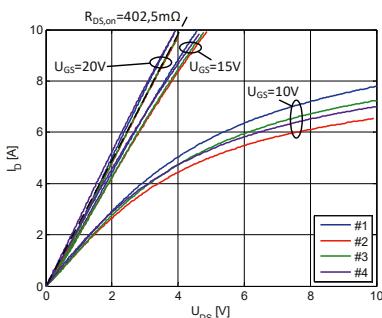


Bild 5.52: Durchlasskennlinien der vier 3,3 kV SiC-MOSFETs GA400MOS33-Wing von GeneSiC Semiconductor, Inc. bei $T_J = 25^\circ C$

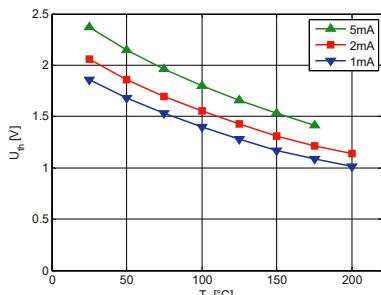


Bild 5.53: Mit Kennlinienschreiber Tektronix CT370A gemessene Schwellenspannungen U_{th} von Sample # 4 bei $U_{GS} = U_{DS}$ und unterschiedlichen Sperrsichttemperaturen T_J

Werte für U_{th} sind im Hinblick auf ein sicheres Schalt- beziehungsweise Sperrverhalten durchaus kritisch zu sehen und können eine negative Ansteuerspannung $U_{Treiber}$ erforderlich machen (siehe auch Abschnitt 2.2.5).

5.4.2 Schaltverhalten

Bei den Doppelpulsversuchen wurde in beiden Positionen der Anordnung (Bild 5.1) ein 3,3 kV SiC-MOSFET verwendet (Samples # 2 und # 3). Zur Ansteuerung des SiC-MOSFETs in der unteren Position wurde die Ansteuerschaltung nach Bild 5.17 genutzt, wobei diese aus Sicherheitsgründen um einen Optokoppler zur Erhöhung der Isolationsspannung auf über 2,2 kV [DB-Avag16] erweitert wurde. Beim oberen SiC-MOSFET wurde die Gate-Source-Strecke lediglich kurzgeschlossen. Die beim Einschalten ermittelte Streuinduktivität des Lastpfads der Testplatine belief sich auf einen Wert von ungefähr $L_o \approx 55 \text{ nH}$.

Die Ansteuerspannung $U_{Treiber}$ und der Gate-Widerstand R_G bestimmen den maximal auftreffenden Gate-Strom i_G . Wie schon für die 1,2 kV SiC-MOSFETs gezeigt (Abschnitt 5.3.2.1), ist somit auch beim 3,3 kV SiC-MOSFET eine positive Korrelation zwischen der positiven Ansteuerspannung $U_{Treiber}$ und den Schaltgeschwindigkeiten di_D/dt sowie $d(-u_{DS})/dt$ gegeben (Bild 5.54). Somit stellt sich gleichermaßen die aus Abschnitt 5.3.2.1 bekannte negative Korrelation zwischen der positiven Ansteuerspannung $U_{Treiber}$ und der Schaltenergie E_{ein} ein (Bild 5.55). Weiterhin zeigt sich in den Schaltverläufen die Auswirkung der Ladung Q_{RR} der intrinsischen pin-Diode in Form deutlich ausgeprägter Rückstromspitzen (siehe auch Abschnitt 5.3.2.4). Aus der grafischen Darstellung der Schaltenergien E_{ein} und E_{aus} (Bild 5.55) ist ebenfalls die bekannte Abhängigkeit selbiger vom Drain-Strom I_D ersichtlich. Der 3,3 kV SiC-

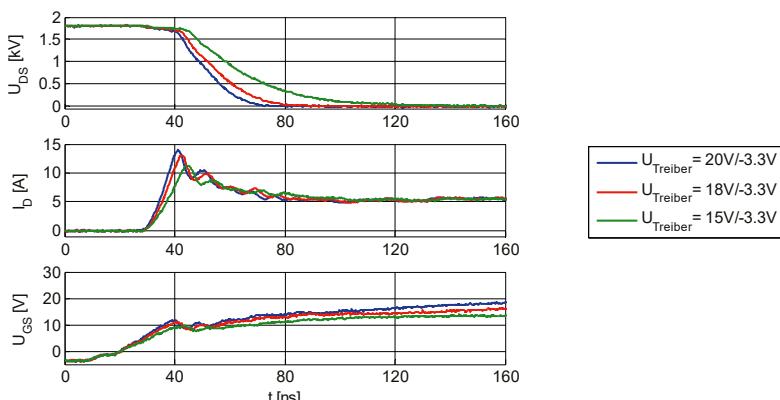


Bild 5.54: Einschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFETs GA400MOS33-Wing bei $U_{DC} = 1,8 \text{ kV}$, $I_D = 5 \text{ A}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_j = 25^\circ\text{C}$

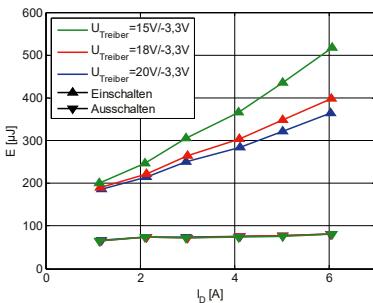


Bild 5.55: Schaltenergien E des SiC-MOSFET GA400MOS33-Wing bei unterschiedlichen Ansteuerspannungen U_{Treiber} mit U_{DC} = 1,8 kV, R_{G,ext} = 10 Ω und T_J = 25 °C

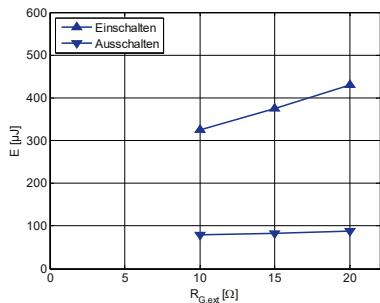


Bild 5.56: Schaltenergien E des SiC-MOSFET GA400MOS33-Wing bei unterschiedlichen externen Gate-Widerständen R_{G,ext} mit U_{DC} = 1,8 kV, I_D = 5 A, U_{Treiber} = 20 V/-3,3 V und T_J = 25 °C

MOSFET weist ferner bei einer Zunahme des externen Gate-Widerstands R_{G,ext} die erwartete Erhöhung der Schaltenergien auf (Bild 5.56, siehe auch Abschnitt 5.3.2.2).

Generell gelten die in dieser Arbeit dargelegten Abhängigkeiten für SiC-MOSFETs unabhängig von der tatsächlichen Spannungsklasse. Dies zeigt sich auch beim Vergleich der Messungen der 1,2 kV SiC-MOSFETs aus Abschnitt 5.3 mit denen des 3,3 kV SiC-MOSFETs. Dementsprechend erfüllt das Schaltverhalten des 3,3 kV SiC-MOSFETs also in jeglicher Hinsicht die Erwartungen an einen typischen SiC-MOSFET.

5.5 Zerstörungsgrenzen beim Kurzschluss

Ein Kurzschluss- oder Überstromereignis stellt eine außerordentliche Belastung für einen Transistor dar. Die Dauer t_{SC} eines solchen Ereignisses bestimmt, ob der Transistor dieses unbeschädigt übersteht, durch dieses degradiert oder sogar zerstört wird. Eine Analyse des Kurzschlussverhaltens wird nachfolgend anhand eines SiC-MOSFETs durchgeführt. Der vorliegende Abschnitt zu dieser Thematik basiert zu Teilen auf den Ergebnissen des betreuten studentischen Arbeitsvorhabens [BsA-Kret16], das die Untersuchung des hier ebenfalls betrachteten SiC-MOSFETs SCT2450KE von Rohm bei einer geringeren positiven Ansteuerspannung (U_{Treiber} = 15 V/0 V) zur Aufgabe hatte. Ferner baut dieser Abschnitt anteilig auf den Ergebnissen des ebenfalls betreuten studentischen Arbeitsvorhabens [BsA-Groß17] auf.

Die Dauer t_{SC} des Kurzschlusses, der auftretende temperaturabhängige Drain-Strom i_{D,SC} und die über dem Chip anliegende Drain-Source-Spannung u_{DS} definieren die in den Chip des SiC-MOSFETs eingebrachte Kurzschlussenergie E_{SC}. Das Einbringen der Energie E_{SC} bedeutet einen Wärmeeintrag in diesen. Sofern sich die Sperrsichttemperatur T_J des SiC-MOSFETs zu

Beginn des Kurzschlusses auf einem erhöhten Temperaturniveau $T_{j,ini}$ befindet, wird bei gleichbleibender Verlustleistung P_{SC} die maximal zur Verfügung stehende Zeit t_{SC} um den Kurzschluss aufzuheben vermindert, da die thermische Kapazität C_{th} des Chips infolge der eingebrachten Wärme Q_{th} beziehungsweise Energie E vorbelastet ist (Gleichung 47 [HHJK11]). Es liegt also eine schlechtere Ausgangssituation durch eine höhere initiale Energie E im Chip vor.

$$Q_{th} = \Delta T_j \cdot C_{th} \quad \Rightarrow \quad \Delta T_j = \frac{Q_{th}}{C_{th}} = \frac{E}{C_{th}} = \frac{P_{SC} \cdot t_{SC}}{C_{th}} \quad (47)$$

Der zur Ermittlung des Kurzschlussverhaltens genutzte SiC-MOSFET SCT2450KE von Rohm hat, wie alle in dieser Arbeit untersuchten SiC-MOSFETs, eine planare Kanalstruktur und kann laut Datenblatt [DB-Rohm15f] einen Dauernennstrom von $I_D = 10$ A bei $T_C = 25$ °C sowie von $I_D = 7$ A bei $T_C = 150$ °C führen. Des Weiteren weist dieser gemäß Datenblatt bei $U_{GS} = 18$ V und $I_D = 3$ A einen Durchlasswiderstand von $R_{DS,on25\text{ °C}} = 450$ mΩ bei $T_J = 25$ °C sowie $R_{DS,on150\text{ °C}} = 700$ mΩ bei $T_J = 150$ °C auf. Dies führt in Kombination mit der in Tabelle 4.5 gegebenen aktiven Chip-Fläche zu einem spezifischen Durchlasswiderstand von $r_{DS,on25\text{ °C}} = 8,78$ mΩ respektive $r_{DS,on150\text{ °C}} = 13,65$ mΩ.

Zur Vorbeugung einer fatalen Überlastung des Messaufbaus nach dem Abschluss eines Kurzschlussversuchs wurde der Strompfad der Testplatine ($L_o \approx 177$ nH im Doppelpulsbetrieb) jeweils mit einem zum zu untersuchenden SiC-MOSFET SCT2450KE in Reihe befindlichen Transistor nach einer voreingestellten Zeit geöffnet [BsA-Kret16]. Das Öffnen des Strompfads wurde in diesem Fall mit einem weiteren SiC-MOSFET als Trenner (SCT3040KL von Rohm [DB-Rohm16]) vorgenommen (Bild 5.57). Die gewählte Verzögerungszeit bis zum Öffnen entspricht 5 µs, wobei dies ein Kompromiss zwischen der Unterbindung einer Überlastung des Messaufbaus und der Beobachtbarkeit von dem planmäßigen Abschalten des SiC-MOSFETs

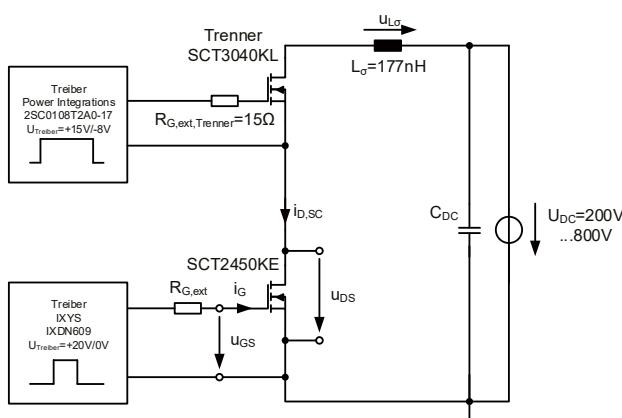


Bild 5.57: Schaltung zur Durchführung der Transistorcharakterisierung im Kurzschlussbetrieb

SCT2450KE nachgelagerten Effekten ist. Die Temperierung des zu untersuchenden SiC-MOSFETs wurde auch hier mit der in Abschnitt 3.1.3 vorgestellten Heizeinrichtung vorgenommen. Da keine Ermittlung von dI_D/dt_{max} - und dU_{DS}/dt_{max} -Werten vorgenommen wurde, fand bei der Auswertung auch keine Filterung der Messwerte statt. Zudem wurde abweichend von Abschnitt 3.1.4 lediglich eine Offsetbeseitigung beim Drain-Strom, allerdings nicht bei der Drain-Source- sowie Gate-Source-Spannung, durchgeführt.

Das Kurzschlussverhalten eines SiC-MOSFETs wird unter anderem über die angelegte Ansteuerspannung $U_{Treiber}$ mittels des Kanals beeinflusst, wodurch nicht zuletzt die maximale Höhe des Drain-Stroms $I_{D,SC}$, welche positiv zur Ansteuerspannung korreliert ist, mitbestimmt wird [MBHB16]. Wie schon in Abschnitt 5.3.1 geschildert, sind nach Kimoto et al. [KiCo14] ebenfalls temperaturabhängige Streueffekte für die Beeinflussung der Kanalbeweglichkeit μ_n^* und folglich für die Temperaturabhängigkeit von $I_{D,SC}$ verantwortlich. Entsprechend Sun et al. [SXWY17] führen diese Streueffekte bis zu einer von der Ansteuerspannung $U_{Treiber}$ abhängigen Sperrsichttemperatur T_J zu einer Zunahme und bei einer weiteren Erhöhung von T_J durch den Kurzschluss wiederum zu einer Abnahme der Kanalbeweglichkeit μ_n^* , womit der Drain-Strom $I_{D,SC}$ zu Beginn einer Messung ebenfalls eine Zunahme seiner Amplitude, gefolgt von einem Abfall selbiger, zeigt. Diese Temperaturabhängigkeit wird auch anhand der am SCT2450KE aufgenommenen prinzipiellen Verläufen für einen Kurzschluss (Bild 5.58 und Bild 5.59) der Dauer von $t_{SC} = 5 \mu s$ bei $U_{DC} = 800 \text{ V}$, $U_{Treiber} = 20 \text{ V}/0 \text{ V}$ und unterschiedlichen initialen Sperrsichttemperaturen $T_{J,ini}$ dargelegt. Die Verlustleistung während des Verlaufs des Kurzschlusses erwärmt den Chip des SCT2450KE bei höheren initialen Sperrsichttemperaturen $T_{J,ini}$ früher auf die Sperrsichttemperatur T_J , bei der sich nach Huang et al. [HWLH13] und Sun et al. [SXWY17] der Scheitelpunkt der Kanalbeweglichkeit μ_n^* befindet. Mit ansteigender initialer Sperrsichttemperatur $T_{J,ini}$ tritt der maximale Drain-Strom $I_{D,SCmax}$ entsprechend früher auf, kann allerdings keine so hohen Werte annehmen, wie es für geringere initiale Sperrsichttemperaturen $T_{J,ini}$ der Fall ist (Bild 5.59). Ein solches Verhalten konnte ebenso bei Messungen mit anderen Zwischenkreisspannungen U_{DC} ermittelt werden (Bild 5.60) und spiegelt sich in der Auftragung der durch den Kurzschluss in den SiC-MOSFET eingebrachten Energie E_{SC} wider (Bild 5.61). Es wird weiterhin aus Bild 5.59 beziehungsweise aus Bild 5.60 bei $U_{DC} = 800 \text{ V}$ ersichtlich, dass für $U_{Treiber} = 20 \text{ V}/0 \text{ V}$ der Dauernennstrom um den Faktor 5,6 ($I_{D,SCmax25^\circ\text{C}} = 56,3 \text{ A}$) bei Raumtemperatur sowie den Faktor 7,7 ($I_{D,SCmax150^\circ\text{C}} = 53,8 \text{ A}$) bei $T_{J,ini} = 150^\circ\text{C}$ überschritten wird. Bei einer Reduzierung der Ansteuerspannung auf $U_{Treiber} = 15 \text{ V}/0 \text{ V}$ halbiert sich diese Faktoren jeweils nahezu, wie aus den Ergebnissen des studentischen Arbeitsvorhabens [BsA-Kret16] hervorgeht. Der prinzipielle Trend des maximalen Drain-Stroms $I_{D,SCmax}$ stimmt entsprechend für unterschiedliche Ansteuerspannungen $U_{Treiber}$ mit dem eines in [MBHB16] untersuchten SiC-MOSFETs überein.

Eine Messreihe am SiC-MOSFET SCT2450KE veranschaulicht (Bild 5.62 bis Bild 5.64), dass dieser bei $U_{DC} = 800 \text{ V}$, $U_{Treiber} = 20 \text{ V}/0 \text{ V}$ und $T_{J,ini} = 25^\circ\text{C}$ schon infolge eines Kurzschlusses der Dauer $t_{SC} = 8 \mu s$ stark geschädigt und somit für eine weitere Verwendung unbrauchbar wird. Bild 5.62 zeigt das Zusammenbrechen der Drain-Source-Spannung U_{DS} nach dem Öffnen

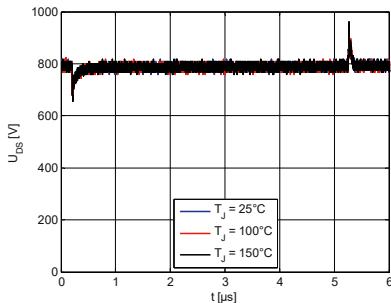


Bild 5.58: Spannung u_{DS} des SiC-MOSFET SCT2450KE bei unterschiedlichen initialen Sperrsichtstemperaturen $T_{j,ini}$ mit $U_{DC} = 800$ V, $U_{Treiber} = 20$ V/0 V und $R_{G,ext} = 10 \Omega$

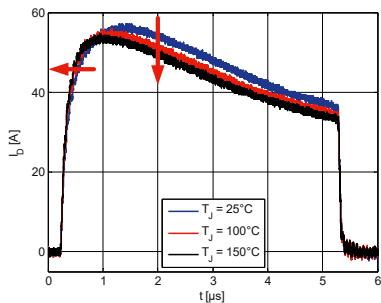


Bild 5.59: Strom $i_{D,SC}$ des SiC-MOSFET SCT2450KE bei unterschiedlichen initialen Sperrsichtstemperaturen $T_{j,ini}$ mit $U_{DC} = 800$ V, $U_{Treiber} = 20$ V/0 V und $R_{G,ext} = 10 \Omega$

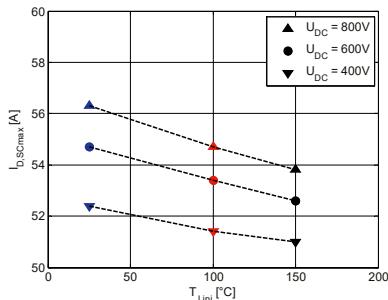


Bild 5.60: Ermittelte maximale Höhe des Stroms $i_{D,SC}$ bei unterschiedlichen initialen Sperrsichtstemperaturen $T_{j,ini}$ und Zwischenkreisspannungen U_{DC} mit $U_{Treiber} = 20$ V/0 V und $R_{G,ext} = 10 \Omega$

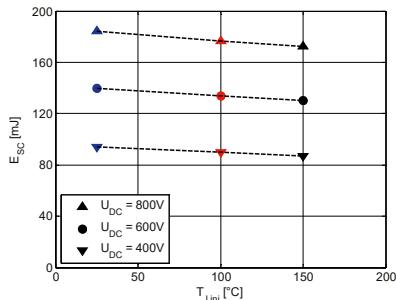


Bild 5.61: Ermittelte Kurzschlussenergie I_{SC} bei unterschiedlichen initialen Sperrsichttemperaturen $T_{j,ini}$ und Zwischenkreisspannungen U_{DC} mit $U_{Treiber} = 20$ V/0 V und $R_{G,ext} = 10 \Omega$

des Strompfads durch den dafür vorgesehenen Trenner SCT3040KL, das offensichtlich mit den Drain-Leckströmen $i_{D,Leck}$ (Bild 5.63) korreliert ist. Das Zusammenbrechen der Spannung u_{DS} würde durch das Fehlen des hier vorhandenen Trenners in einer realen Anwendung nicht auftreten. Es charakterisiert allerdings im vorliegenden Fall die Entladung der Ausgangskapazität C_{oss} des betrachteten SiC-MOSFETs SCT2450KE durch den Leckstrom $i_{D,Leck}$. In den Stromverläufen (Bild 5.63) ist zu erkennen, dass nach dem jeweiligen Absenken der Ansteuerspannung auf $U_{Treiber} = 0$ V (Bild 5.64) aufgrund der zwischen den einzelnen Messungen um $\Delta t = 1 \mu s$ gesteigerten Kurzschlussdauer t_{SC} eine Erhöhung des Drain-Leckstroms $i_{D,Leck}$ in Form immer ausgeprägter „Stromschweife“ [CFKH13] vorliegt. Ein solcher Zuwachs der Leckströme beziehungsweise Stromschweife mit der Kurzschlussdauer t_{SC} konnte in [CFKH13] allerdings noch nicht festgestellt werden. In dem studentischen Arbeitsvorhaben [BsA-Kret16] wurde für den

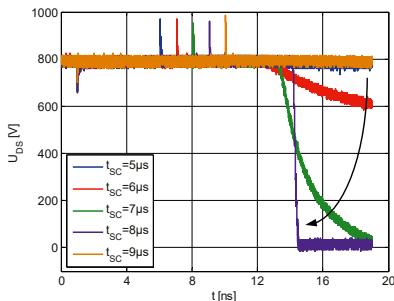


Bild 5.62: Spannung u_{DS} des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 25 \text{ }^{\circ}\text{C}$

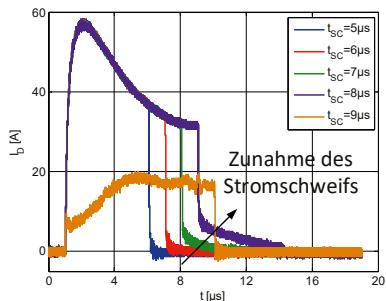


Bild 5.63: Strom $i_{D,SC}$ des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 25 \text{ }^{\circ}\text{C}$

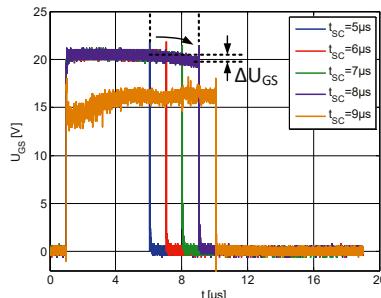


Bild 5.64: Spannung u_{GS} des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 25 \text{ }^{\circ}\text{C}$

hier untersuchten SiC-MOSFET SCT2450KE bei einer deutlich geringeren Ansteuerspannung von $U_{\text{Treiber}} = 15 \text{ V}/0 \text{ V}$ sowie in beispielsweise [RMRA15] für einen SiC-MOSFET von Cree/Wolfspeed bei unterschiedlichen Ansteuerspannungen jedoch ebenfalls eine Erhöhung des Drain-Leckstroms mit der Kurzschlussdauer t_{SC} ermittelt. Entsprechend Romano et al. [RMRA15] treten diese deutlich über dem normalen Niveau des Drain-Leckstroms $i_{D,\text{Leck}}$ liegenden Stromschweife durch die starke Temperaturerhöhung des SiC-MOSFET-Chips infolge der Kurzschlüsse auf. Die Gate-Source-Spannung u_{GS} (Bild 5.64) weist ferner ein deutliches Einbrechen nach einer Kurzschlusszeit von $t_{SC} = 5 \mu\text{s}$ in allen Verläufen auf. Entsprechend Chen et al. [CLLP15a] sowie Romano et al. [RMRA15] resultiert dies aus dem auftretenden Gate-Leckstrom $i_{G,\text{Leck}}$. Der Verlauf des Drain-Stroms $i_{D,SC}$ zeigt für $t_{SC} = 9 \mu\text{s}$ (Bild 5.63), dass der SiC-MOSFET trotz offensichtlicher Schädigung der Gate-Source-Strecke noch auf ein durch diesen Defekt stark reduziertes Ansteuersignal u_{GS} reagiert, aber nicht korrekt einschaltet. Es scheint also eine partielle Durchlässigkeit der Gate-Source-Strecke gegeben zu sein.

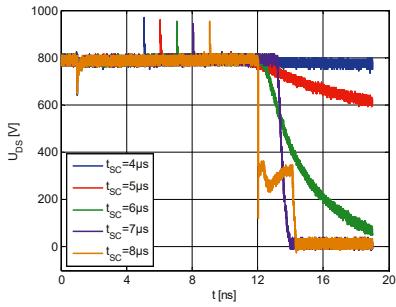


Bild 5.65: Spannung u_{DS} des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$

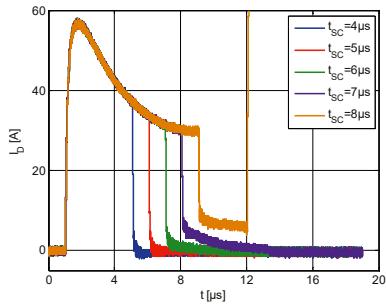


Bild 5.66: Strom $i_{D,SC}$ des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$

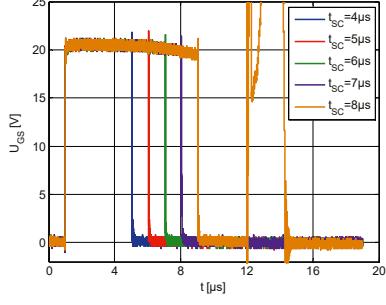


Bild 5.67: Spannung u_{GS} des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$

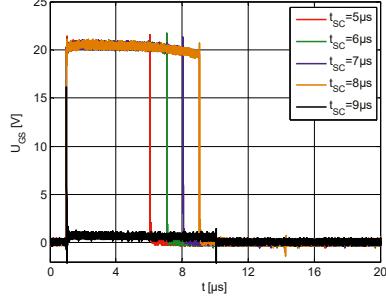


Bild 5.68: Spannung u_{GS} des SiC-MOSFET SCT2450KE bei unterschiedlichen Kurzschlusszeiten t_{SC} mit $U_{DC} = 800 \text{ V}$, $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$, $R_{G,\text{ext}} = 10 \Omega$ und $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$

Bei einer Erhöhung der initialen Sperrsichttemperatur auf $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$ kommt es offensichtlich zu identischen Abhängigkeiten wie bei $T_{J,\text{ini}} = 25 \text{ }^{\circ}\text{C}$: Ebenso wie bei $T_{J,\text{ini}} = 25 \text{ }^{\circ}\text{C}$ ist bei $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$ ein Zusammenbrechen der Drain-Source-Spannung u_{DS} nach dem Öffnen des Strompfads, eine stärkere Ausprägung der Stromeinschwüfe mit zunehmender Kurzschlussdauer t_{SC} sowie eine Reduzierung der Gate-Source-Spannung u_{GS} nach $t_{SC} = 5 \mu\text{s}$ auszumachen (Bild 5.65 bis Bild 5.67). Der SiC-MOSFET wird allerdings bei $T_{J,\text{ini}} = 150 \text{ }^{\circ}\text{C}$ nach einer Kurzschlussdauer von $t_{SC} = 8 \mu\text{s}$ so stark geschädigt, dass dieser eine niederohmige Drain-Source- (Bild 5.65) sowie Gate-Source-Strecke (in Bild 5.67 nicht dargestellt) aufweist. Der Fall einer niederohmigen Drain-Source-Strecke ist jedoch nur gegeben, sofern das Durchbrechen der Drain-Source-Strecke vor dem Öffnen des Strompfads, in Bild 5.66 bei $t_{\text{öffnen}} = 14 \mu\text{s}$, stattfin-

det. Schaltet der Trenner hingegen während des abklingenden Drain-Leckstroms trotz der Verzögerung von $5\mu\text{s}$ für die Drain-Source-Strecke des SiC-MOSFETs noch rechtzeitig ab, kommt es hingegen lediglich zu einer Schädigung der Gate-Source-Strecke (Bild 5.68). Diese wird also offensichtlich zuerst geschädigt. Auch bei Chen et al. [CLLP15b] zeigte sich, dass ein SiC-MOSFET von Rohm (SCT2080KE) zuerst ein Versagen der Gate-Source-Strecke aufweist, dem meist ein Drain-Source-Kurzschluss folgt. März et al. [MBHB16] haben darauf aufbauend die Feststellung getroffen, dass die hohen thermischen Kapazitäten C_{th} der SiC-MOSFETs von Rohm ausschlaggebend für die oftmals lediglich an der Gate-Source-Strecke vorzufindende Zerstörung ist. In Tabelle 5.7 sind die jeweils niederohmig gewordenen Strecken des SCT2450KE in Abhängigkeit der Temperatur $T_{\text{j,ini}}$ und der Zwischenkreisspannung U_{DC} aufgeführt.

Bei Betrachtung der Kurvenverläufe der Gate-Source-Spannung u_{GS} (Bild 5.64, Bild 5.67 und Bild 5.68), der eintretenden niederohmigen Strecken (Tabelle 5.7) sowie der in diesem Unterabschnitt aufgeführten Quellen, wie zum Beispiel [CLLP15b] und [MBHB16], wird also offensichtlich, dass die Gate-Source-Strecke für die Widerstandsfähigkeit des SiC-MOSFETs SCT2450KE gegen Kurzschlüsse bestimmt ist. Chen et al. [CLLP15b] sowie Castellazzi et al. [CFYR14] geben die Schädigung der Gate-Source-Strecke beziehungsweise des Gate-Oxids durch Überhitzung als wahrscheinliche Fehlerursache an. Sadik et al. [SCTP16] ermittelten des Weiteren simulatorisch, dass die höchsten Temperaturen während des Kurzschlusses eines Rohm-SiC-MOSFETs der zweiten Generation, also der gleichen Generation wie des hier untersuchten SCT2450KE, direkt unterhalb des Gate-Oxids im Bereich des intrinsischen JFETs entstehen und somit das Gate-Oxid durch die Hitzeeinwirkung geschädigt werden kann. Ebenfalls wurde der Bereich des JFETs von Romano et al. [RMRA15] für SiC-MOSFETs des Herstellers Cree/Wolfspeed, welche ebenfalls eine planare Kanalstruktur aufweisen, als für das Kurzschluss- beziehungsweise interne Temperaturverhalten des Chips kritisch identifiziert.

Eine Auswertung der durchgeführten Schaltversuche mit dem SiC-MOSFET SCT2450KE bei $U_{\text{Treiber}} = 20 \text{ V}/0 \text{ V}$ und $R_{\text{G,ext}} = 10 \Omega$ bei den zwei unterschiedlichen initialen Sperrsichttemperaturen $T_{\text{j,ini}}$ zeigt (Bild 5.69), dass die zur Verfügung stehende Zeit, um einen Kurzschluss zu beseitigen, bis zu einer Zwischenkreisspannung von $U_{\text{DC}} = 600 \text{ V}$ über $t_{\text{SC,krit}} = 10 \mu\text{s}$ liegt. Erst bei $U_{\text{DC}} = 800 \text{ V}$ wird die Schwelle von $t_{\text{SC,krit}} = 10 \mu\text{s}$ unterschritten, welche häufig als Richtwert [CFYR14] [MBHB16] genannt wird. Wie schon von Castellazzi et al. [CFYR14] für Cree/Wolfspeed-MOSFETs mit deutlich geringerem $R_{\text{DS,ON}}$ ($R_{\text{DS,ON}} = 80 \text{ m}\Omega \dots 160 \text{ m}\Omega$) berichtet wurde, weist auch der untersuchte SiC-MOSFET SCT2450KE nur bis zur Hälfte der laut Datenblatt zulässigen Sperrspannung von $U_{\text{DS,max}} = 1,2 \text{ kV}$ eine Kurzschlusszeit von über $t_{\text{SC,krit}} = 10 \mu\text{s}$ unter den gegebenen Testbedingungen auf. Eine Verlängerung der maximal möglichen kritischen Kurzschlusszeit $t_{\text{SC,krit}}$ durch eine Reduzierung der Ansteuerspannung U_{Treiber} [MBHB16] wäre zwar generell denkbar, jedoch erhöhen sich durch diese Maßnahme, wie in den Abschnitten 5.3.1 und 5.3.2.1 gezeigt wurde, die Durchlass- und Schaltverluste massiv. Die bis zur Zerstörung einbringbare Kurzschlussenergie $E_{\text{SC,krit}}$ (Bild 5.70) nimmt mit zunehmender Zwischenkreisspannung U_{DC} ebenso wie die Kurzschlusszeit t_{SC} bei $T_{\text{j,ini}} = 25^\circ\text{C}$

Tabelle 5.7: Nach der Zerstörung durch den erzwungenen Kurzschluss bei unterschiedlichen Zwischenkreisspannungen U_{DC} und initialen Sperrsichttemperaturen $T_{J,ini}$ bei $U_{Treiber} = 20 \text{ V}/0 \text{ V}$ auftretende niederohmige Strecken des SiC-MOSFETs. Das Öffnen des Strompfads fand jeweils mit einer Verzögerung von $5 \mu\text{s}$ nach dem planmäßigen Abschalten statt.

Initiale Sperrsicht-temperatur $T_{J,ini}$	$U_{DC} = 200 \text{ V}$	$U_{DC} = 400 \text{ V}$	$U_{DC} = 600 \text{ V}$	$U_{DC} = 800 \text{ V}$
25 °C	GS	GS	GS	GS
150 °C	GS	GS	GS	DS, GS

DS: Drain-Source-Strecke

GS: Gate-Source-Strecke

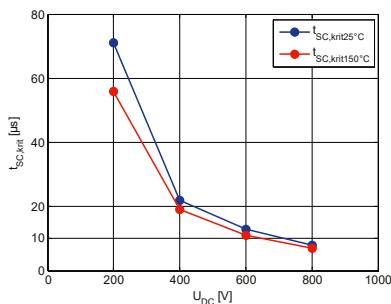


Bild 5.69: Ermittelte Kurzschlusszeiten $t_{SC,krit}$ des SiC-MOSFET SCT2450KE bei Variation von U_{DC} mit $U_{Treiber} = 20 \text{ V}/0 \text{ V}$, $R_{G,ext} = 10 \Omega$ und $T_{J,ini} = 25 \text{ }^{\circ}\text{C} \dots 150 \text{ }^{\circ}\text{C}$

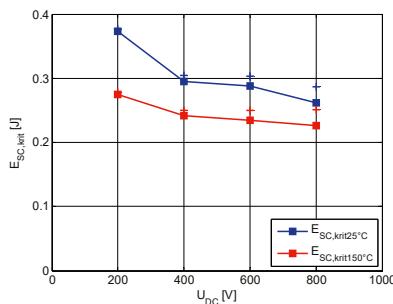


Bild 5.70: Ermittelte Kurzschlussenergien $E_{SC,krit}$ des SiC-MOSFET SCT2450KE bei Variation von U_{DC} mit $U_{Treiber} = 20 \text{ V}/0 \text{ V}$, $R_{G,ext} = 10 \Omega$ und $T_{J,ini} = 25 \text{ }^{\circ}\text{C} \dots 150 \text{ }^{\circ}\text{C}$

sowie bei $T_{J,ini} = 150 \text{ }^{\circ}\text{C}$ deutlich ab. Die „+“-Zeichen in Bild 5.70 geben die um $\Delta t_{SC} = 1 \mu\text{s}$ extrapolierte Kurzschlussenergie $E_{SC,krit}$ zur Einschätzung des Fehlers durch die zeitliche Diskretisierung an, da - wie beispielsweise in [SXWY17] - das letzte vollständig durchlaufende Kurzschlussintervall t_{SC} ohne offensichtliches Anzeichen für eine Schädigung - unabhängig von der Schwere der nachfolgenden Schädigung - jeweils als Zeitpunkt für $t_{SC,krit}$ gewählt und $E_{SC,krit}$ hierfür ausgewertet wurde. In jedem Fall liegen die berechneten Kurzschlussenergien für eine initiale Sperrsichttemperatur von $T_{J,ini} = 150 \text{ }^{\circ}\text{C}$ deutlich unter denen bei $T_{J,ini} = 25 \text{ }^{\circ}\text{C}$ (Bild 5.70).

Bei einer Erwärmung des SiC-MOSFET-Chips während der Kurzschlussversuche um die Temperaturdifferenz $\Delta T_{J,ini} = 125 \text{ }^{\circ}\text{C}$ der beiden initialen Sperrsichttemperaturen $T_{J,ini}$ durch eine Heizeinrichtung, nimmt die thermische Kapazität C_{th} die Energie E auf. Die spezifische Wärmekapazität c_{th} lässt sich über Gleichung 48 [WSYC13] ausdrücken.

$$C_{th} = \left(0,48 + 0,023 \cdot e^{\left(\frac{T_{J,ini}}{262K} \right)} \right) \frac{J}{g \cdot K} \quad (48)$$

Im Folgenden wird davon ausgegangen, dass Gleichung 48 für den komplett betrachteten Temperaturbereich gültig ist. Mittels der Integration der Wärmekapazität C_{th} über die Temperatur $T_{J,ini}$ ergibt sich die Energie E , wobei m_{Chip} die Masse des SiC-MOSFET-Chips ist (Gleichung 49).

$$E = m_{\text{Chip}} \cdot \int_{298,15K}^{423,15K} C_{th} \cdot dT \quad (49)$$

Als Wert für die Dichte ρ von SiC wird gemäß [KiCo14] $\rho = 3,21 \text{ g/cm}^3$ angenommen. Mit der aktiven Chipfläche von $A_{\text{aktiv}} = 0,0195 \text{ cm}^3$ (Tabelle 4.5) sowie einer sich aus der Wafer-Dicke und der Epitaxieschichtdicke zusammensetzende gemessene Gesamtchipdicke von $d_{\text{Chip}} = 0,036 \text{ cm}$ (Bild 5.71) resultiert hieraus ein Chipvolumen von $V_{\text{Chip}} = 702 \cdot 10^{-6} \text{ cm}^3$ und infolgedessen eine Chipmasse von $m_{\text{Chip}} = 2,253 \text{ mg}$. Somit entspricht der Wert der mittels der Heizeinrichtung eingebrachten Energie $E_{\text{Chip}} = 0,161 \text{ J}$. Die Dicke eines typischen SiC-Wafers liegt bei $d_{\text{Wafer}} = 350 \mu\text{m}$ [DB-Wolf16e]. Folglich ergibt sich für die Epitaxieschicht gemäß Bild 5.71 eine Dicke von ungefähr $d_{\text{Epitaxie}} = 10 \mu\text{m}$. Dies deckt sich mit dem von Sun et al. [SXWY17] gegebenen Wert eines 1200 V Cree/Wolfspeed-MOSFETs. Für den Fall, dass nur die Epitaxieschicht betrachtet wird, ist eine Energie von $E_{\text{Epitaxie}} = 4,5 \text{ mJ}$ notwendig, um diese von $T_J = 25^\circ\text{C}$ auf $T_J = 150^\circ\text{C}$ zu erwärmen. Es ist in Bild 5.70 erkennbar, dass der Wertebereich

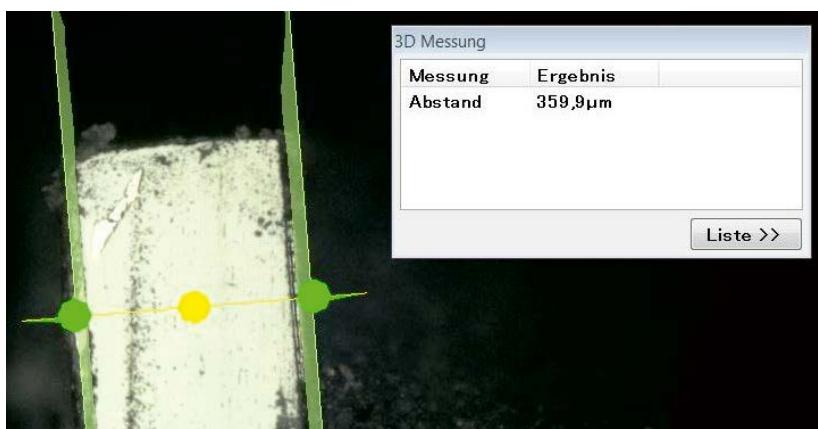


Bild 5.71: Bruchkante des Chips SCT2450 mit einer gemessenen Gesamtchipdicke von $d_{\text{Chip}} = 360 \mu\text{m}$

der Energiedifferenzen $\Delta E_{SC,krit}$, welcher für zwei unterschiedliche initiale Sperrsichttemperaturen $T_{J,ini}$ bei den jeweiligen Zwischenkreisspannungen U_{DC} gegeben ist, zwischen den beiden berechneten Extrempunkten E_{chip} und $E_{Epitaxie}$ liegt. Bei niedrigen Zwischenkreisspannungen U_{DC} ist die kritische Kurzschlusszeit $t_{SC,krit}$ länger (Bild 5.69) und die Energiedifferenz $\Delta E_{SC,krit}$ ist näher an E_{chip} , wohingegen für hohe Spannungen U_{DC} die Zeit $t_{SC,krit}$ kürzer ausfällt und die Energiedifferenz $\Delta E_{SC,krit}$ entsprechend näher an $E_{Epitaxie}$ liegt. Dies lässt sich mit der zeitabhängigen Ausbreitung der bei einem Kurzschluss in den „kalten“ SiC-MOSFET eingebrachten Energie E beziehungsweise Wärme Q_{th} aus der Epitaxieschicht, die die MOSFET-Struktur enthält, in das Volumenmaterial erklären, wodurch eine stetig monoton abfallende Aufheizung des Chips erfolgt [HHLH13] [SXWY17].

Die nach Bild 5.69 minimale kritische Kurzschlussdauer des SiC-MOSFETs SCT2450KE unter den gegebenen Testbedingungen beträgt $t_{SC,krit} = 8 \mu s$. Damit ein Kurzschluss keine dauerhafte Auswirkung auf das Gate-Oxid des SiC-MOSFETs hat, muss dieser jedoch gemäß [MBHB16] nach spätestens einem Viertel der kritischen Kurzschlussdauer $t_{SC,krit}$ aufgehoben werden. Dass eine Aufhebung in weniger als $2 \mu s$ durch eine entsprechende Entstigmungsüberwachung möglich ist, wurde in [BeMB17] demonstriert. Somit sollte bei Anwendung einer solchen Überwachung beziehungsweise Beschaltung die zur Verfügung stehende Zeitspanne beim SCT2450KE in jedem Fall zur Vermeidung von Schäden ausreichend sein.

5.6 Überspannungsschutz

Die in Abschnitt 5.6 sowie den zugehörigen Unterabschnitten vorgestellten Überlegungen und gezeigten Resultate zu Überspannungsschutzbeschaltungen sind bereits in die Veröffentlichungen [BÖRK14] [BÖKA15] [BÖRK15] [BÖKA16a] eingeflossen. Ferner wurden als Grundlage für diesen Abschnitt und die zugehörigen Unterabschnitte teilweise Ergebnisse der betreuten studentischen Arbeitsvorhaben [BsA-Ruge13] und [BsA-Kret14] genutzt.

Im Speziellen bei SiC-Transistoren kommt es, wie schon in den Abschnitten 5.1.2 und 5.3.2 gezeigt wurde, zu hohen Stromänderungsgeschwindigkeiten di/dt , die auch bei den kleinen Streuinduktivitäten der genutzten Testplatten ($L_\sigma = 21 \text{ nH} \dots 24 \text{ nH}$) bereits zu hohen Ausschaltüberspannungen $u_{L\sigma}$ (siehe Bild 5.19) führen können (Gleichung 50).

$$u_{L\sigma}(t) = L_\sigma \cdot \frac{di(t)}{dt} \quad (50)$$

Wie allgemein bekannt ist und beispielswise in [VoHo12] erläutert wird, führt ein höherer Gate-Widerstand R_G zu geringeren Stromänderungsgeschwindigkeiten di/dt und somit zu geringeren Überspannungen bei gleichzeitig höheren Schaltenergien am betroffenen Transistor. Es besteht entsprechend auch im Fall eines SiC-MOSFETs die Möglichkeit einer Überspannung $u_{L\sigma}$ trotz einer verhältnismäßig hohen Streuinduktivität L_σ durch eine bewusste Verringerung der Stromänderungsgeschwindigkeit di_D/dt beim Ausschalten, mittels eines höheren

externen Gate-Widerstands $R_{G,\text{ext}}$, zu begegnen. Im beispielhaften Fall des in Abschnitt 5.3.2.2 betrachteten SiC-MOSFETs tritt bei einem von $R_{G,\text{ext}} = 5,1 \Omega$ auf 27Ω erhöhten externen Gate-Widerstand bei $U_{DC} = 600 \text{ V}$, $i_D = 28,5 \dots 28,7 \text{ A}$ und $T_J = 25^\circ\text{C}$ allerdings lediglich eine Reduzierung der Stromänderungsgeschwindigkeit di_D/dt um ungefähr ein Fünftel (Bild 5.29) bei mehr als einer Verdopplung des Ausschaltenergie E_{aus} (Bild 5.27) ein.

Zur Verminderung einer Überspannung u_{Lo} ist es des Weiteren denkbar, eine für Thyristoren [Lutz12] und in der Vergangenheit unter anderem auch für Silizium-BJTs genutzte [Thom00] RCD-Entlastungsschaltung an der Drain-Source-Strecke des betroffenen SiC-MOSFETs zu installieren [LiMu14] (Bild 5.72). Allerdings wird die während der auftretenden Überspannung u_{Lo} freigesetzte Energie in der klassischen RCD-Entlastungsschaltung lediglich zwischengespeichert und anschließend in Wärme umgewandelt [FiWG96].

Neben den bereits genannten Maßnahmen lässt sich mit Hilfe von aktiv wirkenden Schutzbeschaltungen eine Verringerung der Überspannung u_{Lo} erzielen. Die Anwendbarkeit aktiver Schutzbeschaltungen an SiC-MOSFETs soll im Folgenden mit Hinblick auf die erreichbare Verminde rung der Überspannung u_{Lo} und die dabei auftretenden Ausschaltenergien E_{aus} betrachtet werden. In den nächsten Unterabschnitten werden hierzu die aktiven Schutzbeschaltungen „Active Clamping“, „Dynamic Voltage Rise Control“ und „Dynamic Active Clamping“, die von der Anwendung an Silizium-IGBT-Modulen in ihrer Funktion bekannt sind und in dem Buch „IGBT Modules“ von Volke und Hornkamp [VoHo12] bereits ausführlich beschrieben wurden, auf ihre Einsatzmöglichkeiten an SiC-MOSFETs untersucht. Zum Teil wurden vorher Anpassungen an den genannten Beschaltungen vorgenommen, um diese an den Einsatz mit der genutzten Treiberschaltung beziehungsweise für SiC-Transistoren anzupassen.

Damit eine sinnvolle Überprüfung der Funktionalität der Schutzbeschaltungen gegeben ist, wurde eine Testplatine mit einer im Strompfad bewusst hoch abgestimmten Streuinduktivität L_o verwendet. Es wurde sowohl ein SiC-MOSFET (C2M0080120D) als auch eine SiC-Schottky-Diode (C4D10120D) von Cree/Wolfspeed während der durchgeföhrten Doppelpuls-

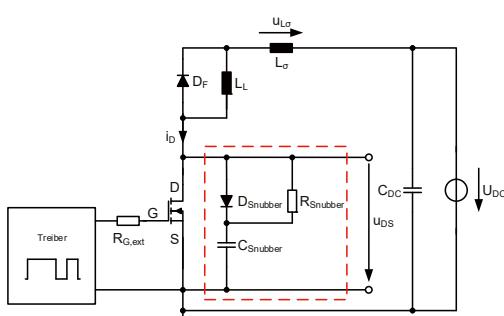


Bild 5.72: Doppelpulsschaltung mit parallel zum betroffenen Transistor geschalteter RCD-Entlastungsschaltung (Snubber) bestehend aus Widerstand (R), Kondensator (C) und Diode (D); gemäß unter anderem [Lutz12] [Thom00]

versuche genutzt. Der Treiber ($U_{\text{Treiber}} = +15 \text{ V}/0 \text{ V}$) samt der jeweiligen Schutzbeschaltung befindet sich auf einer steckbaren Platine und wurde aufgrund der direkten Eingriffsmöglichkeit in die Erzeugung des Ansteuersignals u_{Treiber} mit einer Treiberhalbbrücke aus diskreten n-Kanal-MOSFETs aufgebaut [VoHo12]. Für die quantitative Auswertung wurden die Schaltverläufe der Spannung u_{DS} und des Stroms i_{D} jeweils über $n = 50$ Datenpunkte mittels einer gleitenden Mittelwertbildung geglättet. Die Integration der Ausschaltenergie E_{aus} erfolgte, abweichend von den in Abschnitt 3.1.4 gemachten Angaben, bei allen funktionalen Tests beziehungsweise Messungen bis zu einem festen Zeitpunkt, an dem die Oszillationen im Drain-Strom i_{D} weitestgehend abgeklungen waren.

5.6.1 Active Clamping

Die Funktionalität des Active Clamping (AC) (Bild 5.73 roter Teil; beispielsweise [OrPi04] [VoHo12]) im Überspannungsfall ist allgemein bekannt und wird in [VoHo12] detailliert für IGBT-Module dargelegt. Im Folgenden wird auf [VoHo12] aufbauend eine zusammenfassende theoretische Funktionsbeschreibung, in diesem Fall jedoch für einen SiC-MOSFET, gegeben.

Die Verhaltensweise der AC-Beschaltung wird über die Durchbruchspannung U_{TVS} der verwendeten Transient-Voltage-Surpressor-(TVS)-Dioden sowie des, nach erfolgtem Durchbruch der selbigen, fließenden Stroms i_{AC} , welcher aus dem Last- (Drain) in den Ansteuerkreis (Gate) abfließt und den benutzten Leistungstransistor (SiC-MOSFET M) wieder aufsteuert lässt, bestimmt. Die Auslöseschwelle der AC-Beschaltung wird, gemäß der vorgesehenen Charakteristik der AC-Beschaltung, über eine oder mehrere TVS-Dioden D_{TVS} beziehungsweise deren Durchbruchspannung U_{TVS} festgelegt und muss oberhalb der Zwischenkreisspannung U_{DC} liegen. Der Strom i_{AC} fließt zunächst über den externen Gate-Widerstand $R_{\text{G,ext}}$ gegen das Bezugspotential ab und erhöht somit den negativen Gate-Strom $-i_{\text{G}}$. Aufgrund des dadurch wiederum erhöhten Spannungsabfalls $U_{\text{RG,ext}}$ am Gate-Widerstand $R_{\text{G,ext}}$, kommt es gleichermaßen zu einer Erhöhung der Gate-Source-Spannung u_{GS} sowie zu einem Wiederaufladen der Gate-

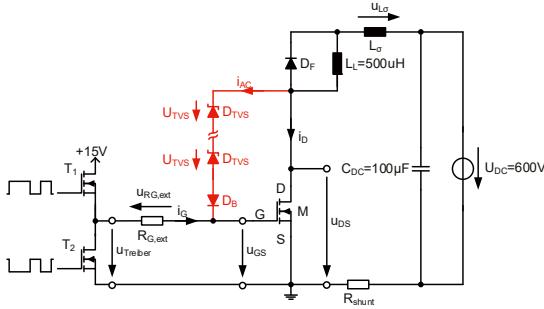


Bild 5.73: Doppelpulsschaltung mit der bei IGBT-Modulen weitverbreiteten Active-Clamping-(AC)-Schutzbeschaltung; gemäß [OrPi04] [VoHo12]

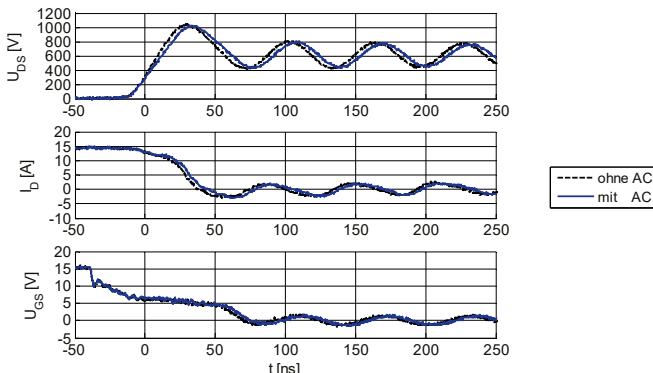


Bild 5.74: Vergleich der Verläufe während des Abschaltvorgangs ohne und mit Active Clamping-Beschaltung bei $U_{DC} = 600$ V, $I_D \approx 15$ A, $R_{G,ext} = 10 \Omega$ und $T_J = 26^\circ\text{C}$; gemäß [BöKa16a]

Source-Kapazität C_{GS} des SiC-MOSFETs M. Entsprechend stellt sich eine Verringerung der Stromänderungsgeschwindigkeit di_D/dt des SiC-MOSFETs M ein, die die Überspannung u_{lo} vermindert. Die Regelschleife ist an diesem Punkt geschlossen und eine Rückkopplung auf die Überspannung u_{lo} durch die regulierte Stromänderungsgeschwindigkeit di_D/dt des Leistungstransistors M gegeben. [VoHo12]

Es wurde des Weiteren bereits in [VoHo12] erläutert, dass die AC-Beschaltung bei IGBT-Modulen nicht immer ausreichend schnell agiert, weshalb dort die auch im weiteren Verlauf dieser Arbeit (Abschnitt 5.6.3) betrachtete Beschaltung Dynamic Active Clamping (DAC) als verbesserte Variante aufgeführt und beschrieben wird. Demgegenüber steht allerdings die erfolgreiche Nutzung der AC-Beschaltung bei SiC-JFETs [OrPi04]. Entsprechend hängt das Ergebnis vom individuellen Anwendungsfall ab und ist zu verifizieren.

Der externe Gate-Widerstand hatte - während der zur AC-Beschaltung durchgeföhrten Messungen mit $U_{DC} = 600$ V - einen Wert von $R_{G,ext} = 10 \Omega$ und es wurden zwölf TVS-Dioden mit einer Durchbruchspannung von jeweils $U_{TVS} = 51$ V verwendet. Die Auslöseschwelle lag folglich bei 612 V. Mit der AC-Beschaltung ist lediglich eine sehr geringe Verminderung der am SiC-MOSFET auftretenden Überspannung u_{lo} auszumachen (Bild 5.74). Eine direkte Auswirkung eines Durchbruchs der TVS-Dioden ist nicht erkennbar. Folglich ist dieses Verhalten zum Schutz des SiC-MOSFETs vollkommen unzureichend.

5.6.2 Dynamic Voltage Rise Control

Die Beschaltung Dynamic Voltage Rise Control (DVRC) wurde erstmals in [Horn06] veröffentlicht (Bild 5.75) und deren Funktionsweise für IGBT-Module ebenfalls ausführlich in [VoHo12] beschrieben. Nachfolgend wird basierend auf diesen Quellen kurz die theoretische

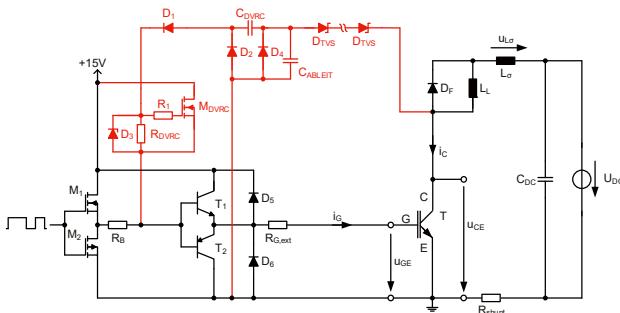


Bild 5.75: Doppelpulsschaltung mit Dynamic Voltage Rise Control (DVRC);
gemäß [Horn06], ähnlich [VoHo12]

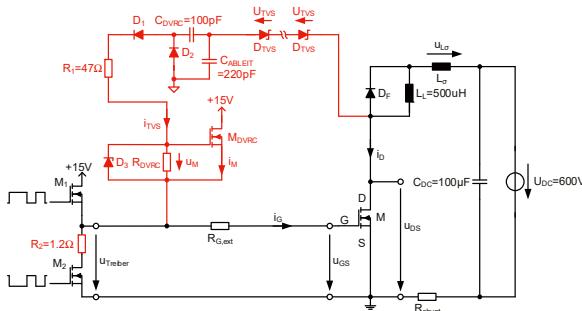


Bild 5.76: Doppelpulsschaltung mit verwendeter Dynamic Voltage Rise Control (DVRC);
gemäß [BöKa15], aufbauend auf [Horn06] und [VoHo12]

Funktionsbeschreibung einer an SiC-MOSFETs angewendeten DVRC-Beschaltung (Bild 5.76) vorgenommen.

Im Fall einer auftretenden Überspannung u_{Lg} kommt es zu einem Strom i_{TVS} durch die TVS-Dioden D_{TVS} nach deren Durchbrechen. Die Höhe des Stroms i_{TVS} wird über die Spannungsänderungsgeschwindigkeit du_{DS}/dt und den Wert der Kapazität C_{DVRC} bestimmt. Weiterhin erlauben die Kapazitäten C_{DVRC} und C_{Ableit}, dass die Auslöseschwelle der DVRC-Beschaltung auf einen Wert deutlich unterhalb der Zwischenkreisspannung U_{DC} festgesetzt werden kann. Aufgrund eines somit ausreichenden hohen Stroms i_{TVS} nach dem Überschreiten der Zwischenkreisspannung U_{DC} beziehungsweise im Überspannungsfall kann somit ein im Vergleich zur AC-Beschaltung rechtzeitiges Eingreifen der DVRC-Beschaltung stattfinden. Der Strom i_{TVS} führt zu einem Spannungsabfall u_M an der Gate-Source-Strecke des MOSFETs M_{DVRC} und steuert diesen auf. Nachfolgend tritt entsprechend eine Beeinflussung des Treibersignals $u_{Treiber}$ durch die Summe des über die TVS-Dioden fließenden Stroms i_{TVS} sowie des Drain-Stroms i_M des MOSFETs M_{DVRC} auf, das den SiC-MOSFET M über die Zunahme der Gate-Source-Spannung u_{GS} beziehungsweise der Ladung der Gate-Source-Kapazität C_{GS} ebenfalls wieder aufsteuern lässt. Ebenso wie

bei der AC-Beschaltung ist somit eine Rückkopplung über die Stromänderungsgeschwindigkeit d_i_D/dt auf die Überspannung $u_{L\sigma}$ beziehungsweise die Spannungsänderungsgeschwindigkeit $d u_{DS}/dt$ gegeben. [Horn06] [VoHo12]

Eine Justierung der Eingriffsstärke der DVRC-Beschaltung kann über den Kondensator C_{DVRC} und über den Widerstand R_{DVRC} erfolgen, da diese durch den kapazitiven Strom i_{TVS} sowie den Wert von R_{DVRC} den Spannungsabfall u_{GS} am Gate des MOSFETs M_{DVRC} bestimmen [LFWZ10]. Aufgrund der hohen Sperrsichtkapazitäten C_j der TVS-Dioden tritt ein parasitärer kapazitiver Strom i_{par} (Gleichung 51) in Abhängigkeit der Spannungsänderungsgeschwindigkeit $d u_{DS}/dt$ auf, der schon vor dem eigentlichen Durchbrechen der TVS-Dioden in einer signifikanten Größenordnung fließt [VoHo12]. Der Kondensator C_{ABLEIT} dient wie in [Horn06] beschrieben dem Umleiten des parasitären Stroms i_{par} vor dem Durchbruch, wodurch einer verfrühten Reaktion der DVRC-Beschaltung beziehungsweise einer verfrühten Verminderung der Spannungsänderungsgeschwindigkeit $d u_{DS}/dt$ und somit gegebenenfalls eine Erhöhung der Ausschaltenergien E_{aus} vorgebeugt wird.

$$i_{par}(t) = C_j \cdot \frac{d u_{DS}(t)}{dt} \quad (51)$$

Zur Vermeidung möglicher Verzögerungen wurde im Gegensatz zur ursprünglichen Variante der DVRC (Bild 5.75) nach [Horn06] beziehungsweise [VoHo12] bei der Variante für SiC-MOSFETs keine zweistufige Treiberschaltung mit Eingriff der DVRC zwischen deren Stufen gewählt (Bild 5.76). Jede zusätzliche Treiberstufe führt zwangsläufig zu einer zeitlichen Verzögerung des notwendigen Eingriffs der Überspannungsschutzbeschaltung. Dies ist in Anbetracht der zur Verfügung stehenden Zeitspanne im zweistelligen Nanosekundenbereich, um auf ein Überspannungsereignis bei SiC-Transistoren zu reagieren, zu vermeiden [BÖRK15]. Anstelle einer Umschaltung der Treiberhalbbrücke als Reaktion der DVRC auf einen Überspannungsfall wie bei [Horn06] beziehungsweise [VoHo12], wurde der Widerstand R_2 zum Herbeiführen eines Spannungsabfalls u_{GS} an der Gate-Source-Kapazität C_{GS} des SiC-MOSFETs M genutzt. Auch dies soll der Vermeidung von zusätzlichen Verzögerungszeiten innerhalb des Ansteuerkreises beim Herbeiführen der benötigten Reaktion hinsichtlich der Überspannung $u_{L\sigma}$ dienen.

Bei den durchgeführten Messungen mit der DVRC wurden zur Einstellung der Auslösenschwelle sieben 51 V TVS-Dioden verwendet, wodurch sich diese zu 357 V ergibt. Für den externen Gate-Widerstand $R_{G,ext}$ wurde während der Nutzung der DVRC ein Wert von $R_{G,ext} = 5,1 \Omega$ eingesetzt. Die Messungen (Bild 5.77) zeigen, dass eine Überspannungsreduktion mit der genutzten Schutzbeschaltung durchaus möglich ist. Allerdings kann dies in der verwendeten Schaltumgebung für $R_{DVRC} = 10 \Omega$ und $R_{DVRC} > 36 \Omega$ nur unter der Inkaufnahme erhöhter Ausschaltenergien E_{aus} realisiert werden (Bild 5.78). Es kommt im Stromverlauf i_D nicht nur zu einer Reduzierung der Stromänderungsgeschwindigkeit d_i_D/dt , sondern zu einer erneuten Zunahme des Stroms i_D durch den SiC-MOSFET M . Bei Nichtverwendung der DVRC und einer Erhöhung des Gate-Widerstands $R_{G,ext}$ zur Verminderung des d_i_D/dt sowie entsprechend der auftretenden Überspannung $u_{L\sigma}$, fallen im Vergleich deutlich geringere Ausschaltenergien

E_{aus} an (Bild 5.78, der Fall mit $R_{DVRC} = 0 \Omega$ ausgenommen). Es ist des Weiteren in Bild 5.77 beim Vergleich der Verläufe für $R_{DVRC} = 0 \Omega$ und der Verläufe für Werte von R_{DVRC} größer null ersichtlich, dass die Reduktion der ersten Überspannungsspitze maßgeblich durch den R_2 durchfließenden Strom i_{TVS} (Bild 5.76) bestimmt wird. Dies wird dadurch belegt, dass im Fall von $R_{DVRC} = 0 \Omega$ keine Reaktion des MOSFETs M_{DVRC} , das heißt kein Stromfluss i_M durch diesen, stattfinden sollte und trotzdem eine signifikante Wirkung festzustellen ist. Bei genauerer Betrachtung kann der Einfluss von M_{DVRC} sogar zu einer höheren Überspannung u_{L0} bei den nachfolgenden Überspannungsspitzen im Vergleich zur ersten bereits reduzierten Überspannungsspitze führen, da es zu einem erneuten Abschaltvorgang unter relativ hohem Drain-Strom i_D kommt (beispielsweise Bild 5.77, Stromverlauf für $R_{DVRC} = 75 \Omega$), welcher eine auf die Streuinduktivität L_G wirkende Stromänderungsgeschwindigkeit di/dt verursacht. Die Gate-Source-

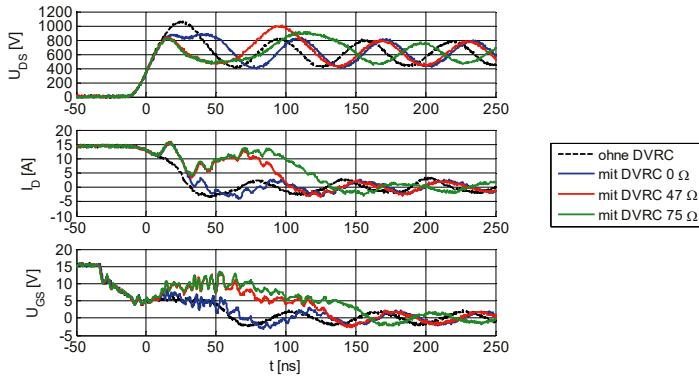


Bild 5.77: Vergleich der Verläufe während des Abschaltvorgangs ohne und mit Dynamic Voltage Rise Control-Beschaltung bei $U_{DC} = 600 \text{ V}$, $I_D \approx 15 \text{ A}$, $R_{G,ext} = 5,1 \Omega$ und $T_J = 26^\circ\text{C}$

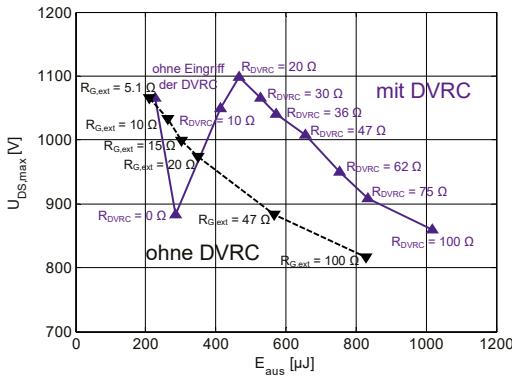


Bild 5.78: Schaltenergien bei Verwendung der DVRC unter Variation des Widerstands R_{DVRC} bei $U_{DC} = 600 \text{ V}$, $I_D \approx 15 \text{ A}$ und $R_{G,ext} = 5,1 \Omega$ und ohne DVRC bei Variation von $R_{G,ext}$ bei $U_{DC} = 600 \text{ V}$ und $I_D \approx 15 \text{ A}$. Alle Messungen bei $T_J = 26^\circ\text{C}$; gemäß [BöKa16a]

Kapazität von M_{DVRC} muss des Weiteren in Abhängigkeit des Widerstands R_{DVRC} umgeladen werden. Dies führt aufgrund der Zeitkonstanten, gebildet aus der Eingangskapazität von M_{DVRC} , der Kapazität der Diode D_3 und dem jeweiligen Widerstand R_{DVRC} , zu einer Verzögerung bei jedem Schaltvorgang [BöKa15], die eine schnelle Reaktion von M_{DVRC} behindert und folglich erhöhte Ausschaltenergien E_{aus} nach sich ziehen kann.

Die im nächsten Unterabschnitt gezeigte Dynamic Active Clamping-Schutzbeschaltung nutzt, wie es für $R_{DVRC} = 0 \Omega$ der Fall ist, nur den Strom i_{TVS} , um den SiC-MOSFET M wieder aufzusteuern.

5.6.3 Dynamic Active Clamping

Die AC-Beschaltung zeigt schon bei IGBT-Modulen eine zu langsame Reaktion, weshalb stattdessen die Beschaltung Dynamic Active Clamping (DAC) empfohlen wird [VoHo12]. Für einen SiC-MOSFET konnte die unzureichende Funktionsweise der AC-Beschaltung in Abschnitt 5.6.1 bestätigt werden. Die DAC-Beschaltung (Bild 5.79) ist eine direkte Erweiterung des AC (Bild 5.73) um den Kondensator C_{DAC} und den Widerstand R_{DAC} [VoHo12]. Prinzipiell kann sie jedoch auch als eine Vereinfachung der in Abschnitt 5.6.2 getesteten Variante der DVRC (Bild 5.76), bei der unter anderem der Hilfsschalter M_{DVRC} fehlt, betrachtet werden (Bild 5.79). Die nachfolgende Darlegung der theoretischen Funktionsweise der DAC-Beschaltung wird anhand eines SiC-MOSFETs, basierend auf den ausführlichen Beschreibungen von Überspannungsschutzbeschaltungen für IGBT-Modulen aus [VoHo12], vorgenommen.

Die Verhaltensweise der DAC-Beschaltung wird, da es sich um eine Abwandlung der AC-Beschaltung handelt, über die Durchbruchspannung U_{TVS} der TVS-Dioden bestimmt, wobei die Auslöseschwelle wie beim DVRC aufgrund Kondensators C_{DAC} unterhalb der Zwischenkreisspannung U_{DC} liegen darf. Eine ausreichend frühe Reaktion der DAC-Beschaltung ist somit gegenüber der AC-Beschaltung potentiell gegeben. Der Strom i_{TVS} (Bild 5.80) wird genauso wie

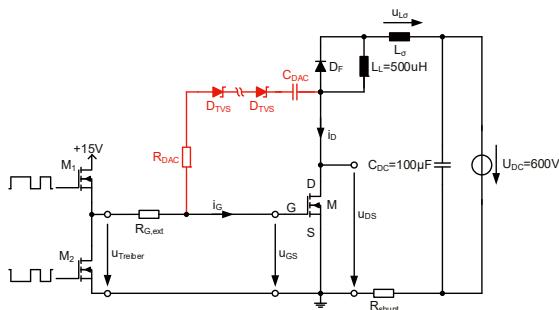


Bild 5.79: Doppelpulsschaltung mit Dynamic Active Clamping (DAC); gemäß [VoHo12]

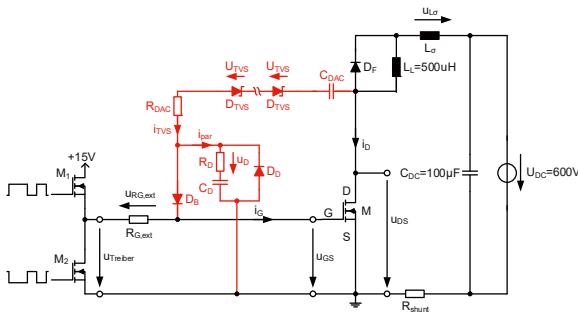


Bild 5.80: Doppelpulsschaltung mit verwendetem Dynamic Active Clamping (DAC); gemäß [BöKa16a]

im Fall der DVRC-Beschaltung bei der DAC-Beschaltung über die Spannungsänderungsgeschwindigkeit du_{DS}/dt und den Wert der Kapazität C_{DAC} bestimmt. Der Strom i_{TVS} bewirkt eine Erhöhung des negativen Gate-Stroms $-i_G$ und somit des notwendigen Spannungsabfalls am externen Gate-Widerstand $R_{G,ext}$, welcher zu einer erneuten Aufladung der Gate-Source-Kapazität C_{GS} des SiC-MOSFETs M führt. Auch in diesem Fall ist somit, wie bei der AC und DVRC, eine Rückkopplung über die Stromänderungsgeschwindigkeit di/dt auf die Überspannung u_{Lo} respektive die Spannungsänderungsgeschwindigkeit du_{DS}/dt gegeben. [VoHo12]

Ähnlich wie bei der DVRC-Beschaltung nach [Horn06] soll die Auswirkung der Sperrschichtkapazitäten C_J der verwendeten TVS-Dioden bei der DAC-Beschaltung unterbunden werden. Aus diesem Grund wurde die DAC-Beschaltung nach [VoHo12] unter anderem um ein notwendiges Impedanznetzwerk (R_D , C_D) [BöKa16a] zum Ableiten des parasitären kapazitiven Stroms i_{par} ergänzt (Bild 5.80), das wie bei der DVRC-Beschaltung nach [Horn06] durch C_{Ableit} (Bild 5.75) eine verfrühte Reaktion der Beschaltung unterbinden soll. Im Impedanznetzwerk wird nach dem Ableiten des parasitären Stroms i_{par} zunächst ein Spannungsabfall u_B am Widerstand R_D durch i_{TVS} verursacht (Bild 5.80), um einen Teil des Stroms i_{TVS} über den Potentialunterschied zur Gate-Source-Spannung u_{GS} in den Ansteuerkreis des MOSFET M zu zwingen, wodurch anschließend die bekannte Funktionsweise erreicht wird.

In Bild 5.81 sind die Strom- und Spannungsverläufe ohne Nutzung einer DAC-Beschaltung, die Verläufe bei Nutzung der DAC-Version nach Volke et al. [VoHo12] und die Verläufe der mit einem Impedanznetzwerk sowie den Diode D_D und D_B ergänzten DAC-Version dargestellt. Der Widerstand und die Kapazität der DAC-Beschaltungen lagen bei $R_{DAC} = 36 \Omega$ beziehungsweise $C_{DAC} = 660 \text{ pF}$. Die Auslöseshwelle wurde mit neun TVS-Dioden auf $U_{TVS} = 459 \text{ V}$ festgesetzt. Für das Impedanznetzwerk wurden des Weiteren als Kapazität $C_D = 4,7 \text{ nF}$ und als Widerstand $R_D = 10 \Omega$ gewählt. Mit beiden DAC-Versionen ist eine deutlich sichtbare Reduktion der Überspannung u_{Lo} möglich. Die Auswirkung des Impedanznetzwerks ist in Bild 5.82 für das erste und in Bild 5.83 für das zweite Ausschalten während des Doppelpulstests erkennbar.

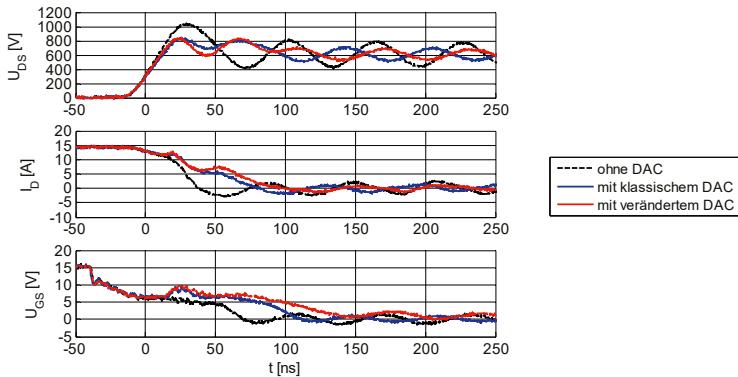


Bild 5.81: Vergleich der Verläufe während des Abschaltvorgangs ohne DAC, mit der „klassischen“ DAC nach [VoHo12] und der erweiterten DAC bei $U_{DC} = 600$ V, $I_D \approx 15$ A, $R_{G,ext} = 10 \Omega$ und $T_j = 26^\circ\text{C}$; gemäß [BöKa16a]

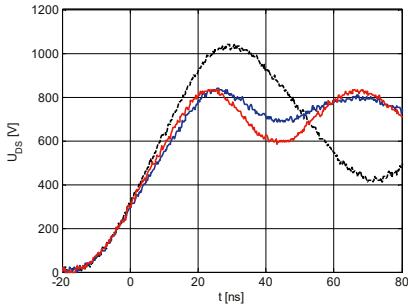


Bild 5.82: Spannungstransiente du_{DS}/dt beim ersten Abschalten; gemäß [BöKa16a]

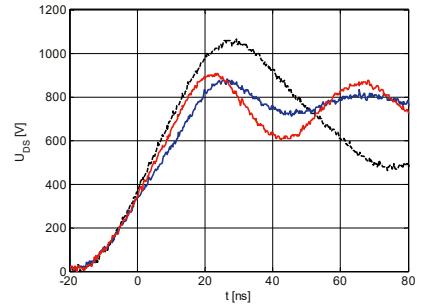


Bild 5.83: Spannungstransiente du_{DS}/dt beim zweiten Abschalten

Während am Ende des ersten Pulses lediglich eine leichte Minderung des Abflachens der Spannungstransiente du_{DS}/dt unterhalb der Zwischenkreisspannung U_{DC} auszumachen ist, ist dies nach dem zweiten Puls deutlich ausgeprägter. Eine verfrühte Reaktion durch den parasitären kapazitiven Strom i_{par} kann also weitestgehend vermieden werden.

Die beim Abschaltvorgang ermittelten Schaltenergien E_{aus} zeigen deutlich geringere Werte in Abhängigkeit des externen Gate-Widerstands $R_{G,ext}$ für die ergänzte DAC-Beschaltung im Vergleich zum langsamem Schalten mittels einer Erhöhung von $R_{G,ext}$ bei gleicher Reduktion der Überspannung u_{Lo} (Bild 5.84). Ein externer Gate-Widerstand $R_{G,ext}$ von $5,1 \Omega$ bedingt - bei Nutzung der ergänzten DAC-Beschaltung - annähernd die gleiche Verminderung der maximalen Drain-Source-Spannung $u_{DS,max}$ wie ein externer Gate-Widerstand $R_{G,ext}$ von 47Ω ohne Nutzung der DAC, jedoch bei einer um $\Delta E_{aus} = 168 \mu\text{J}$ reduzierten Ausschaltenergie E_{aus} . Allerdings zeigt eine zum Vergleich aufgenommene Messung mit dem DAC ohne Impedanznetzwerk

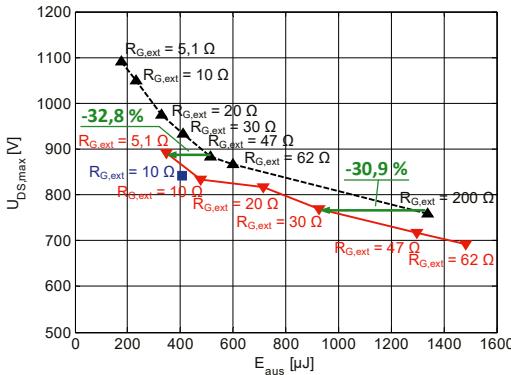


Bild 5.84: Schaltenergien ohne ▲, mit „klassischer“ DAC nach [VoHo12] ■ und mit erweiterter DAC ▼ bei unterschiedlichen $R_{G,ext}$ mit $U_{DC} = 600$ V, $I_D \approx 15$ A und $T_J = 26$ °C; gemäß [BöKa16a]

(Bild 5.84, blauer Punkt), dass die dort ermittelte Ausschaltenergie E_{aus} geringfügig unter denjenigen der um das Impedanznetzwerk ergänzten Version der DAC liegt. Somit scheint das Resultat des parasitären kapazitiven Stroms i_{par} durch die Sperrsichtkapazitäten der TVS-Dioden und infolgedessen der reduzierten Spannungsänderungsgeschwindigkeit dU_{DS}/dt nicht zwangsweise eine Erhöhung der Ausschaltenergie E_{aus} zu sein.

In Bild 5.85 wird des Weiteren der Effekt einer Erhöhung der Sperrsichttemperatur T_J des MOSFETs M auf die Ausschaltverluste E_{aus} ohne die Nutzung der DAC und bei Nutzung der ergänzten DAC veranschaulicht. Unter der Inkaufnahme einer weiteren Erhöhung der Ausschaltenergien werden bei höheren Sperrsichttemperaturen T_J , sowohl mit, als auch ohne

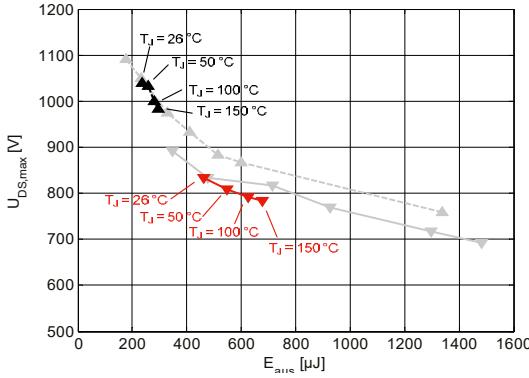


Bild 5.85: Schaltenergien ohne ▲ und mit erweiterter DAC ▼ in Abhängigkeit der Sperrsichttemperatur T_J bei $U_{DC} = 600$ V, $I_D \approx 15$ A und $R_{G,ext} = 10$ Ω und $T_J = 26$ °C; gemäß [BöKa16a]

die erweiterte DAC, die Ausschaltüberspannungen u_{L0} weiter reduziert. Die Veränderung ist durch die thermischen Abhängigkeiten der Schwellenspannung U_{th} (Abschnitt 5.3.1, Tabelle 5.2) und der Kanalbeweglichkeit μ_n^* , die beide in die Transkonduktanz g_f eingehen, gegeben (Abschnitt 5.3.1 und Abschnitt 5.3.2.1, Gleichung 43). Dies hat über die anliegende Gate-Source-Spannung u_{GS} und die Höhe des Miller-Plateaus eine direkte Auswirkung auf das Schaltverhalten des MOSFET M. In Bild 5.85 fällt des Weiteren auf, dass die durch die Temperaturerhöhung zustande kommenden Technologiekurven ungefähr auf den jeweiligen Technologiekurven, die bei einer Variation des externen Gate-Widerstands $R_{G,ext}$ (Bild 5.84) ermittelt wurden, liegen (Bild 5.85, grau hinterlegt).

Im Hinblick auf die auftretenden Schaltverluste bei einer gewünschten Überspannungsreduktion und somit den Einfluss auf die Effizienz der untersuchten Schutzbeschaltungen, ist die DAC aufgrund der obenstehenden Ergebnisse die einzige Beschaltung, welche ein sinnvolles Verhalten aufweist. Hierbei muss jedoch beachtet werden, dass die Schaltversuche mit der DAC sowie auch der anderen Beschaltungen bei einer Ansteuerspannung von $U_{Treiber} = 15 \text{ V}/0 \text{ V}$ durchgeführt wurden. Die Zeit, die zum Reagieren auf eine Überspannungssituation zur Verfügung steht, kann sich bei einem höheren Absolutwert der negativen Ansteuerspannung $U_{Treiber}$ aufgrund der höheren du_{DS}/dt - und di_D/dt -Werte weiter verringern (siehe Abschnitt 5.3.2.1).

6 Zusammenfassung

In der vorliegenden Arbeit wurden einführend die Materialeigenschaften, Strukturen sowie die daraus hervorgehenden Eigenschaften von SiC-Leistungshalbleiterbauelementen erläutert.

Neben der Betrachtung der vom Chip selbst verursachten Eigenschaften erfolgte eine Analyse der für das Schaltverhalten ausschlaggebenden parasitären Elemente der Schaltumgebung, da diese eine Beeinträchtigung bei der Ermittlung der konkreten Leistungsfähigkeit eines Halbleiterbauelements darstellen können. Es wurden entsprechende Verbesserungsmöglichkeiten bei der Untersuchung des M-Shunts und der Spinnwebspule aufgezeigt.

Das M-Shunt-Konzept bietet das Potential, die Streuinduktivität, die durch den Messwiderstand in den Strompfad eingebracht wird, wesentlich zu minimieren. Die Messungen an den aufgebauten M-Shunt-Prototypen führten zu Induktivitätswerten, die deutlich unter dem Wert des in der Charakterisierung von Leistungshalbleitern weit verbreiteten Koaxialshunts liegen. Als generelle Vorteile des planaren Aufbaus des M-Shunts sind die vergleichsweise einfache Herstellung, eine verbesserte Kühlung des Widerstandsmaterials sowie eine einfache Integration des Messwiderstands in Leistungshalbleitermodule oder auf Platinen mit leistungselektronischen Schaltungen gegenüber koaxialen Strukturen zu nennen. Eine Kompen-sation des Messsignals, wie es bei anderen planaren Shunt-Konzepten notwendig ist, wird beim M-Shunt nicht benötigt.

Als Lastinduktivitäten zur dynamischen Charakterisierung von Leistungshalbleiterbauelementen wurden ausschließlich niederkapazitive Spinnwebspulen zur Beschränkung der Auswirkungen kapazitiver Effekte benutzt. Anhand einer segmentierten Spinnwebspule konnten die parasitären Kapazitäten der einzelnen Spulensegmente bestimmt werden. Die gemessenen Werte wurden ins Verhältnis zu den Strukturparametern gesetzt, um angenommene strukturelle Abhängigkeiten zu verifizieren.

Im Rahmen der statischen Messungen an SiC-Dioden konnte die Abhängigkeit des Leckstroms von der Sperrsichttemperatur ermittelt werden. Als Maß zur Quantifizierung wurde die Verdopplungstemperaturdifferenz verwendet. Diese sowie die auftretenden Leckströme veranschaulichen, dass der Sperrbetrieb von SiC-Dioden für den sicheren Betrieb eines leistungselektronischen Systems, das heißt einen Betrieb mit ausreichender thermischer Stabilität, als irrelevant anzusehen ist. Die dynamischen Messergebnisse der SiC-Dioden demonstrieren hingegen, dass sowohl die an einer SiC-Diode auftretende Überspannung als auch die Menge der aus dieser auszuräumenden Ladungsträger gegenüber einer Silizium-pin-Diode deutlich reduziert ist. Hieraus resultiert tendenziell eine Verminderung der Belastung für weitere Leistungshalbleiterbauelemente in der näheren Schaltumgebung der SiC-Dioden.

Bei der Untersuchung der Schalt- und Durchlasseigenschaften der verschiedenen SiC-Transistoren konnten die in der Literatur recherchierten struktur- beziehungsweise material-typischen Eigenschaften verifiziert werden. Der betrachtete SiC-BJT sowie der SiC-JFET zeigten

ein Verhalten im Durchlassbereich, das dem idealen Durchlassverhalten eines SiC-Bauelements näher ist, als das des SiC-MOSFETs, welches durch die teilweise ungünstigen Eigen-schaften des Inversionskanals beeinträchtigt wird. Während der Doppelpulsversuche am SiC-BJT sowie am SiC-MOSFET konnte nahezu keine Beeinflussung der Schaltenergien durch eine Variation der Sperrsichttemperatur festgestellt werden. Der Schaltbetrieb der beiden Transistorarten kann somit über den betrachteten Temperaturbereich als unproblematisch erachtet werden.

Beim SiC-MOSFET konnte des Weiteren der Einfluss der Ansteuerspannung auf das Durchlass- und Schaltverhalten demonstriert werden. Die Anforderung einer hohen Ansteuerspannung zur Erlangung geringer Schaltenergien wurde anhand von SiC-MOSFETs der zweiten Generation verifiziert. Die Weiterentwicklung der SiC-MOSFETs über drei Generationen spiegelt sich jedoch deutlich in den Ergebnissen der Transkonduktanzen wider, welche mit jeder Generation höhere Werte bei gleichzeitig geringeren Gate-Source-Spannungen annehmen und sich somit vorteilhaft auf das Durchlass- und Schaltverhalten auswirken.

Ebenso wie die Ansteuerspannung wirken sich die Streuinduktivitäten der Gehäuse der Transistoren auf deren Schaltverhalten aus. Die durchgeführten Messungen an diskreten Halbleitergehäusen legen die Vorteile der mit einem Kelvin-Source-Anschluss ausgestatteten Gehäuse hinsichtlich einer Erhöhung der Schaltgeschwindigkeiten und Verminderung der Schaltenergien dar. Mittels Simulation wurde ermittelt, dass die von den Gehäuseanschlüssen des vierbeinigen TO-247-4L-Gehäuses in den Strompfad eingebrachten Streuinduktivitäten eine Größenordnung annehmen, bei der diese einen signifikanten Einfluss auf die im Chip umgesetzten Einschaltenergien ausüben. Die Streuinduktivitäten des Gehäuses führen bei Nutzung des Kelvin-Source-Anschlusses bereits ohne die weiteren induktiven Anteile des Strompfads zu einem deutlichen Spannungseinbruch über dem Chip und somit zu einer Schaltentlastung während der Einschalttransienten. In diesem Fall wirken sich die eingebrachten Streuinduktivitäten günstig auf das Einschaltverhalten aus. Allerdings führt die Streuinduktivität des Strompfads gleichermaßen zu einer Überspannung beim Ausschalten.

Die Möglichkeit, Überspannungen, die aus der im Strompfad auftretenden Streuinduktivität resultieren, auch bei SiC-MOSFETs mit Überspannungsschutzbeschaltungen zu vermindern, wurde an drei von IGBT-Modulen bekannten Schutzbeschaltungen untersucht. Es konnte jedoch dargelegt werden, dass die bekannten Schutzbeschaltungen zum Teil nur eingeschränkt anwendbar sind. Eine zweckmäßige Verbesserung weist lediglich die DAC-Beschaltung auf, mit der die Überspannungen signifikant verminder werden konnten, wobei die Ausschaltenergie nicht erhöht wurde.

Die Analyse der Belastbarkeit von SiC-MOSFETs zeigte, dass diese eine ausreichende Kurzschlussfestigkeit aufweisen, um mittels einer entsprechenden Schutzbeschaltung zeitnah den Kurzschluss wieder aufheben zu können. Erwartungsgemäß nahm die maximale einbringbare Energie während der Kurzschlussversuche mit zunehmender Sperrsichttemperatur ab. Die

Verminderung der einbringbaren Energie konnte über die bereits durch die Sperrsichttemperaturerhöhung in die thermische Kapazität des SiC-MOSFETs eingebrachte Energie begründet werden.

Das Verhalten der untersuchten 1,2 kV SiC-MOSFETs erfüllt alle Erwartungen an leistungsfähige und robuste Transistoren, wobei die Ansteuerung eine entscheidende Rolle spielt. Bei Betrachtung der Messergebnisse des 3,3 kV SiC-MOSFETs offenbart sich allerdings, dass bei höhersperrenden Leistungshalbleiterbauelementen und höheren Sperrsichttemperaturen weitere Herausforderungen zu bewältigen sind. Die temperaturabhängige Schwellenspannung des vermessenen 3,3 kV SiC-MOSFETs ist beispielsweise gegenüber den 1,2 kV SiC-MOSFETs vergleichsweise gering, wodurch diese für einen sicheren Betrieb hinreichend beachtet werden muss.

Abschließend kann aus der vorliegenden Arbeit die Schlussfolgerung getroffen werden, dass die SiC-Bauelemente bei entsprechender Ansteuerung herausragende Schalt- und Durchlasseigenschaften aufweisen. In Bezug auf die gemessenen Schalteigenschaften der Transistoren ist dies im Speziellen für die Gehäuse mit Kelvin-Source-Anschluss zu betonen. Es konnte ebenfalls messtechnisch und simulatorisch festgestellt werden, dass das jeweils verwendete Gehäuse mit seinen parasitären Induktivitäten sowohl bei den Transistoren als auch bei den Dioden gleichzeitig eine der größten Schwachstellen ist.

7 Anhang

7.1 Darstellung des Messplatzes

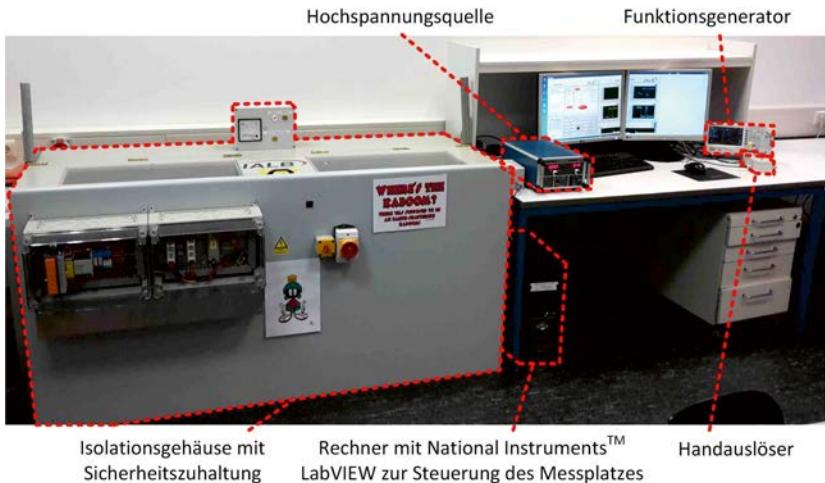


Bild 7.1: Fotografie des Messplatzes

7.2 Wichtige Komponenten zur Durchführung der Schaltversuche

Tabelle 7.1: Kommerzielle Messplatzkomponenten

Komponente	Typ	Wert/Bemerkung
Arbitrifunktionsgenerator	Rigol DG1022	
Arbitrifunktionsgenerator	Rigol DG4162	
Differenztastkopf	TESTEC TT-SI9002	1/20, 1/200
Digitales Thermometer	AMPROBE TMD-53	Thermoelement Typ K
Durchgangsabschlusswiderstand	Huber+Suhner 6701.01.B	
Durchgangsabschlusswiderstand	Radiall R405005000	
Elektronik Lötstation	ERSA DIG20A84	als Heizeinrichtung eingesetzt
Optokoppler	Meilhaus RED-MCON1100-ST	LAN-Isolator
Optokoppler	Meilhaus USB-GT	USB-Isolator
Oszilloskop	Tektronix MSO4104	
Rogowski-Spule	PEM CWT06B/2.5/100M/2	50mV/A
Shunt	T&M Research Products, Inc. SDN-414-01	$R_{\text{Shunt}} = 9,98 \text{ m}\Omega$
Shunt	T&M Research Products, Inc. SDN-414-01	$R_{\text{Shunt}} = 10,03 \text{ m}\Omega$
Shunt	T&M Research Products, Inc. SDN-414-025	$R_{\text{Shunt}} = 24,96 \text{ m}\Omega$
Shunt	T&M Research Products, Inc. SDN-414-10	$R_{\text{Shunt}} = 102,4 \text{ m}\Omega$
Tastkopf	PMK PHV 641-L-RO	1/100
Tastkopf	PMK PHVS 1000-RO	1/1000
Tastkopf	Tektronix P6139A	1/10, Oszilloskopzubehör
Trenntransformator	Tauscher TT500	$C_{\text{koppel}} = 100 \text{ pF}$

7.3 Darstellung der Messplatten für vergleichende Messungen

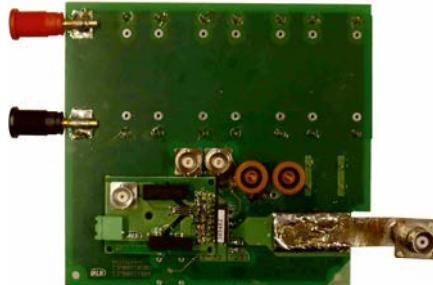


Bild 7.2: Fotografie der Platine zur Vermessung von Transistoren im TO-247-3L-Gehäuse

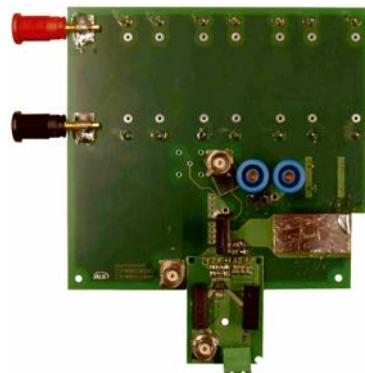


Bild 7.3: Fotografie der Platine zur Vermessung von Transistoren im TO-247-4L-Gehäuse

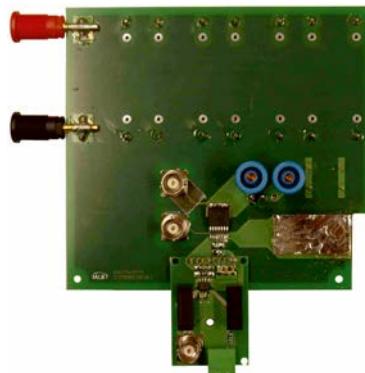


Bild 7.4: Fotografie der Platine zur Vermessung von Transistoren im TO-263-7L-Gehäuse

7.4 Technische Zeichnung des erstellten Simulationsmodells vom Koaxialshunt

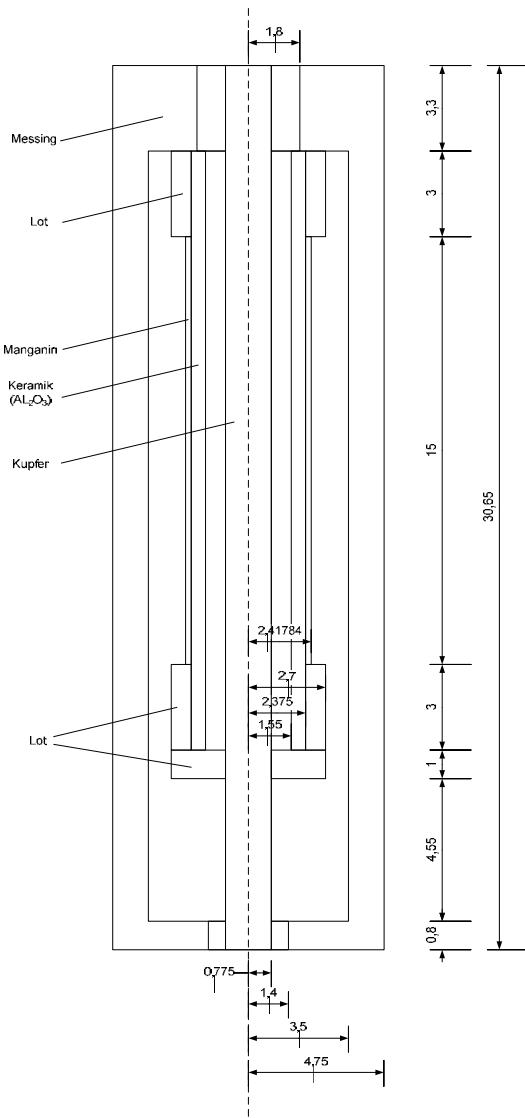


Bild 7.5: Technische Zeichnung des erstellten Simulationsmodells vom Koaxialshunt

7.5 SiC-BJT: Schaltgeschwindigkeiten in Abhängigkeit von I_C und T_J

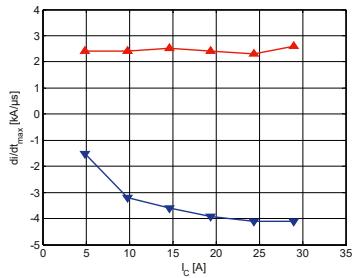


Bild 7.6: Maximale Stromänderungsgeschwindigkeiten $d(i)/dt_{max}$ des SiC-BJT FSICBH057A120 bei unterschiedlichen I_C mit $U_{DC} = 800$ V, $C_S = 47$ nF und $T_J = 25$ °C

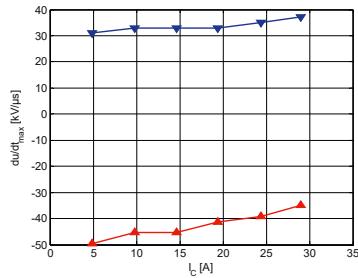


Bild 7.7: Maximale Spannungsänderungsgeschwindigkeiten du_{CE}/dt_{max} des SiC-BJT FSICBH057A120 bei unterschiedlichen I_C mit $U_{DC} = 800$ V, $C_S = 47$ nF und $T_J = 25$ °C

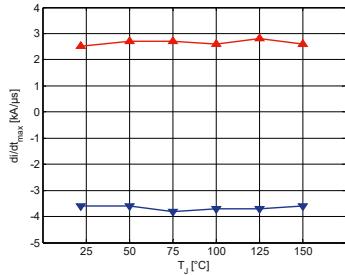


Bild 7.8: Maximale Stromänderungsgeschwindigkeiten $d(i)/dt_{max}$ des SiC-BJT FSICBH057A120 bei unterschiedlichen T_J mit $U_{DC} = 800$ V, $I_C = 14,6 \dots 14,8$ A und $C_S = 47$ nF

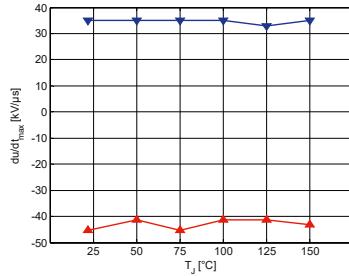


Bild 7.9: Maximale Spannungsänderungsgeschwindigkeiten du_{CE}/dt_{max} des SiC-BJT FSICBH057A120 bei unterschiedlichen T_J mit $U_{DC} = 800$ V, $I_C = 14,6 \dots 14,8$ A und $C_S = 47$ nF

7.6 SiC-MOSFET: Schaltverläufe in Abhängigkeit von $C_{GS,ext}$

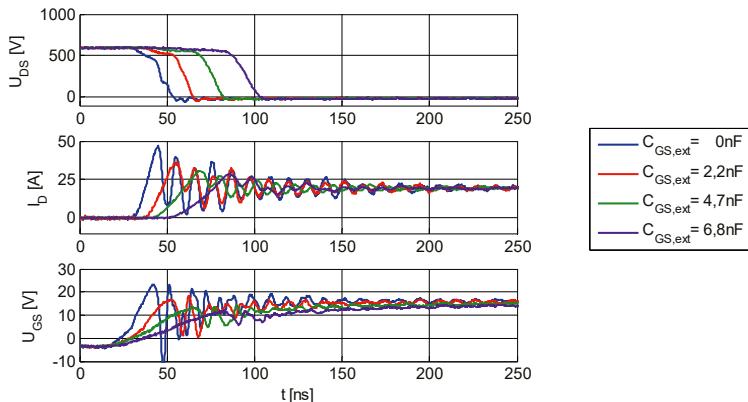


Bild 7.10: Einschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFETs X3M0065090K bei $U_{DC} = 600 \text{ V}$, $R_{G,\text{ext}} = 5,1 \Omega$, $I_D = 19,3 \text{ A} \dots 19,6 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$

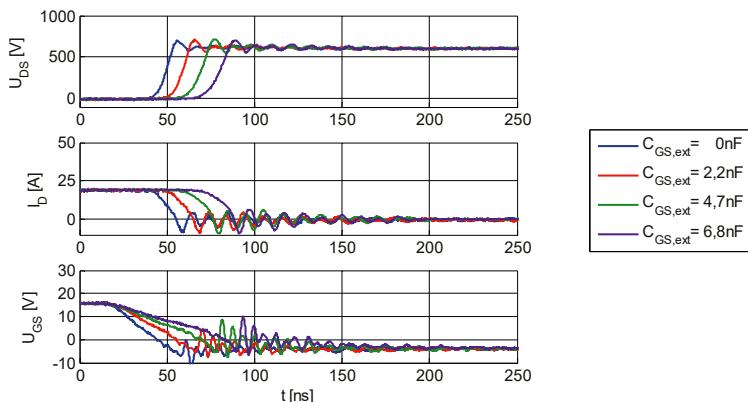


Bild 7.11: Ausschaltverläufe von u_{DS} , i_D und u_{GS} des SiC-MOSFETs X3M0065090K bei $U_{DC} = 600 \text{ V}$, $R_{G,\text{ext}} = 5,1 \Omega$, $I_D = 19,3 \text{ A} \dots 19,6 \text{ A}$ und $T_J = 25 \text{ }^\circ\text{C}$

7.7 SiC-MOSFET: Schaltgeschwindigkeiten in Abhängigkeit von $C_{GS,ext}$ und T_J

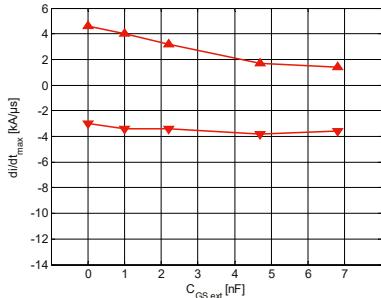


Bild 7.12: Maximale Stromänderungsgeschwindigkeiten di/dt_{max} bei unterschiedlichen $C_{GS,ext}$ bei $U_{DC} = 600 \text{ V}$, $R_{G,ext} = 5,1 \Omega$, $I_D = 19,3 \text{ A} \dots 19,6 \text{ A}$ und $T_J = 25^\circ\text{C}$

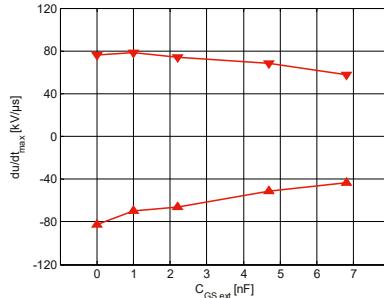


Bild 7.13: Maximale Spannungsänderungsgeschwindigkeiten du_{DS}/dt_{max} bei unterschiedlichen $C_{GS,ext}$ bei $U_{DC} = 600 \text{ V}$, $R_{G,ext} = 5,1 \Omega$, $I_D = 19,3 \text{ A} \dots 19,6 \text{ A}$ und $T_J = 25^\circ\text{C}$

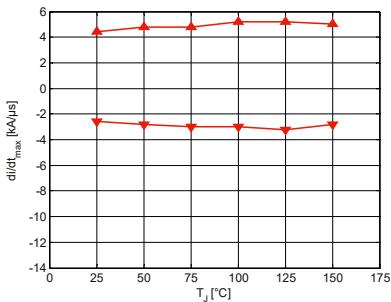


Bild 7.14: Maximale Stromänderungsgeschwindigkeiten di/dt_{max} bei unterschiedlichen T_J mit $U_{DC} = 600 \text{ V}$, $I_D = 19,4 \text{ A} \dots 19,7 \text{ A}$ und $R_{G,ext} = 5,1 \Omega$

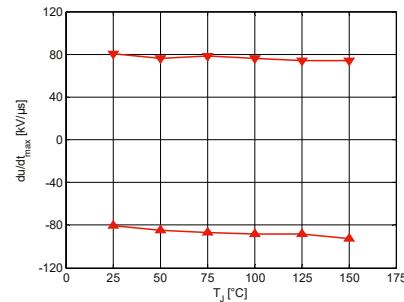


Bild 7.15: Maximale Spannungsänderungsgeschwindigkeiten du_{DS}/dt_{max} bei unterschiedlichen T_J mit $U_{DC} = 600 \text{ V}$, $I_D = 19,4 \text{ A} \dots 19,7 \text{ A}$ und $R_{G,ext} = 5,1 \Omega$

7.8 SiC-MOSFET: Simulationsmodell

```
.ic V(N001)=600 V(N002)=600 V(N003)=600 V(N004)=600 V(N005)=600 V(N006)=600 V(N007)=-4 V(N008)=-4 V(N009)=-4 V(N010)=0 V(N011)=0 V(N012)=0 V(N013)=0
```

```
.TEMP 25
.tran 0 16.3u 13.3u 0.05n
.options reltol=0.2
.options relax=1f
.options plotwinsize=0
.lib Cree Power C4D Packaged SPICE Model Librarylib
.lib C3M0065090x_model_llbrary_1p0lib
```

```
.step param s list 1 2 3 4 5
.param R1=table(s, 0.1, 0.2, 0.001, 3.100Meg, 4.00015, 1000Meg)
.param R2=table(s, 1, 1000Meg, 2, 1000Meg, 3, 0.001, 4, 1000Meg, 5, 0.001)

.param Ld1=table(s, 1.24n, 2.24n, 3.24n, 4.24n, 5.24n)
.param LD=table(s, 1.3, 8724n, 2.6, 3.838n, 3.6, 3.838n, 4.0, 12806n, 5.0, 12806n)
.param LS=table(s, 1.6, 6339n, 2.7, 3.986n, 3.7, 3.986n, 4.3, 6071n, 5.3, 6071n)
.param LG=table(s, 1.9, 7541n, 2.1, 11.868n, 3.11, 18.868n, 4.8, 3977n, 5.8, 3977n)
.param LK=table(s, 1.1p, 2.10.327n, 3.10.327n, 4.6, 6545n, 5.6, 6545n)

.param MDS=table(s, 1, -0.43474, 2, -0.30738, 3, -0.307384, -0.04351, 5, -0.04351)
.param MDS1=table(s, 1, 0.28911, 2, 0.2593, 3, 0.2594, 4, 0.4445, 5, 0.21743)
.param MDS2=table(s, 1, 0.28911, 2, 0.2593, 3, 0.2594, 4, 0.4445, 5, 0.018334)
.param MDO=table(s, 1.02, -0.19791, 3, -0.8771, 4, -0.03129, 5, 0.01292)
.param MKS=table(s, 1.02, 0.39283, 3, 0.39283, 4, 0.33545, 5, 0.33545)
.param MKG=table(s, 1, 0.2, -0.39365, 3, -0.39365, 4, -0.4155, 5, -0.415)
```

K1 L1 L2 (MDS)
K2 L2 L3 (MOS)
K3 L1 L3 (MDG)
K4 L4 L1 (MKD)
K5 L4 L2 (MKS)
K6 L4 L3 (MKG)

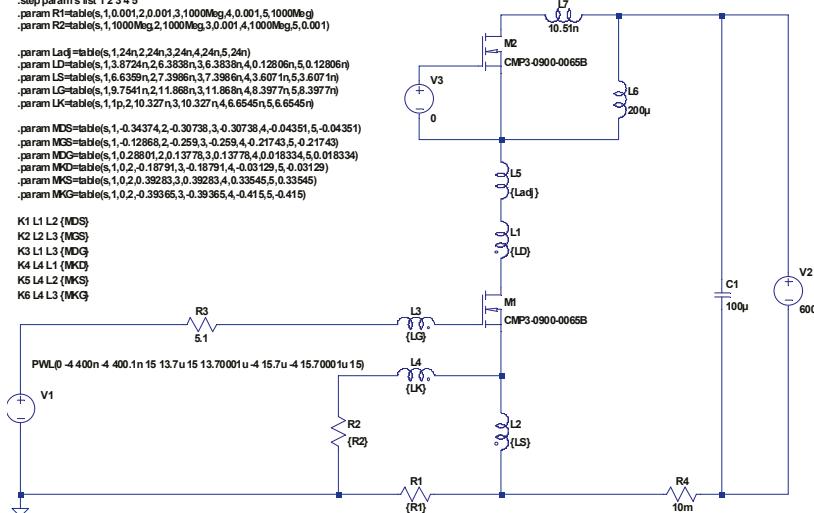


Bild 7.16: Zur Ermittlung des Schaltverhaltens des SiC-MOSFET-Chips CPM3-0900-0065B bei einer idealisierten Schaltumgebung in unterschiedlichen Gehäusen genutztes Simulationsmodell bei $U_{DC} = 600 \text{ V}$, $I_D \approx 40 \text{ A}$, $R_{G,ext} = 5,1 \Omega$, $U_{Treiber} = +15 \text{ V} / -4 \text{ V}$, $L_S = 24 \text{ nH}$ und $T_J = 25^\circ\text{C}$

8 Literaturverzeichnis

8.1 Fachliteratur

- [AdBK16] ADELMUND, M. ; BÖDEKER, C. ; KAMINSKI, N.: Optimisation of Shunt Resistors for Fast Transients. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE, 2016 — ISBN 978-3-8007-4186-1, S. 1232–1239
- [AHSS00] ASANO, K. ; HAYASHI, T. ; SAITO, R. ; SUGAWARA, Y.: High temperature static and dynamic characteristics of 3.7 kV high voltage 4H-SiC JBS. In: *Proceedings of the 12th International Symposium on Power Semiconductor Devices and ICs*. Toulouse, Frankreich : IEEE, 2000 — ISBN 0-7803-6269-1, S. 97–100
- [APMN08] AHMED, M.M.R. ; PARKER-ALLOTEY, N.A. ; MAWBY, P.A. ; NAWAZ, M. ; ZARING, C.: Characterization of the Static and Dynamic Behavior of a SiC BJT. In: *2008 13th International Power Electronics and Motion Control Conference*. Poznan, Polen : IEEE, 2008 — ISBN 978-1-4244-1741-4, S. 2472–2477
- [Appe14] APPEL, TOBIAS GERHARD: *Ein Beitrag zur Analyse des Schaltverhaltens unipolarer SiC-Transistoren* (Dissertation). Rostock : Universität Rostock, 2014
- [BADK14] BUONO, BENEDETTO ; ALLERSTAM, FREDRIK ; DOMEIJ, MARTIN ; KONSTANTINOV, ANDREI ; GUMAELIUS, KRISTER ; DAS, HRISHIKESH ; NEYER, THOMAS: Stability of Current Gain in SiC BJTs. In: *Materials Science Forum* Bd. 778–780 (2014), S. 1017–1020
- [Bali05] BALIGA, B. JAYANT: *Silicon Carbide Power Devices*. Singapore : World Scientific Publishing Co. Pte. Ltd., 2005 — ISBN 978-981-256-605-8
- [Bali08] BALIGA, B. JAYANT: *Fundamentals of Power Semiconductor Devices*. New York : Springer-Verlag, 2008 — ISBN 978-0-387-47313-0
- [Bali09] BALIGA, B. JAYANT: *Advanced Power Rectifier Concepts*. Dordrecht Heidelberg London New York : Springer-Verlag, 2009 — ISBN 978-0-387-75588-5
- [Bali96] BALIGA, B. JAYANT: *Power Semiconductor Devices*. Boston : PWS Publishing Company, 1996 — ISBN 0-534-94098-6
- [BASK16] BÖDEKER, CHRISTIAN ; ADELMUND, MELANIE ; SINGH, RANBIR ; KAMINSKI, NANDO: Impact of Different Packages on Fast Switching Silicon Carbide Bipolar Junction Transistors. In: *13th International Seminar on Power Semiconductors*. Prag, Tschechien, 2016 — ISBN 978-80-01-05998-2, S. 92–99
- [BASK17] BÖDEKER, C. ; ADELMUND, M. ; SINGH, R. ; KAMINSKI, N.: Influence of an Emitter Sense Pin on the Switching Behavior of SiC BJTs in Standard Discrete Housings. In: *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE Verlag GmbH Berlin Offenbach, 2017 — ISBN 978-3-8007-4424-4, S. 1392–1398
- [BBDD12] BERGNER, WOLFGANG ; BJOERK, FANNY ; DOMES, DANIEL ; DEBOY, GERALD: *Infineon's 1200V SiC JFET – The New Way of Efficient and Reliable High Voltages Switching*. URL <http://www.infineon.com/dgdl/Infineon%20-%20Article%20->

- %20CoolSiC_SiCFET.pdf?fileId=db3a3043372d5cc801376f50964a3e6b. - abgerufen am 2017-02-14. — Infineon. — Artikel
- [BCHJ08] BROSSELARD, PIERRE ; CAMARA, NICOLAS ; HASSAN, JAWAD ; JORDÀ, XAVIER ; BERGMAN, J. PEDER ; MONTSERRAT, JOSEP ; MILLÁN, JOSÉ: 3.3 kV-10A 4H-SiC PiN Diodes. In: *Materials Science Forum* Bd. 600–603 (2008), S. 991–994
- [BeMB17] BERTELSHOFER, T. ; MÄRZ, A. ; BAKRAN, M. M.: Design Rules to Adapt the Desaturation Detection for SiC MOSFET Modules. In: *Proceedings of the International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE Verlag GmbH, 2017 — ISBN 978-3-8007-4424-4
- [Bend16] BENDEL, JOHN: *Cascode Configuration Eases Challenges of Applying SiC JFETs*. URL http://unitedsic.com/wp-content/uploads/2017/01/USCI_AN0004-Cascode-Configuration-Eases-Challenges-of-Applying-SiC-JFETs.pdf. - abgerufen am 2017-08-07. — United Silicon Carbide. — Applikationsnotiz
- [BhBL15] BHALLA, ANUP ; BENDEL, JOHN ; LI, XUEQING: Robustness of SiC JFETs and Cascodes. In: *Bodo's Power Systems* (2015), Nr. 05-2015, S. 48–50
- [Bill12] BILLMANN, MARKUS: *Strommessungen mit Koaxialshunts* (Vortrag beim Cluster-Seminar Strom-Sensoren in der Leistungselektronik des Clusters Leistungselektronik im ECPE). Erlangen, 2012. — Vortragsunterlagen vom 29.02.2012
- [BLAD13] BHALLA, A. ; LI, X. ; ALEXANDROV, P. ; DRIES, J. C.: The outlook for SiC vertical JFET technology. In: *The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*. Columbus, OH, USA : IEEE, 2013 — ISBN 978-1-4799-1194-3, S. 40–43
- [BÖAK17] BÖDEKER, CHRISTIAN ; AYERBE, EDGAR ; KAMINSKI, NANDO: Impact of a Kelvin Source Connection on Discrete High Power SiC-MOSFETs (Abstract). In: *Book of Abstracts of the ICSCRM 2017*. Washington D.C., USA, 2017
- [BÖAK18a] BÖDEKER, CHRISTIAN ; ADELMUND, MELANIE ; KAMINSKI, NANDO: The M-Shunt Structure Applied to Printed Circuit Boards. In: *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*. Stuttgart : VDE, 2018 — ISBN 978-3-8007-4540-1, S. 446–451
- [BÖAK18b] BÖDEKER, CHRISTIAN ; AYERBE, EDGAR ; KAMINSKI, NANDO: Impact of a Kelvin Source Connection on Discrete High Power SiC-MOSFETs. In: *Materials Science Forum - Silicon Carbide and Related Materials 2017* Bd. 924 (2018), S. 723–726. — ISBN 978-3-0357-1145-5
- [BöKa15] BÖDEKER, CHRISTIAN ; KAMINSKI, NANDO: Investigation of an overvoltage protection for fast switching silicon carbide transistors. In: *IET Power Electronics* Bd. 8 (2015), S. 2336–2342
- [BöKa16a] BÖDEKER, C. ; KAMINSKI, N.: Implementation and investigation of the dynamic active clamping for silicon carbide MOSFETs. In: *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*. Karlsruhe : IEEE, 2016 — ISBN 978-90-75815-24-5

- [BÖKa16b] BÖDEKER, CHRISTIAN ; KAMINSKI, NANDO: Parasitic Effects During Turn-on and Turn-off of Silicon Carbon Diodes. In: *13th International Seminar on Power Semiconductors*. Prag, Tschechien, 2016 — ISBN 978-80-01-05998-2, S. 160–164
- [BÖRK14] BÖDEKER, CHRISTIAN ; RUGEN, SARAH ; KAMINSKI, NANDO: Investigation of the Dynamic Voltage Rise Control (DVRC) for Fast Switching Silicon Carbide Bipolar Junction Transistors. In: *ISPS'14 12th International Seminar on Power Semiconductors*. Prag, Tschechien, 2014 — ISBN 978-80-01-05555-7, S. 133–139
- [BÖRK15] BÖDEKER, CHRISTIAN ; RUGEN, SARAH ; KAMINSKI, NANDO: Dynamic Voltage Rise Control (DVRC) applied to SiC Bipolar Junction Transistors. In: *Materials Science Forum - Silicon Carbide and Related Materials 2014* Bd. 821–823 (2015), S. 826–829. — ISBN 978-3-03835-478-9
- [BÖVK15a] BÖDEKER, CHRISTIAN ; VOGT, TIMO ; KAMINSKI, NANDO: Thermal Limits of the Blocking Stability of Silicon Carbide Schottky Diodes. In: *Proceedings of the International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE Verlag GmbH, 2015 — ISBN 978-3-8007-3924-0, S. 1061–1067
- [BÖVK15b] BÖDEKER, CHRISTIAN ; VOGT, TIMO ; KAMINSKI, NANDO: Stability of Silicon Carbide Schottky Diodes against Leakage Current Thermal Runaway. In: *Proceedings of the 27th International Symposium on Power Semiconductor Devices & IC's*. Hong Kong, China, 2015 — ISBN 978-1-4799-6259-4, S. 245–248
- [BRMC12] BUTTAY, C. ; RAYNAUD, C. ; MOREL, H. ; CIVRAC, G. ; LOCATELLI, MARIE-LAURE ; MOREL, F.: Thermal Stability of Silicon Carbide Power Diodes. In: *IEEE Transactions on Electron Devices* Bd. 59 (2012), Nr. 3, S. 761–769
- [BVSK15] BÖDEKER, C. ; VOGT, T. ; SILBER, D. ; KAMINSKI, N.: Investigation of the thermal runaway of silicon carbide diodes during blocking operation. In: *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*. Genf, Schweiz : IEEE, 2015 — ISBN 978-90-75815-22-1
- [BVSK16] BÖDEKER, C. ; VOGT, T. ; SILBER, D. ; KAMINSKI, N.: Criterion for the Stability Against Thermal Runaway During Blocking Operation and Its Application to SiC Diodes. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics* Bd. 4 (2016), Nr. 3, S. 970–977
- [CASG13] CHENG, LIN ; AGARWAL, A.K. ; SCHUPBACH, M. ; GAJEWSKI, D.A. ; LICHTENWALLNER, D.J. ; PALA, V. ; RYU, SEI-HYUNG ; RICHMOND, J. ; U. A.: High performance, large-area, 1600 V / 150 A, 4H-SiC DMOSFET for robust high-power and high-temperature applications. In: *2013 25th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*. Kanazawa, Japan : IEEE, 2013 — ISBN 978-1-4673-5134-8, S. 47–50
- [CFKH13] CASTELLAZZI, A. ; FUNAKI, T. ; KIMOTO, T. ; HIKIHARA, T.: Short-circuit tests on SiC power MOSFETs. In: *2013 IEEE 10th International Conference on Power Electronics and Drive Systems (PEDS)*. Kitakyushu, Japan : IEEE, 2013 — ISBN 978-1-4673-1790-0, S. 1297–1300

- [CFYR14] CASTELLAZZI, A. ; FAYYAZ, A. ; YANG, LI ; RICCIO, M. ; IRACE, A.: Short-circuit robustness of SiC Power MOSFETs: Experimental analysis. In: *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*. Waikoloa, HI, USA : IEEE, 2014 — ISBN 978-1-4799-2917-7, S. 71–74
- [ChNK17] CHI, XILUN ; NIWA, HIROKI ; KIMOTO, TSUNENOBU: Breakdown Characteristics of 4H-SiC p-n Junction Diodes with a Wide Range of Doping Concentration (Abstract). In: *Book of Abstracts of the ICSCRM 2017*. Washington D.C., USA, 2017
- [CLLP15a] CHEN, CHENG ; LABROUSSE, DENIS ; LEFEBVRE, STÉPHANE ; PETIT, MICKAEL ; BUTTAY, CYRIL ; MOREL, HERVÉ: Study of short-circuit robustness of SiC MOS-FETs, analysis of the failure modes and comparison with BJTs. In: *Microelectronics Reliability* Bd. 55 (2015), Nr. 9–10, S. 1708–1713
- [CLLP15b] CHEN, C. ; LABROUSSE, D. ; LEFEBVRE, S. ; PETIT, M. ; BUTTAY, C. ; MOREL, H.: Robustness in short-circuit Mode of SiC MOSFETs. In: *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE, 2015 — ISBN 978-3-8007-3924-0, S. 1–8
- [CPBH16] CASADY, J. ; PALA, V. ; BRUNT, E. V. ; HULL, B. ; RYU, S. H. ; WANG, G. Y. ; RICHMOND, J. ; ALLEN, S. T. ; U. A.: Ultra-low (1.25mΩ) On-Resistance 900V SiC 62mm Half-Bridge Power Modules Using New 10mΩ SiC MOSFETs. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE, 2016 — ISBN 978-3-8007-4186-1, S. 1–8
- [CzHe08] CZICHOS, H. ; HENNECKE, M. (Hrsg.): *Hütte - Das Ingenieurwissen*. 33. Aufl. Berlin Heidelberg : Springer-Verlag, 2008 — ISBN 978-3-540-71851-2
- [Davi65] DAVIS, R.: Design Formulas for Nonreactive High-Voltage Pulse Resistors. In: *Parts, Materials and Packaging, IEEE Transactions on* Bd. 1 (1965), Nr. 2, S. 3–23
- [DLZK10] DOMEIJ, M. ; LINDGREN, A. ; ZARING, C. ; KONSTANTINOV, A. O. ; SVEDBERG, J-O. ; GUMAELIUS, K. ; KERI, I. ; GRENNELL, H. ; U. A.: 1200V 6A SiC BJTs with very low VCESAT and fast switching. In: *Proceedings of the PCIM Europe 2010; International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality*. Nürnberg : VDE Verlag GmbH Berlin Offenbach, 2010 — ISBN 978-3-8007-3229-6, S. 287–292
- [DLZÖ07] DOMEIJ, M. ; LEE, H. S. ; ZETTERLING, C. M. ; ÖSTLING, M.: Analysis of the base current and saturation voltage in 4H-SiC power BJTs. In: *2007 European Conference on Power Electronics and Applications*. Aalborg, Dänemark : IEEE, 2007 — ISBN 978-92-75815-10-8, S. 1–7
- [Dyer01] DYER, S. A. (Hrsg.): *Wiley Survey of Instrumentation and Measurement*. 1. Aufl. New York, Chichester, Weinheim, Brisbane, Singapore, Toronto : John Wiley & Sons, Inc., 2001 — ISBN 0-471-39484-X
- [FHLD14] FRANKESER, SOPHIA ; HILLER, SEBASTIAN ; LUTZ, JOSEF ; DOMES, KONRAD: Proportional Driver for SiC BJTs in electric vehicle inverter application. In: *Proceedings of the PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE Verlag GmbH, 2014 — ISBN 978-3-8007-3603-4, S. 82–89

- [FiWG96] FINNEY, S. J. ; WILLIAMS, B. W. ; GREEN, T. C.: RCD snubber revisited. In: *IEEE Transactions on Industry Applications* Bd. 32 (1996), Nr. 1, S. 155–160
- [FKLP10] FRIEDRICHHS, PETER ; KIMOTO, TSUNENOBU ; LEY, LOTHAR ; PENSL, GERHARD: *Silicon Carbide, Vol. 2: Power Devices and Sensors, Silicon Carbide*. Bd. 2 v. 2. Weinheim : WILEY-VCH Verlag GmbH & Co. KGaA, 2010 — ISBN 978-3-527-40997-6
- [GBDZ11] GHANDI, R. ; BUONO, B. ; DOMEIJ, MARTIN ; ZETTERLING, C. -M ; OSTLING, M.: High-Voltage (2.8 kV) Implantation-Free 4H-SiC BJTs With Long-Term Stability of the Current Gain. In: *IEEE Transactions on Electron Devices* Bd. 58 (2011), Nr. 8, S. 2665–2669
- [GCFH11] GREKOV, A. E. ; CHEN, Z. ; FU, R. ; HUDGINS, J. L. ; MANTOOTH, H. A. ; SHERIDAN, D. C. ; CASADY, J. ; SANTI, E.: Parameter Extraction Procedure for Vertical SiC Power JFET. In: *IEEE Transactions on Industry Applications* Bd. 47 (2011), Nr. 4, S. 1862–1871
- [Gerl79] GERLACH, WILLI: *Thyristoren, Halbleiter-Elektronik*. Bd. 12. Berlin Heidelberg New York : Springer-Verlag, 1979 — ISBN 3-540-09438-5
- [GHCA06] GAO, Y. ; HUANG, A. Q. ; CHEN, B. ; AGARWAL, A. K. ; KRISHNASWAMI, S. ; SCOZ-ZIE, C.: Analysis of SiC BJT RBSOA. In: *2006 IEEE International Symposium on Power Semiconductor Devices and IC's*. Naples, Italy : IEEE, 2006 — ISBN 0-7803-9714-2, S. 1–4
- [GHXZ06] GAO, YAN ; HUANG, A.Q. ; XU, XIAOJUN ; ZHONG, DU ; AGARWAL, A.K. ; KRISHNASWAMI, S. ; RYU, SEI-HYUNG: 4H-SiC BJT Characterization at High Current High Voltage. In: *Power Electronics Specialists Conference, 2006. PESC '06*. 37th IEEE. Jeju, Südkorea : IEEE, 2006 — ISBN 0-7803-9716-9, S. 1–5
- [GLDB08] GHANDI, R. ; LEE, HYUNG-SEOK ; DOMEIJ, MARTIN ; BUONO, B. ; ZETTERLING, C. -M ; OSTLING, M.: Fabrication of 2700-V 12-mΩcm² Non Ion-Implanted 4H-SiC BJTs With Common-Emitter Current Gain of 50. In: *IEEE Electron Device Letters* Bd. 29 (2008), Nr. 10, S. 1135–1137
- [HaSh02] HATAKEYAMA, TETSUO ; SHINOHE, TAKASHI: Reverse Characteristics of a 4H-SiC Schottky Barrier Diode. In: *Materials Science Forum* Bd. 389–393 (2002), S. 1169–1172
- [HeDP16] HEER, D. ; DOMES, D. ; PETERS, D.: Switching performance of a 1200 V SiC-Trench-MOSFET in a low-power module. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE, 2016 — ISBN 978-3-8007-4186-1, S. 1–7
- [HeKN98] HELD, R. ; KAMINSKI, N. ; NIEMANN, E.: SiC Merged p-n/Schottky Rectifiers for High Voltage Applications. In: *Materials Science Forum* Bd. 264–268 (1998), S. 1057–1060
- [HHJK11] HÄBERLE, HEINZ O. ; HÄBERLE, GREGOR ; JÖCKEL, HANS WALTER ; KRALL, RUDOLF ; SCHIEMANN, BERND ; SCHMITT, SIEGFRIED ; TKOTZ, KLAUS: *Tabellenbuch Elektrotechnik*. 24. Aufl. Haan-Gruiten : Verlag Europa-Lehrmittel, Nourney, Völmer GmbH & Co. KG, 2011 — ISBN 978-3-8085-3220-1

- [HKWI03] HATAKEYAMA, TETSUO ; KUSHIBE, MITSUHIRO ; WATANABE, TAKATOSHI ; IMAI, SEIJI ; SHINOHE, TAKASHI: Optimum Design of a SiC Schottky Barrier Diode Considering Reverse Leakage Current due to a Tunneling Process. In: *Materials Science Forum* Bd. 433–436 (2003), S. 831–834
- [Horn06] HORNKAMP, MICHAEL: *Circuit arrangement for control of a semiconductor circuit* (Patent Nr. US7119586 B2), 2006
- [Hudo14] HUDOFFSKY, BORIS: *Berührungslose Messung schnell veränderlicher Ströme* (Dissertation). Stuttgart : Universität Stuttgart, 2014
- [HWLH13] HUANG, X. ; WANG, G. ; LI, Y. ; HUANG, A. Q. ; BALIGA, B. J.: Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection. In: *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. Long Beach, CA, USA : IEEE, 2013 — ISBN 978-1-4673-4354-1, S. 197–200
- [JSSK16] JIANG, Y. ; SUNG, W. ; SONG, X. ; KE, H. ; LIU, S. ; BALIGA, B. J. ; HUANG, A. Q. ; BRUNT, E. VAN: 10kV SiC MPS diodes for high temperature applications. In: *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*. Prag, Tschechien : IEEE, 2016 — ISBN 978-1-4673-8770-5, S. 43–46
- [KaHi14] KAMIINSKI, N. ; HILT, O.: SiC and GaN devices - wide bandgap is not all the same. In: *IET Circuits, Devices Systems* Bd. 8 (2014), Nr. 3, S. 227–236
- [Kami17] KAMIINSKI, NANDO: The ideal chip is not enough: Issues regarding the success of wide band-gap devices. In: *Japanese Journal of Applied Physics* Bd. 56 (2017), Nr. 4S, S. 6
- [KaSc13] KAMINSKI, NANDO ; SCHNELL, RAFFAEL: *Thermal runaway during blocking*. URL https://library.e.abb.com/public/4839b96959e24e32b59b08285a11bf0/Thermal%20runaway%20during%20blocking_5SYA%202045-01NLay.pdf. - abgerufen am 2018-01-11. — ABB. — Applikationsnotiz
- [KEND13] KIZILYALLI, I.C. ; EDWARDS, A.P. ; NIE, HUI ; DISNEY, D. ; BOUR, D.: High Voltage Vertical GaN p-n Diodes With Avalanche Capability. In: *IEEE Transactions on Electron Devices* Bd. 60 (2013), Nr. 10, S. 3067–3070
- [KiCo14] KIMOTO, TSUNENOBU ; COOPER, JAMES A.: *Fundamentals of Silicon Carbide Technology - Growth, Characterization, Devices, and Applications*. Singapore : John Wiley & Sons Singapore Pte. Ltd., 2014 — ISBN 978-1-118-31352-7
- [KITM17] KIMOTO, T. ; IIJIMA, A. ; TSUCHIDA, H. ; MIYAZAWA, T. ; TAWARA, T. ; OTSUKI, A. ; KATO, T. ; YONEZAWA, Y.: Understanding and reduction of degradation phenomena in SiC power devices. In: *2017 IEEE International Reliability Physics Symposium (IRPS)*. Monterey, CA, USA : IEEE, 2017 — ISBN 978-1-5090-6641-4, S. 2A–1.1–2A–1.7
- [KiYN13] KIMOTO, T. ; YOSHIOKA, H. ; NAKAMURA, T.: Physics of SiC MOS interface and development of trench MOSFETs. In: *The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*. Columbus, OH, USA : IEEE, 2013 — ISBN 978-1-4799-1194-3, S. 135–138
- [Knei98] KNEIFEL, MARCUS: *Unipolare Siliziumkarbid-Leistungsbauelemente : Modellbildung und Beurteilung von Anwendungen in leistungselektronischen Systemen, Elektronik*. Bd. 273. Düsseldorf : VDI-Verlag, 1998 — ISBN 3-18-327309-8

- [KNMN16] KIZU, N. ; NATE, S. ; MIURA, M. ; NAKANISHI, M. ; HASE, N. ; KAWAMOTO, N. ; INO, K.: Evolution of SiC products for industrial application. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE, 2016 — ISBN 978-3-8007-4186-1, S. 1–6
- [KuMR13] KUPFMÜLLER, KARL ; MATHIS, WOLFGANG ; REIBIGER, ALBRECHT: *Theoretische Elektrotechnik - Eine Einführung*. 19. Aufl. Berlin Heidelberg : Springer-Verlag, 2013 — ISBN 978-3-642-37939-0
- [LAXI13] LIU, G. ; AHYI, A. C. ; XU, Y. ; ISAACS-SMITH, T. ; SHARMA, Y. K. ; WILLIAMS, J. R. ; FELDMAN, L. C. ; DHAR, S.: Enhanced Inversion Mobility on 4H-SiC (11-20) Using Phosphorus and Nitrogen Interface Passivation. In: *IEEE Electron Device Letters* Bd. 34 (2013), Nr. 2, S. 181–183
- [LBDH03] LENDENMANN, H. ; BERGMAN, J. PEDER ; DAHLQUIST, FANNY ; HALLIN, CHRISTER: Degradation in SiC Bipolar Devices: Sources and Consequences of Electrically Active Dislocations in SiC. In: *Materials Science Forum* Bd. 433–436 (2003), S. 901–906
- [Lemc06] LEM COMPONENTS: *Galvanisch getrennte Strom- und Spannungswandler Eigenschaften - Anwendungen - Dimensionierung*. URL http://www.lem.com/images/stories/files/Products/P1_5_1_industry/ch24101d.pdf. - abgerufen am 2017-07-01. — LEM Components. — Dokumentation CH24101D 3. Auflage
- [LFWZ10] LI, MING ; FANG, XIONG ; WANG, YUE ; ZHANG, LEQIANG ; WANG, KE ; ZHAO, GUOPENG: Simulation study of parameter influence on Dynamic Voltage Rise Control. In: *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. Palm Springs, CA : IEEE, 2010 — ISBN 978-1-4244-4782-4, S. 1745–1748
- [LGHE15] LELIS, A. J. ; GREEN, R. ; HABERSAT, D. B. ; EL, M.: Basic Mechanisms of Threshold-Voltage Instability and Implications for Reliability Testing of SiC MOSFETs. In: *IEEE Transactions on Electron Devices* Bd. 62 (2015), Nr. 2, S. 316–323
- [LiDo11a] LINDGREN, A. ; DOMEIJ, MARTIN: Degradation free fast switching 1200 V 50 A silicon carbide BJT's. In: *Applied Power Electronics Conference and Exposition (APEC)*, 2011 Twenty-Sixth Annual IEEE. Fort Worth, TX : IEEE, 2011 — ISBN 978-1-4244-8084-5, S. 1064–1070
- [LiDo11b] LINDGREN, A. ; DOMEIJ, M.: Fast switching 1200 V 50 A silicon carbide BJT's in boost converters. In: *Proceedings of the 2011-14th European Conference on Power Electronics and Applications (EPE 2011)*. Birmingham : IEEE, 2011 — ISBN 978-1-61284-167-0, S. 1–8
- [LiMu14] LI, HELONG ; MUNK-NIELSEN, STIG: Challenges in Switching SiC MOSFET without Ringing. In: *Proceedings of PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. Nürnberg : VDE, 2014 — ISBN 978-3-8007-3603-4, S. 989–994
- [LNWS17] LIU, T. ; NING, R. ; WONG, T. T. Y. ; SHEN, Z. J.: A new characterization technique for extracting parasitic inductances of fast switching power MOSFETs using two-port vector network analyzer. In: *2017 29th International Symposium on Power*

- Semiconductor Devices and IC's (ISPSD)*. Sapporo, Japan : IEEE, 2017 — ISBN 978-4-88686-094-1, S. 403–406
- [LSSD11] LUTZ, JOSEF ; SCHLANGENOTTO, HEINRICH ; SCHEUERMANN, UWE ; DE DONCKER, RIK: *Semiconductor Power Devices - Physics, Characteristics, Reliability*. 1. Aufl. Heidelberg : Springer-Verlag, 2011 — ISBN 978-3-642-11124-2
- [Lutz12] LUTZ, JOSEF: *Halbleiter-Leistungsbauelemente - Physik, Eigenschaften, Zuverlässigkeit*. 2. Aufl. Berlin Heidelberg : Springer-Verlag, 2012 — ISBN 978-3-642-29795-3
- [März11] MÄRZ, MARTIN: Sind moderne Leistungshalbleiter zu schnell? Aspekte zum Umgang mit Schaltungsparasiten. In: *ETG-Fachtagung Bauelemente der Leistungselektronik und ihre Anwendungen*. Bd. 128. Bad Nauheim : VDE Verlag GmbH, 2011 — ISBN 978-3-8007-3341-5, S. 87–95
- [MBHB16] MAERZ, A. ; BERTELSHOFER, T. ; HORFF, R. ; BAKRAN, M. M.: Requirements of short-circuit detection methods and turn-off for wide band gap semiconductors. In: *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*. Nürnberg : VDE, 2016 — ISBN 978-3-8007-4171-7, S. 1–6
- [MONK12] MIYAKE, H. ; OKUDA, T. ; NIWA, H. ; KIMOTO, T. ; SUDA, J.: 21-kV SiC BJTs With Space-Modulated Junction Termination Extension. In: *IEEE Electron Device Letters* Bd. 33 (2012), Nr. 11, S. 1598–1600
- [Naga09] NAGAOKA, HANTARO: The Inductance Coefficients of Solenoids. In: *Journal of the College of Science, Imperial University, Tokyo, Japan*. Bd. 27 (1909)
- [NaKH97] NABESHIMA, TAKASHIGE ; KATO, KATSUHISA ; HIDAKA, TOSHIAKI: *Reduced inductance coaxial resistor* (Patent Nr. US5596309 A), 1997
- [OCPB14] OUAIDA, REMY ; CALVEZ, CYRIL ; PODLEJSKI, ANNE-SOPHIE ; BROSSELARD, PIERRE ; OUAIDA, REMY: Evolution of Electrical Performance in New Generation of SiC MOSFET for High Temperature Applications. In: *Integrated Power Systems (CIPS), 2014 8th International Conference on*. Nürnberg : VDE, 2014 — ISBN 978-3-8007-3578-5, S. 1–5
- [OMNT11] OGATA, S. ; MIYANAGI, Y. ; NAKAYAMA, K. ; TANAKA, A. ; ASANO, K.: 5kV class 4H-SiC PiN diode with low voltage overshoot during forward recovery for high frequency inverter. In: *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*. San Diego, CA, USA : IEEE, 2011 — ISBN 978-1-4244-8425-6, S. 296–299
- [OrPi04] ORELLANA, A. ; PIEPENBREIER, B.: Fast gate drive for SiC-JFET using a conventional driver for MOSFETs and additional protections. In: *30th Annual Conference of IEEE Industrial Electronics Society, 2004. IECON 2004*. Busan, Südkorea : IEEE, 2004 — ISBN 0-7803-8730-9, S. 938–943
- [PfRi24] PFEUFFER, HANS ; RICHTERA, LEOPOLD: *Der Radio-Empfangsapparat - Ein radio-technisches Hilfsbuch (einschl. des Selbstbaues), Tagblatt-Bibliothek*. Bd. 125/130. Wien : Steyrermühl-Verlag, 1924
- [Powe02] POWER ELECTRONIC MEASUREMENTS LTD.: *Application Notes*. URL <http://www.pemuk.com/Userfiles/CWT%20-%20Technical%20notes%20->

- %20001.PDF. - abgerufen am 2016-12-27. — Power Electronic Measurements Ltd. — Applikationsnotiz
- [PSAB17] PETERS, D. ; SIEMIENIEC, R. ; AICHINGER, T. ; BASLER, T. ; ESTEVE, R. ; BERGNER, W. ; KUECK, D.: Performance and ruggedness of 1200V SiC-Trench-MOSFET. In: *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. Sapporo, Japan : IEEE, 2017 — ISBN 978-4-88686-094-1, S. 239–242
- [RASPO1] RYU, SEI-HYUNG ; AGARWAL, A.K. ; SINGH, RANBIR ; PALMOUR, J.W.: 1800 V NPN bipolar junction transistors in 4H-SiC. In: *IEEE Electron Device Letters* Bd. 22 (2001), Nr. 3, S. 124–126
- [RBKL16] RUGEN, SARAH ; BÖDEKER, CHRISTIAN ; KORTAZAR, ITZIAR ; LARRAZABAL, IGOR ; FRIEDRICH, PETER ; KAMINSKI, NANDO: Investigation of the turn-on behaviour of silicon pin-diodes and SiC-Schottky-diodes and its impact on the anti-parallel IGBT. In: *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*. Karlsruhe : IEEE, 2016 — ISBN 978-90-75815-24-5
- [Reis05] REISCH, MICHAEL: *Halbleiter-Bauelemente*. Berlin Heidelberg New York : Springer-Verlag, 2005 — ISBN 3-540-21384-8
- [RGKS14] RUPP, R. ; GERLACH, R. ; KABAKOW, A. ; SCHORNER, R. ; HECHT, C. ; EPELT, R. ; DRAGHICI, M.: Avalanche behaviour and its temperature dependence of commercial SiC MPS diodes: Influence of design and voltage class. In: *Proceedings of the 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*. Waikoloa, HI, USA : IEEE, 2014 — ISBN 978-1-4799-2917-7, S. 67–70
- [RMRA15] ROMANO, G. ; MARESCA, L. ; RICCIO, M. ; D'ALESSANDRO, V. ; BREGLIO, G. ; IRACE, A. ; FAYYAZ, A. ; CASTELLAZZI, A.: Short-circuit failure mechanism of SiC power MOSFETs. In: *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC's (ISPSD)*. Hong Kong, China : IEEE, 2015 — ISBN 978-1-4799-6259-4, S. 345–348
- [RPNZ12] RABKOWSKI, JACEK ; PEFTITSIS, DIMOSTHENIS ; NEE, HANS-PETER ; ZDANOWSKI, MARIUSZ: A Simple High-Performance Low-Loss Current-Source Driver for SiC Bipolar Transistors. In: *Power Electronics and Motion Control Conference (IPEMC), 2012 7th International*. Harbin, China, 2012 — ISBN 978-1-4577-2085-7, S. 222–228
- [RTPN12] RABKOWSKI, J. ; TOLSTOY, G. ; PEFTITSIS, D. ; NEE, H.: Low-Loss High-Performance Base-Drive Unit for SiC BJTs. In: *Power Electronics, IEEE Transactions on* Bd. 27 (2012), Nr. 5, S. 2633–2643
- [ScAy15] SCHUPBACH, MARCELO ; AYERBE, EDGAR: Advances in SiC MOSFET Technology Drive Down Cost of High-Bay and Outdoor Lightning Fixtures. In: *Bodo's Power Systems* (2015), Nr. 09-2015, S. 28–35
- [Scho10] SCHON, KLAUS: *Stoßspannungs- und Stoßstrommesstechnik Grundlagen – Messgeräte – Messverfahren*. Heidelberg Dordrecht London New York : Springer-Verlag, 2010 — ISBN 978-3-642-13116-5
- [Schr06] SCHRÖDER, DIERK: *Leistungselektronische Bauelemente*. 2. Aufl. Springer Berlin Heidelberg New York : Springer-Verlag, 2006 — ISBN 978-3-540-28728-5

- [Schr09] SCHRODER, D. K.: Bias temperature instability in silicon carbide. In: *2009 International Semiconductor Device Research Symposium*. College Park, MD, USA : IEEE, 2009 — ISBN 978-1-4244-6030-4, S. 1–2
- [Schw12] SCHWEITZER, D.: A method to adapt Zth-junction-to-ambient curves to varying ambient conditions. In: *2012 28th Annual IEEE Semiconductor Thermal Measurement and Management Symposium (SEMI-THERM)*. San Jose, CA, USA : IEEE, 2012 — ISBN 978-1-4673-1110-6, S. 205–211
- [Schw81] SCHWAB, ADOLF J.: *Hochspannungsmesstechnik - Messgeräte und Messverfahren*. 2 Nachdruck 2011 in veränderter Ausstattung. Aufl. Heidelberg Dordrecht London New York : Springer-Verlag, 1981 — ISBN 978-3-642-19881-6
- [ScKa05] SCHNELL, RAFFAEL ; KAMINSKI, NANDO: *Thermal runaway during blocking* (Application Note Nr. 5SYA 2045-01) : ABB Switzerland Ltd Semiconductors, 2005
- [SCTP16] SADIK, D. P. ; COLMENARES, J. ; TOLSTOY, G. ; PEFTITSIS, D. ; BAKOWSKI, M. ; RABKOWSKI, J. ; NEE, H. P.: Short-Circuit Protection Circuits for Silicon-Carbide Power Transistors. In: *IEEE Transactions on Industrial Electronics* Bd. 63 (2016), Nr. 4, S. 1995–2004
- [Shei14] SHEIKHIAN, IRAJ: *IGBTs for Zero-Voltage Soft Switching Applications* (Dissertation). Bremen : Universität Bremen, 2014
- [SICR02] SINGH, RANBIR ; IRVINE, K.G. ; CAPELL, D.C. ; RICHMOND, J.T. ; BERNING, D. ; HEFNER, A.R. ; PALMOUR, J.W.: Large area, ultra-high voltage 4H-SiC p-i-n rectifiers. In: *IEEE Transactions on Electron Devices* Bd. 49 (2002), Nr. 12, S. 2308–2316
- [SiKi11] SIEMIENIEC, R. ; KIRCHNER, U.: The 1200V direct-driven SiC JFET power switch. In: *Proceedings of the 2011-14th European Conference on Power Electronics and Applications (EPE 2011)*. Birmingham, UK : IEEE, 2011 — ISBN 978-1-61284-167-0, S. 1–10
- [Sing05] SINGH, RANBIR: High Power SiC pin Rectifiers. In: *International Journal of High Speed Electronics and Systems* Bd. 15 (2005), Nr. 4, S. 867–898
- [SRKB10] SHERIDAN, D. C. ; RITENOUR, A. ; KELLEY, R. ; BONDARENKO, V. ; CASADY, J. B.: Advances in SiC VJFETs for renewable and high-efficiency power electronics applications. In: *The 2010 International Power Electronics Conference - ECCE ASIA* -. Sapporo, Japan : IEEE, 2010 — ISBN 978-1-4244-5394-8, S. 3254–3258
- [SSLD12] SINGH, R. ; SUNDARESAN, S. ; LIESER, E. ; DIGANGI, M.: 1200 V SiC „Super“ Junction Transistors operating at 250 °C with extremely low energy losses for power conversion applications. In: *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. Orlando, FL, USA : IEEE, 2012 — ISBN 978-1-4577-1215-9, S. 2516–2520
- [SXWY17] SUN, J. ; XU, H. ; WU, X. ; YANG, S. ; GUO, Q. ; SHENG, K.: Short circuit capability and high temperature channel mobility of SiC MOSFETs. In: *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. Sapporo, Japan : IEEE, 2017 — ISBN 978-4-88686-094-1, S. 399–402
- [Sze02] SZE, S. M.: *Semiconductor Devices Physics and Technology*. 2. Aufl. Hoboken, New Jersey : John Wiley & Sons, Inc., 2002 — ISBN 978-0-471-33372-2

- [Sze81] SZE, S. M.: *Physics of Semiconductor Devices*. 2. Aufl. New York, Chichester, Brisbane, Toronto, Singapore : John Wiley & Sons, Inc., 1981 — ISBN 0-471-05661-8
- [SzNg07] SZE, S. M. ; NG, KWOK K.: *Physics of Semiconductor Devices*. 3. Aufl. Hoboken, New Jersey : John Wiley & Sons, Inc., 2007 — ISBN 978-0-471-14323-9
- [Thom00] THOMSON-CSF: *Handbuch II Transistoren in der Leistungselektronik*. München : Thomson-CSF Bauelemente GmbH (Eigenverlag). — ungefähr 1983
- [Thom79] THOMSON-CSF: *Handbuch Leistungstransistoren*. München : Thomson-CSF GmbH (Eigenverlag), 1979
- [VoHo12] VOLKE, ANDREAS ; HORNKAMP, MICHAEL: *IGBT Modules: Technologies, Driver and Application*. 2. Aufl. München : Infineon Technologies AG, 2012 — ISBN 978-3-00-040134-3
- [WNTR10] WINTRICH, ARENDT ; NICOLAI, ULRICH ; TURSKY, WERNER ; REIMANN, TOBIAS: *Semikron Applikations Handbuch Leistungshalbleiter*. Ilmenau : Verlag ISLE, 2010 — ISBN 978-3-938843-56-7
- [WSYC13] WEI, RUSHENG ; SONG, SHENG ; YANG, KUN ; CUI, YINGXIN ; PENG, YAN ; CHEN, XIUFANG ; HU, XIAOBO ; XU, XIANGANG: Thermal conductivity of 4H-SiC single crystals. In: *Journal of Applied Physics* Bd. 113 (2013), Nr. 5, S. 053503-1-053503-4
- [WZWS14] WANG, Z. ; ZHANG, J. ; WU, X. ; SHENG, K.: Analysis of stray inductance's influence on SiC MOSFET switching performance. In: *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*. Pittsburgh, PA, USA : IEEE, 2014 — ISBN 978-1-4799-5776-7, S. 2838–2843
- [YKOH15] YANO, H. ; KANAFUJI, N. ; OSAWA, A. ; HATAYAMA, T. ; FUYUKI, T.: Threshold Voltage Instability in 4H-SiC MOSFETs With Phosphorus-Doped and Nitrided Gate Oxides. In: *IEEE Transactions on Electron Devices* Bd. 62 (2015), Nr. 2, S. 324–332
- [ZBHC09] ZHANG, QINGCHUN ; BURK, A. ; HUSNA, F. ; CALLANAN, R. ; AGARWAL, A. ; PALMOUR, J. ; STAHLBUSH, R. ; SCOOZIE, C.: 4H-SiC bipolar junction transistors: From research to development - A case study: 1200 V, 20 A, stable SiC BJTs with high blocking yield. In: *Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on*. Barcelona : IEEE, 2009 — ISBN 978-1-4244-3525-8, S. 339–342
- [ZLAB08] ZHANG, J. ; LI, X. ; ALEXANDROV, P. ; BURKE, T. ; ZHAO, J. H.: Implantation-Free 4H-SiC Bipolar Junction Transistors With Double Base Epilayers. In: *IEEE Electron Device Letters* Bd. 29 (2008), Nr. 5, S. 471–473

8.2 Datenblätter und Bedienungsanleitungen

- [DB-Avag16] AVAGO TECHNOLOGIES: *ACNT-H313-500E*. URL http://www.mouser.com/ds/2/678/V02-4249EN_DS_ACNT-H313_2016-07-20-909356.pdf. - abgerufen am 2017-12-07. — Mouser. — Datenblatt
- [DB-Bill14] BILLMANN, MARKUS: *Coaxial Shunts T&M RESEARCH PRODUCTS, Inc.* URL http://www.ib-billmann.de/bilder/pdf/140515_IB_M.Billmann_Koax-Shunt.pdf. - abgerufen am 2017-01-22. — Ingenieurbüro Billmann. — Produktinformation
- [DB-Cree10] CREE, INC.: *CMF10120D-Silicon Carbide Power MOSFET*. URL <http://media.digikey.com/pdf/Data%20Sheets/CREE%20Power/CMF10120D.pdf>. - abgerufen am 2016-05-12. — Digikey. — Datenblatt
- [DB-Cree11] CREE, INC.: *CPMF-1200-S080B*. URL https://media.digikey.com/pdf/Data%20Sheets/CREE%20Power/CPMF-1200-S080B_RevA_1-3-12.pdf. - abgerufen am 2017-05-23. — Digikey. — Datenblatt
- [DB-Cree12] CREE, INC.: *CMF20120D-Silicon Carbide Power MOSFET*. URL <http://media.digikey.com/pdf/Data%20Sheets/CREE%20Power/CMF20120D.pdf>. - abgerufen am 2016-05-12. — Digikey. — Datenblatt
- [DB-Fair12] FAIRCHILD SEMICONDUCTOR CORPORATION: *FSICBH057A120 57 mΩ Silicon Carbide NPN Power Transistor* (Datenblatt Rev. 0.0.7), 2012
- [DB-Gene14a] GENESIC SEMICONDUCTOR, INC.: *GB02SLT12-220*. URL http://www.genesicsemi.com/images/products_sic/rectifiers/GB02SLT12-220.pdf. - abgerufen am 2016-05-12. — GeneSiC Semiconductor, Inc. — Datenblatt
- [DB-Gene14b] GENESIC SEMICONDUCTOR, INC.: *GB10SLT12-220*. URL http://www.genesicsemi.com/images/products_sic/rectifiers/GB10SLT12-220.pdf. - abgerufen am 2016-05-12. — GeneSiC Semiconductor, Inc. — Datenblatt
- [DB-Gene15a] GENESIC SEMICONDUCTOR, INC.: *GA01PNS80-220*. URL http://www.genesicsemi.com/images/products_sic/thyristor/GA01PNS80-220.pdf. - abgerufen am 2016-05-12. — GeneSiC Semiconductor, Inc. — Datenblatt
- [DB-Gene15b] GENESIC SEMICONDUCTOR, INC.: *GA01PNS150-220*. URL http://www.genesicsemi.com/images/products_sic/thyristor/GA01PNS150-220.pdf. - abgerufen am 2016-05-12. — GeneSiC Semiconductor, Inc. — Datenblatt
- [DB-Gene17] GENESIC SEMICONDUCTOR, INC.: *GA400MOS33-WING Silicon Carbide Power MOSFET* (vorläufiges unveröffentlichtes Datenblatt). Dulles, 2017
- [DB-Infi10] INFINEON TECHNOLOGIES AG: *IDH10S120*. URL http://www.infineon.com/dgdl/Infineon-IDH10S120-DS-v02_00-en.pdf?fileId=db3a30431f848401011ff4c3f8fe5304. - abgerufen am 2016-05-12. — Infineon. — Datenblatt
- [DB-Infi12] INFINEON TECHNOLOGIES AG: *IDH08G65C5*. URL http://www.infineon.com/dgdl/Infineon-IDH08G65C5-DS-v02_02-en.pdf?fileId=db3a30433a047ba0013a068f5352012b. - abgerufen am 2016-05-12. — Infineon. — Datenblatt

- [DB-Infi13a] INFINEON TECHNOLOGIES AG: *SiC-JFET Silicon Carbide - Junction Field Effect Transistor Cool SiC™ 1200 V CoolSiC™ Power Transistor IJW120R070T1*. URL http://www.infineon.com/dgdl/Infineon-IJW120R070T1-DS-v02_00-en.pdf?fileId=db3a304341e0aed0014203597c420ec5. - abgerufen am 2016-05-12. — Infineon. — Datenblatt
- [DB-Infi13b] INFINEON TECHNOLOGIES AG: *IDH04S60C*. URL http://www.infineon.com/dgdl/Infineon-IDH04S60C-DS-v02_01-en.pdf?fileId=db3a30432239cccd01225ed2716f7e3f. - abgerufen am 2016-05-12. — Infineon. — Datenblatt
- [DB-Infi14] INFINEON TECHNOLOGIES AG: *1EDI EiceDRIVER™ Compact*. URL https://www.infineon.com/dgdl/Infineon-1EDIXX12AF-DS-v02_00-EN.pdf?fileId=db3a3043427ac3e201428e648a333734. - abgerufen am 2017-11-16. — Infineon. — Datenblatt Rev. 2
- [DB-Infi15] INFINEON TECHNOLOGIES AG: *IDH08G120C5*. URL http://www.infineon.com/dgdl/Infineon-IDH08G120C5-DS-v02_00-EN.pdf?fileId=5546d4624f72be57014f7453262c6ab9. - abgerufen am 2016-05-12. — Infineon. — Datenblatt
- [DB-Ixys04] IXYS: *DSEI 12-12A*. URL <http://ixdev.ixys.com/DataSheet/DSEI12-12A.pdf>. - abgerufen am 2016-05-12. — Datenblatt
- [DB-Pear12] PEARSON ELECTRONICS, INC.: *Pearson Current Monitor Model 6585*. URL <http://www.pearsonelectronics.com/pdf/6585.pdf>. - abgerufen am 2016-12-29. — Pearson Electronics, Inc. — Datenblatt
- [DB-Pmkg11] PMK GMBH: *PHVS 1000-RO* (Bedienungsanleitung Revision B). Bad Soden, 2011
- [DB-Pmkg14] PMK GMBH: *PHV 641-L-RO* (Datenblatt Revision B). Bad Soden, 2014
- [DB-Powe14] POWER ELECTRONIC MEASUREMENTS LTD: *CWT Mini*. URL http://www.pemuk.com/Userfiles/CWTmini_Screened/CWT%20Mini%20datasheet%20Nov%2714%20web.pdf. - abgerufen am 2016-12-29. — Power Electronic Measurements Ltd. — Datenblatt
- [DB-Powe16] POWER INTEGRATIONS SWITZERLAND GMBH: *2SC0108T2A0-17 Preliminary Data Sheet*. URL <http://www.mouser.com/ds/2/328/2SC0108T2A0-17-587371.pdf>. - abgerufen am 2017-11-16. — Mouser. — Datenblatt Version 2.1
- [DB-Rigo15] RIGOL TECHNOLOGIES, INC.: *DG4000 Function/Arbitrary Waveform Generator*. URL <http://beyondmeasure.rigoltech.com/acton/attachment/1579/f-00a0/0/-/-/-/file.pdf>. - abgerufen am 2017-11-20. — Rigol. — Datenblatt
- [DB-Rohm15a] ROHM CO., LTD.: *SCT2280KE*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2280ke-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. B
- [DB-Rohm15b] ROHM CO., LTD.: *SCT2080KE*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2080ke-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. E

- [DB-Rohm15c] ROHM CO., LTD.: *SCS206AG*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/sbd/scs206ag-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. C
- [DB-Rohm15d] ROHM CO., LTD.: *SCS205KG*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/sbd/scs205kg-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. B
- [DB-Rohm15e] ROHM CO., LTD.: *SCS210KG*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/sbd/scs210kg-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. B
- [DB-Rohm15f] ROHM CO., LTD.: *SCT2450KE*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2450ke-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. B
- [DB-Rohm15g] ROHM CO., LTD.: *SCT2160KE*. URL <http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct2160ke-e.pdf>. - abgerufen am 2016-05-12. — Rohm Co., Ltd. — Datenblatt Rev. B
- [DB-Rohm16] ROHM CO., LTD.: *SCT3040KL*. URL <http://www.rohm.com/web/global/datasheet/SCT3040KL/sct3040kl-e.pdf>. - abgerufen am 2017-05-31. — Rohm Co., Ltd. — Datenblatt Rev. B
- [DB-Stmi15] STMICROELECTRONICS: *SCT30N120*. URL <http://www2.st.com/content/ccc/resource/technical/document/datasheet/group3/6f/96/4f/95/a0/02/42/56/DM00053079/files/DM00053079.pdf;jcr:content/translations/en.DM00053079.pdf>. - abgerufen am 2016-05-12. — STMicroelectronics. — Datenblatt DocID023109 Rev 9
- [DB-Taus08] TAUSCHER TRANSFORMATORENFABRIK GMBH: *Trenntransformator, 5kV 120VA bis 500VA* (Datenblatt). Freyung, 2008
- [DB-Tekt00a] TEKTRONIX, INC.: *P6139A 10X Passive Probe* (Gebrauchsanweisung Nr. 063-0870-05). Beaverton, Oregon
- [DB-Tekt00b] TEKTRONIX, INC.: *TCP0030A 120 MHz, 30 Amp AC/DC Current Probe Instruction Manual* (Bedienungsanleitung Nr. 071-3006-00). Beaverton, Oregon
- [DB-Unit00] UNITED SILICON CARBIDE, INC.: *UJN1205K*. URL <http://unitedsic.com/wp-content/uploads/2016/02/UJN1205K3.pdf>. - abgerufen am 2016-06-05. — United Silicon Carbide, Inc. — Datenblatt
- [DB-Wolf15a] WOLFSPEED: *C2M0280120D*. URL <http://www.wolfspeed.com/index.php/downloads/dl/file/id/171/product/0/c2m0280120d.pdf>. - abgerufen am 2016-05-12. — Wolfspeed. — Datenblatt
- [DB-Wolf15b] WOLFSPEED: *C2M0080120D*. URL <http://www.wolfspeed.com/index.php/downloads/dl/file/id/167/product/0/c2m0080120d.pdf>. - abgerufen am 2016-05-12. — Wolfspeed. — Datenblatt
- [DB-Wolf15c] WOLFSPEED: *C2M0160120D*. URL <http://www.wolfspeed.com/index.php/downloads/dl/file/id/169/product/0/c2m0160120d.pdf>. - abgerufen am 2016-05-12. — Wolfspeed. — Datenblatt

- [DB-Wolf16a] WOLFSPEED: *C4D08120A*. URL <http://www.wolfspeed.com/downloads/dl/file/id/80/product/55/c4d08120a.pdf>. - abgerufen am 2016-05-12.
— Wolfspeed. — Datenblatt
- [DB-Wolf16b] WOLFSPEED: *C3M0065090D*. URL <http://www.wolfspeed.com/index.php/downloads/dl/file/id/176/product/0/c3m0065090d.pdf>. - abgerufen am 2016-05-12. — Wolfspeed. — Datenblatt
- [DB-Wolf16c] WOLFSPEED: *C4D02120A*. URL <http://www.wolfspeed.com/downloads/dl/file/id/75/product/52/c4d02120a.pdf>. - abgerufen am 2016-05-12.
— Wolfspeed. — Datenblatt
- [DB-Wolf16d] WOLFSPEED: *C4D10120D*. URL <http://www.wolfspeed.com/media/downloads/104/C4D10120D.pdf>. - abgerufen am 2016-05-30. — Wolfspeed. — Datenblatt
- [DB-Wolf16e] WOLFSPEED: *Wolfspeed SiC and GaN Materials*. URL https://www.wolfspeed.com/index.php/downloads/dl/file/id/888/product/0/materials_catalog.pdf. - abgerufen am 2018-01-19. — Wolfspeed. — Produktbeschreibung
- [DB-Wolf16f] WOLFSPEED: *CPM2-1200-0080B Silicon Carbide Power MOSFET C2M MOSFET Technology N-Channel Enhancement*. URL <http://www.wolfspeed.com/media/downloads/157/CPM2-1200-0080B.pdf>. - abgerufen am 2017-03-29. — Wolfspeed. — Datenblatt Rev. C, 01-2016
- [DB-Wolf17a] WOLFSPEED: *C3M0075120K*. URL <http://www.wolfspeed.com/media/downloads/946/C3M0075120K.pdf>. - abgerufen am 2017-03-31. — Wolfspeed. — Datenblatt Rev. A, 02-2017
- [DB-Wolf17b] WOLFSPEED: *CPM3-0900-0065B* (Datenblatt Nr. CPM3-0900-0065B Rev. C). Durham, 2017

8.3 Betreute studentische Arbeitsvorhaben

- [BsA-Ruge13] RUGEN, SARAH: *Ansteuerung von Siliziumkarbid-Bipolartransistoren* (Diplomarbeit). Bremen : Universität Bremen, 2013
- [BsA-Adel15] ADELMUND, MELANIE: *Aufbau und Untersuchung verschiedener niederinduktiver Messwiderstände* (Diplomarbeit). Bremen : Universität Bremen, 2015
- [BsA-Li15] LI, BING: *Verhalten von wide-bandgap-Dioden* (Diplomarbeit). Bremen : Universität Bremen, 2015
- [BsA-Hanf16] HANF, MICHAEL: *Das statische und dynamische Verhalten eines rückwärts leitenden IGBTs im Vergleich zu IGBTs mit Inversdioden und einem SiC-MOSFET* (Diplomarbeit). Bremen : Universität Bremen, 2016
- [BsA-Kret16] KRETSCHMAR, JOHANNES: *Untersuchung des sicheren Arbeitsbereiches von SiC-MOSFETs* (Diplomarbeit). Bremen : Universität Bremen, 2016
- [BsA-Li13] LI, BING: *Aufbau eines Doppelpulsmessplatzes* (Studienarbeit (Diplom)). Bremen : Universität Bremen, 2013
- [BsA-Adel14] ADELMUND, MELANIE: *Entwurf und Herstellung eines Koaxial-Shunts mit großer Bandbreite* (Studienarbeit (Diplom)). Bremen : Universität Bremen, 2014
- [BsA-Kret14] KRETSCHMAR, JOHANNES: *Untersuchung des Schaltverhaltens von SiC-MOSFETs* (Studienarbeit (Diplom)). Bremen : Universität Bremen, 2014
- [BsA-Vogt14] VOGT, TIMO: *Thermische Stabilität von Halbleiterkomponenten im Sperrfall* (Studienarbeit (Diplom)). Bremen : Universität Bremen, 2014
- [BsA-Pete16] PETERS, JAN-HENDRIK: *Simulation der Einflüsse von parasitären Elementen in einer Parallelschaltung von SiC-MOSFETs auf die Stromsymmetrie* (Projektarbeit (Master)). Bremen : Universität Bremen, 2016
- [BsA-Bött17] BÖTTJER, ANIKA: *Ermittlungen des Schaltverhaltens von SiC-MOSFETs bei unterschiedlichen Gate-Spannungen* (Bachelorarbeit). Bremen : Universität Bremen, 2017
- [BsA-Groß17] GROßPIETSCH, VERENA: *Ermittlungen des Durchlassverhaltens von SiC-MOSFETs bei unterschiedlichen positiven Gate-Source-Spannungen und Temperaturen* (Bachelorarbeit). Bremen : Universität Bremen, 2017
- [BsA-VoNo15] VOGT, STEFFEN ; NORRENBROCK, JENS: *Vermessung unterschiedlicher Spulenbauformen* (Vertiefungsprojekt (Bachelor)). Bremen : Universität Bremen, 2015

Bisherige Veröffentlichungen des Autors

Jahr	Autoren, Titel, Veröffentlichungsdaten
2014	Bödeker, Christian; Rugen, Sarah; Kaminski, Nando: „Investigation of the Dynamic Voltage Rise Control (DVRC) for Fast Switching Silicon Carbide Bipolar Junction Transistors“ Proceedings of the 12th International Seminar on Power Semiconductors (ISPS'14) Prag, Tschechien, 2014, ISBN 978-80-01-05555-7, S. 133–139
2015	Bödeker, Christian; Rugen, Sarah; Kaminski, Nando: „Dynamic Voltage Rise Control (DVRC) applied to SiC Bipolar Junction Transistors“ Materials Science Forum - Silicon Carbide and Related Materials 2014 Bd. 821–823 (2015), S. 826–829, ISBN 978-3-03835-478-9
2015	Bödeker, Christian; Kaminski, Nando: „Investigation of an Overvoltage Protection for Fast Switching Silicon Carbide Transistors“ IET Power Electronics Bd. 8 (2015), S. 2336–2342
2015	Bödeker, Christian; Vogt, Timo; Kaminski, Nando: „Stability of Silicon Carbide Schottky Diodes against Leakage Current Thermal Runaway“ Proceedings of the 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD'15) Hong Kong, China, IEEE, 2015, ISBN 978-1-4799-6259-4, S. 245–248
2015	Bödeker, Christian; Vogt, Timo; Kaminski, Nando: „Thermal Limits of the Blocking Stability of Silicon Carbide Schottky Diodes“ Proceedings of the International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM'15) Nürnberg, VDE, 2015, ISBN 978-3-8007-3924-0, S. 1061–1067
2015	Bödeker, Christian; Vogt, Timo; Silber, Dieter; Kaminski, Nando: „Investigation of the Thermal Runaway of Silicon Carbide Diodes during Blocking Operation“ Proceedings of the 17th European Conference on Power Electronics and Applications (EPE'15) Genf, Schweiz, IEEE, 2015, ISBN 978-90-75815-22-1
2016	Bödeker, Christian; Vogt, Timo; Silber, Dieter; Kaminski, Nando: „Criterion for the Stability Against Thermal Runaway During Blocking Operation and Its Application to SiC Diodes“ IEEE Journal of Emerging and Selected Topics in Power Electronics Bd. 4 (2016), Nr. 3, S. 970–977

Jahr Autoren, Titel, Veröffentlichungsdaten

- 2016 Adelmund, Melanie; Bödeker, Christian; Kaminski, Nando:
„Optimisation of Shunt Resistors for Fast Transients“
Proceedings of the International Exhibition and Conference for Power Electronics,
Intelligent Motion, Renewable Energy and Energy Management (PCIM'16)
Nürnberg, VDE, 2016, ISBN 978-3-8007-4186-1, S. 1232–1239
- 2016 Bödeker, Christian; Adelmund, Melanie; Singh, Ranbir; Kaminski, Nando:
„Impact of Different Packages on Fast Switching Silicon Carbide Bipolar Junction
Transistors“
Proceedings of the 13th International Seminar on Power Semiconductors
Prag, Tschechien, 2016, ISBN 978-80-01-05998-2, S. 92–99
- 2016 Bödeker, Christian; Kaminski, Nando:
„Parasitic Effects During Turn-on and Turn-off of Silicon Carbon Diodes“
Proceedings of the 13th International Seminar on Power Semiconductors
Prag, Tschechien, 2016, ISBN 978-80-01-05998-2, S. 160–164
- 2016 Bödeker, Christian; Kaminski, Nando:
„Implementation and Investigation of the Dynamic Active Clamping for Silicon
Carbide MOSFETs“
Proceedings of the 18th European Conference on Power Electronics and
Applications (EPE'16)
Karlsruhe, IEEE, 2016, ISBN 978-90-75815-24-5
- 2016 Rugen, Sarah; Bödeker, Christian; Kortazar, Itziar; Larrazabal, Igor; Friedrichs, Peter;
Kaminski, Nando:
„Investigation of the Turn-on Behaviour of Silicon pin-Diodes and SiC-Schottky-Diodes and
its Impact on the Anti-parallel IGBT“
Proceedings of the 18th European Conference on Power Electronics and
Applications (EPE'16)
Karlsruhe, IEEE, 2016, ISBN 978-90-75815-24-5
- 2017 Bödeker, Christian; Adelmund, Melanie; Singh, Ranbir; Kaminski, Nando:
„Influence of an Emitter Sense Pin on the Switching Behavior of SiC BJTs in
Standard Discrete Housings“
Proceedings of the International Exhibition and Conference for Power Electronics,
Intelligent Motion, Renewable Energy and Energy Management (PCIM'17)
Nürnberg, VDE, 2017, ISBN 978-3-8007-4424-4, S. 1392–1398
- 2017 Bödeker, Christian; Ayerbe, Edgar; Kaminski, Nando:
„Impact of a Kelvin Source Connection on Discrete High Power SiC-MOSFETs“
Book of Abstracts of the International Conference on Silicon Carbide and Related
Materials (ICSCRM'17)
Washington D.C., USA, 2017

Online-Buchshop für Ingenieure

■■■ VDI nachrichten

Online-Shops



Fachliteratur und mehr -
jetzt bequem online recher-
chieren & bestellen unter:
www.vdi-nachrichten.com/
Der-Shop-im-Ueberblick



Täglich aktualisiert:
Neuerscheinungen
VDI-Schriftenreihen



BUCHSHOP

Im Buchshop von vdi-nachrichten.com finden Ingenieure und Techniker ein speziell auf sie zugeschnittenes, umfassendes Literaturangebot.

Mit der komfortablen Schnellsuche werden Sie in den VDI-Schriftenreihen und im Verzeichnis lieferbarer Bücher unter 1.000.000 Titeln garantiert fündig.

Im Buchshop stehen für Sie bereit:

VDI-Berichte und die Reihe **Kunststofftechnik**:

Berichte nationaler und internationaler technischer Fachtagungen der VDI-Fachgliederungen

Fortschritt-Berichte VDI:

Dissertationen, Habilitationen und Forschungsberichte aus sämtlichen ingenieurwissenschaftlichen Fachrichtungen

Newsletter „Neuerscheinungen“:

Kostenfreie Infos zu aktuellen Titeln der VDI-Schriftenreihen bequem per E-Mail

Autoren-Service:

Umfassende Betreuung bei der Veröffentlichung Ihrer Arbeit in der Reihe Fortschritt-Berichte VDI

Buch- und Medien-Service:

Beschaffung aller am Markt verfügbaren Zeitschriften, Zeitungen, Fortsetzungsreihen, Handbücher, Technische Regelwerke, elektronische Medien und vieles mehr – einzeln oder im Abo und mit weltweitem Lieferservice

VDI nachrichten

BUCHSHOP www.vdi-nachrichten.com/Der-Shop-im-Ueberblick

Die Reihen der Fortschritt-Berichte VDI:

- 1 Konstruktionstechnik/Maschinenelemente
- 2 Fertigungstechnik
- 3 Verfahrenstechnik
- 4 Bauingenieurwesen
- 5 Grund- und Werkstoffe/Kunststoffe
- 6 Energietechnik
- 7 Strömungstechnik
- 8 Mess-, Steuerungs- und Regelungstechnik
- 9 Elektronik/Mikro- und Nanotechnik
- 10 Informatik/Kommunikation
- 11 Schwingungstechnik
- 12 Verkehrstechnik/Fahrzeugtechnik
- 13 Fördertechnik/Logistik
- 14 Landtechnik/Lebensmitteltechnik
- 15 Umwelttechnik
- 16 Technik und Wirtschaft
- 17 Biotechnik/Medizintechnik
- 18 Mechanik/Bruchmechanik
- 19 Wärmetechnik/Kältetechnik
- 20 Rechnerunterstützte Verfahren (CAD, CAM, CAE CAQ, CIM ...)
- 21 Elektrotechnik
- 22 Mensch-Maschine-Systeme
- 23 Technische Gebäudeausrüstung

ISBN 978-3-18-341921-0