

Reihe 20

Rechnerunter-
stützte Verfahren

Nr. 472

Dipl.-Ing. Steve Bigalke,
Dresden

Erhöhung der Elektro- migrationsrobustheit in der Verdrahtung digitaler Schaltungen



Technische Universität Dresden
Institut für Feinwerktechnik
und Elektronik-Design
Institutsdirektor Prof. Dr.-Ing. habil. Jens Lienig

ifte

Technische Universität Dresden

Erhöhung der Elektromigrationsrobustheit in der Verdrahtung digitaler Schaltungen

Dipl.-Ing.

Steve Bigalke

der Fakultät Elektrotechnik und Informationstechnik
der Technischen Universität Dresden

zur Erlangung des akademischen Grades eines

Doktoringenieurs

(Dr.-Ing.)

genehmigte Dissertation

Vorsitzender: Prof. Dr.-Ing. Steffen Großmann

Tag der Einreichung: 10.09.2019

Gutachter: Prof. Dr.-Ing. habil. Jens Lienig

Tag der Verteidigung: 12.12.2019

Gutachter: Apl. Prof. Dr.-Ing. habil. Helmut Gräb

Gutachter: Prof. Dr.-Ing. habil. Thomas Zerna

Fortschritt-Berichte VDI

Reihe 20

Rechnerunterstützte
Verfahren

Dipl.-Ing. Steve Bigalke,
Dresden

Nr. 472

Erhöhung der Elektro-
migrationsrobustheit
in der Verdrahtung
digitaler Schaltungen



Technische Universität Dresden
Institut für Feinwerktechnik
und Elektronik-Design
Institutsdirektor Prof. Dr.-Ing. habil. Jens Lienig

ifte

Bigalke, Steve

Erhöhung der Elektromigrationsrobustheit in der Verdrahtung digitaler Schaltungen

Fortschr.-Ber. VDI Reihe 20 Nr. 472. Düsseldorf: VDI Verlag 2020.

176 Seiten, 84 Bilder, 19 Tabellen.

ISBN 978-3-18-347220-8, ISSN 0178-9473,

€ 62,00/VDI-Mitgliederpreis € 55,80.

Für die Dokumentation: Entwurfsautomatisierung – Zuverlässigkeit – Layoutentwurf – Elektromigration – Verdrahtung

Studien zur zukünftigen IC-Entwicklung sagen einvernehmlich voraus, dass die Zuverlässigkeit zukünftiger integrierter Schaltungen (ICs) stark durch das Auftreten von Elektromigration (EM) gefährdet ist. Ursache ist die anhaltende Strukturverkleinerung im IC, welche nicht nur zur Erhöhung der EM-Gefahr, sondern auch zur gleichzeitigen Abnahme der EM-Grenzwerte führt. Digitale Schaltungen sind auch gefährdet, da sie bisher bei der EM-Berücksichtigung vernachlässigt wurden, sodass geeignete Gegenmaßnahmen fehlen. Aus diesem Grund muss ein Paradigmenwechsel im Layoutentwurf vollzogen werden, welcher das traditionell nach der Layouterstellung stattfindende Verifizieren der EM-Robustheit durch einen proaktiven EM-robusten Layoutentwurf ersetzt. Ziel dieser Arbeit ist es, die dafür notwendigen Neuentwicklungen in der Verdrahtung digitaler Schaltungen vorzustellen. Das umfasst den Aufbau eines EM-Modells, ein daraus Ableiten von EM-Maßnahmen und ein Berücksichtigen dieser Gegenmaßnahmen in einer EM-robusten Verdrahtung.

Bibliographische Information der Deutschen Bibliothek

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliographie; detaillierte bibliographische Daten sind im Internet unter www.dnb.de abrufbar.

Bibliographic information published by the Deutsche Bibliothek

(German National Library)

The Deutsche Bibliothek lists this publication in the Deutsche Nationalbibliographie (German National Bibliography); detailed bibliographic data is available via Internet at www.dnb.de.

© VDI Verlag GmbH · Düsseldorf 2020

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe (Fotokopie, Mikrokopie), der Speicherung in Datenverarbeitungsanlagen, im Internet und das der Übersetzung, vorbehalten.

Als Manuskript gedruckt. Printed in Germany.

ISSN 0178-9473

ISBN 978-3-18-347220-8

Danksagung

Diese Dissertation enthält meine Forschungsarbeit der letzten Jahre, auf welche ich stets mit großer Freude zurückblicken werde.

Ich danke herzlichst meinem Mentor, Prof. Dr.-Ing. habil. Jens Lienig, für seine Betreuung und für sein Vertrauen in mich. Keine meiner Forschungsziele wären ohne seine Hilfe erreichbar gewesen. Er war es auch, der mein Interesse für die Entwurfsautomatisierung durch seine Vorlesung weckte und mir letztendlich die Chance gab, diesem Interesse in Form meiner Dissertation Ausdruck zu verleihen. Für die Erstellung eines Gutachtens und vor allem für die hilfreichen Hinweise zur Arbeit danke ich apl. Prof. Dr.-Ing. habil. Helmut Gräb. Mein ausgesprochener Dank gilt auch allen Beteiligten des Prüfungsverfahrens für ihre Bemühungen und Zeit, die sie in diese Arbeit investiert haben.

Ich möchte mich auch herzlichst bei allen Mitarbeitern des Instituts für Feinwerktechnik und Elektronik-Design (IFTE) und des Graduiertenkollegs (GRK 1401) bedanken, welche mich in den letzten Jahren begleitet haben. Ein ganz besonderer Dank gilt hierbei meinem langjährigen Zimmerkollegen, Andreas Krinke, mit dem ich jede konstruktive Diskussion genossen habe.

Meiner Familie danke ich im Besonderen für ihre außergewöhnliche Unterstützung, welche diese Arbeit überhaupt erst ermöglicht hat. Sie standen mir stets mit Rat und Tat zur Seite, wofür ich ihnen sehr dankbar bin.

Nicht zuletzt möchte ich mich noch von ganzem Herzen bei einem sehr besonderen Menschen, Maria Gehlhar, bedanken, die ich nicht nur für ihre Geduld und Hilfe unendlich liebe, sondern auch für ihre Persönlichkeit unvorstellbar schätze. Sie war es auch, die uns einen ebenso wundervollen wie lieben Sohn (Löwen) geschenkt hat, welcher mich stets mit einem breiten Lächeln (und manchmal mit etwas Brei im Gesicht) unbeschreiblich motiviert hat. Als Zeichen meiner Dankbarkeit und meiner Liebe möchte ich Euch diese Arbeit widmen.

Inhaltsverzeichnis

Abkürzungsverzeichnis	IX
Symbolverzeichnis	X
Kurzfassung	XIII
Abstract	XIV
1 Einleitung und Motivation	1
1.1 Trend zur Verkleinerung der IC-Strukturen	1
1.2 EM-Bedrohung für die Zuverlässigkeit der Leiterbahnen	3
1.3 Kompensation der EM in den Leiterbahnen	5
2 EM-Berücksichtigung im Layoutentwurf	8
2.1 Beschreibung der EM	8
2.1.1 Kräfte am Atom	8
2.1.2 Migration entlang von Pfaden	9
2.1.3 Beschreibung des Teilchenflusses	11
2.1.4 Bezug zur Diffusionsgleichung	11
2.1.5 Entstehung von EM-induziertem Stress	12
2.1.6 Weitere Abhängigkeiten und Einflussfaktoren der EM	15
2.1.7 Bedeutung des Herstellungsverfahrens	17
2.2 Auftreten von EM in Signalnetzen	19
2.2.1 Modell der Selbstheilung	20
2.2.2 Frequenzabhängigkeit	21
2.2.3 Lage der Fehlstellen	21
2.3 EM-Modelle für Verdrahtungsstrukturen	22

2.3.1	Unterschiede zwischen den Modellen	22
2.3.2	Abschätzung der mittleren Lebensdauer	23
2.3.3	EM-Kompensation beim Blech-Effekt	25
2.3.4	Berechnung der Stressentwicklung	27
2.3.5	Nummerische Lösung mittels FEM	28
2.4	Bekannte Maßnahmen zur Reduzierung der EM	29
2.4.1	Einsatz neuer Werkstoffe	29
2.4.2	Einbringung von Reservoirien	30
2.4.3	Ausnutzung des Blech-Effektes	31
2.4.4	Einbringung von Vias	31
2.4.5	Verbreiterung der Leiterbahnen	33
2.4.6	Ausnutzung des Bambuseffektes	33
2.4.7	Reduzierung der Temperatur	33
2.5	Ansätze zur EM-robusten Verdrahtung	34
2.5.1	Ablauf einer Verdrahtung von Signalnetzen	34
2.5.2	Berücksichtigung von EM bei der Verdrahtung	38
3	Zielstellung der Arbeit	39
4	EM-Modellierung von digitalen Verdrahtungsstrukturen	43
4.1	Anforderung an die Modellierung	43
4.2	Aufbau einer FEM-Untersuchung für digitale Verdrahtungsstrukturen	44
4.2.1	Integrierung in den Entwurfsablauf	44
4.2.2	Diskretisierung der Leiterbahnen	46
4.2.3	Einbringung der Randbedingungen	51
4.2.4	Implementierung des Ablaufes	52
4.2.5	Verifikation des Modells	53
4.2.6	Stressergebnisse im Layout	57
4.3	Entwicklung einer EM-Analyse für den Layoutentwurf	63
4.3.1	Abschätzung der Ströme	63
4.3.2	Abbildung von Verdrahtungsstrukturen	65
4.3.3	Verifikation der Layoutanalyse	67
4.3.4	Laufzeitergebnisse im Layout	69
4.4	Zusammenfassung	70

5	Maßnahmen zur EM-Vermeidung	71
5.1	Einordnung der Maßnahmen	72
5.2	Änderung der Netzreihenfolge	72
5.2.1	Ansatz	72
5.2.2	Ergebnisse	74
5.3	Verbesserung der Netztopologie	75
5.3.1	Ansatz	75
5.3.2	Ergebnisse	77
5.4	Einbringung von Reservoirien	78
5.4.1	Lage	78
5.4.2	Länge	80
5.4.3	Ergebnisse	82
5.5	Einsatz von redundanten Vias	84
5.5.1	Ansatz	84
5.5.2	Ablauf	85
5.5.3	Ergebnisse	89
5.6	Begrenzung der Leiterbahnlänge	91
5.6.1	Ansatz	91
5.6.2	Ergebnisse	92
5.7	Verbreiterung des Leiterbahnquerschnittes	93
5.7.1	Ansatz	93
5.7.2	Ergebnisse	95
5.8	Ausnutzung von Via-Below-Konfigurationen	97
5.9	Einbringung von Lower-Lead-Konfigurationen	98
5.10	Zusammenfassung	99
6	EM-robuste Verdrahtung	100
6.1	Schritte der EM-robusten Verdrahtung	101
6.2	Aufbau einer EM-robusten Detailverdrahtung	102
6.2.1	Auswahl des Verdrahtungskonzeptes	103
6.2.2	Ermittlung der Verdrahtungsressourcen	103
6.2.3	Abbildung des Detailverdrahtungsgraphen	104
6.2.4	Zuweisung und Reservierung von Knoten	107

6.2.5	Wegsuche mit dem A*-Algorithmus	108
6.2.6	Lösen von Verdrahtungskonflikten	109
6.3	Integrierung der EM-Maßnahmen in die Detailverdrahtung	110
6.3.1	Änderung der Netzreihenfolge	110
6.3.2	Verbesserung der Netztopologie	111
6.3.3	Begrenzung der Leiterbahnlänge	112
6.3.4	Verbreiterung des Leiterbahnquerschnittes	113
6.3.5	Einbringung von Reservoirien	114
6.3.6	Einsatz von redundanten Vias	116
6.4	Benchmarks zum Nachweis der EM-Kompensation	116
6.4.1	Verdrahtung von Signalnetzen	117
6.4.2	Einsatz von redundanten Vias	119
6.5	Ergebnisse der EM-robusten Detailverdrahtung	120
6.5.1	Änderung der Netzreihenfolge	121
6.5.2	Verbesserung der Netztopologie	122
6.5.3	Begrenzung der Leiterbahnlänge	125
6.5.4	Verbreiterung des Leiterbahnquerschnittes	127
6.5.5	Einbringung von Reservoirien	130
6.5.6	Einsatz von redundanten Vias	133
6.5.7	Bewertung der Ergebnisse	136
6.6	Zusammenfassung	137
7	Gesamtzusammenfassung, Schlussfolgerung und Ausblick	138
7.1	Gesamtzusammenfassung und Schlussfolgerung	138
7.2	Ausblick	141
	Glossar	143
	Index	145
	Literatur	147

Abkürzungsverzeichnis

Abk.	Bedeutung
CD	Chemische Diffusion
CMP	Chemisch-mechanisches Polieren
CTE	Thermischer Ausdehnungskoeffizient
DP	Damaszene-Prozess
DDP	Dual-Damaszene-Prozess
EM	Elektromigration
FE	Finite-Elemente
FEM	Finite-Elemente-Methode
GCell	Globale Zelle
IC	Integrierte Schaltung
ILD	Dielektrische Zwischenschicht
ILP	Ganzzahlige lineare Optimierung
IRDS	International Roadmap for Devices and Systems
ITRS	International Technology Roadmap for Semiconductors
LE	Längeneinheit
MTTF	Mittlere Lebensdauer
PDK	Prozess-Design-Kit
SM	Stressmigration
TM	Thermomigration

Symbolverzeichnis

Symbol	Bedeutung	Einheit
A	Fläche	m^2
a	Materialparameter	-
α_ρ	Temperaturkoeffizient	$\Omega\text{m/K}$
AV	Aspekt-Verhältnis	-
B	Kompressionsmodul	Pa
β	Betafaktor	Vs m^{-2}
C	Kapazität	F
c	Konzentration	s^{-3}
D	Diffusionskoeffizient	$\text{m}^2 \text{s}^{-1}$
d	Dicke	m
D_0	Diffusionskonstante	$\text{m}^2 \text{s}^{-1}$
\vec{E}	Elektrische Feldstärke	V m^{-1}
e	Elementarladung	A s
E_a	Aktivierungsenergie	eV
\vec{F}_E	Elektrische Feldkraft	N
\vec{F}_{EM}	Elektromigrationskraft	N
$f(K)$	Kostenfunktion	-
f	Frequenz	Hz
\vec{F}_W	Elektronenwindkraft	N
G	Generierungs- und Zerstörungsprozess	s
g	Gewicht	-
$g(K)$	Wegkosten	-
$h(K)$	Restkosten	-
i	Strom	A

Symbol	Bedeutung	Einheit
i_S	Schaltstrom	A
i_V	Verluststrom	A
\vec{J}	Teilchenstromdichte	$\text{m}^{-2} \text{s}^{-1}$
\vec{j}	Stromdichte	A m^{-2}
j_{acr}	Stromdichteerholungswert	A m^{-2}
K	Knoten	-
k	Boltzmann-Konstante	J K^{-1}
l	Länge	m
l_B	Blech-Länge	m
m	Laufindex	-
MTTF	Mittlere Lebensdauer	s
n	Stromdichteexponent	-
n_{Vias}	Viaanzahl	-
Ω	Atomvolumen	m
ρ	Spezifischer elektrischer Widerstand	Ωm
P_{Blech}	Blech-Produkt	A m^{-1}
ϕ	Elektrisches Potential	V
Q	Ladung	F
Q^*	Transportwärme	J
R	Widerstand	Ω
r	Wiederherstellungsfaktor	-
r_S	Rangkorrelationskoeffizient	-
σ	Stress	Pa
σ_D	Druckstress	Pa
σ_R	Reststress	Pa
σ_Z	Zugstress	Pa
T	Temperatur	K
t	Zeit	s
U	Spannung	V
\vec{v}	Drift-Geschwindigkeit	m s^{-1}
V	Vergleichsspannung	A m^{-1}

Symbol	Bedeutung	Einheit
VL	Verdrahtungslänge	m
V_g	Grundvergleichsspannung	$A\ m^{-1}$
VB	Via-Belastung	-
x	Eindimensionale Richtung	m
Z^*	Effektive Ladungszahl	-
z	Zielfunktion	-

Kurzfassung

Studien zur zukünftigen IC-Entwicklung ([IRDS], [ITRS] u.a.) sagen einvernehmlich voraus, dass die Zuverlässigkeit zukünftiger integrierter Schaltungen (ICs) stark durch das Auftreten von Elektromigration (EM) gefährdet ist. Ursache für die steigende Anzahl an EM-Schädigungen sind die anhaltenden Strukturverkleinerungen im IC, welche nicht nur zur Erhöhung der EM-Gefahr, sondern auch zur gleichzeitigen Abnahme der Grenzwerte führen. Auch gefährdet sind die digitalen Schaltungen, welche bisher bei der Berücksichtigung der EM vernachlässigt wurden, sodass geeigneten EM-Maßnahmen fehlen. Aus diesem Grund muss hier ein Paradigmenwechsel im Layoutentwurf vollzogen werden, welcher das traditionell nach der Layouterstellung stattfindende Verifizieren der EM-Robustheit durch einen proaktiven EM-robusten Layoutentwurf ersetzt. Ziel dieser Arbeit ist es, die dafür notwendigen Anpassungen und Neuentwicklungen in der Verdrahtung digitaler Schaltungen vorzustellen. Das umfasst den Aufbau eines EM-Modells für Verbindungsstrukturen, ein daraus Ableiten von EM-Maßnahmen und ein Berücksichtigen dieser Gegenmaßnahmen in einer EM-robusten Verdrahtung. Damit erbringt diese Arbeit einen wichtigen Beitrag zur Erhöhung der EM-Robustheit im Layout, sodass zukünftig die Zuverlässigkeit auch digitaler ICs weiterhin gewährleistet wird.

Abstract

Studies on future IC development ([IRDS], [ITRS] u.a.) mutually predict that the reliability of future integrated circuits (ICs) will be severely endangered by the occurrence of electromigration (EM). The reason for the increasing number of EM damages are the ongoing structural reductions in the IC, which not only lead to an increase in the EM hazard but also to a simultaneous decrease in the threshold values. Digital circuits are particularly at risk because they have been neglected in the consideration of EM, resulting in a lack of suitable EM measures. For this reason, a paradigm shift in physical design must be accomplished, replacing the traditional EM verification step after layout creation with a proactive EM-robust physical synthesis. The aim of this work is to present the necessary adaptations and new developments in the routing of digital circuits. This includes the development of an EM model for interconnect structures, the derivation of EM measures and the consideration of these countermeasures in an EM robust routing process. This work thus makes an important contribution to increase the EM robustness in a layout, thereby ensuring the reliability of future ICs.

KAPITEL 1

Einleitung und Motivation

1.1 Trend zur Verkleinerung der IC-Strukturen

Die Mikroelektronik verkleinert kontinuierlich mit jedem neuen Technologieknoten die Strukturgrößen innerhalb eines Halbleiter-Chips. Dieser Trend ist im Wesentlichen davon getrieben, stetig schnellere, sparsamere und kostengünstigere Chips, auch integrierte Schaltungen (engl. integrated circuits, ICs) genannt, herstellen zu können. Zum Erreichen dieses Zieles verkleinert man fortwährend die integrierten Transistoren und Leiterbahnen (Abb. 1.1), um mehr Funktionalität auf einer gegebenen Chipfläche zu integrieren.

Heutige ICs bestehen aus mehreren Milliarden von Transistoren, welche über ein kilometerlanges Netzwerk von aufgebrachten Leiterbahnen miteinander verbunden sind [Har16]. Durch das Verkleinern der Transistoren kann man deren Geschwindigkeit steigern, Energie einsparen und vor allem die Integrationsdichte vergrößern. Mit jeder neuen Technologie bzw. mit jeder neuen Verkleinerung ist es möglich, mehr Funktionalität auf einer konstanten Chipfläche zu integrieren als zuvor. Daraus folgt, dass sich die Herstellungskosten verringern und gleichzeitig die Rechenleistungen der ICs erhöhen.

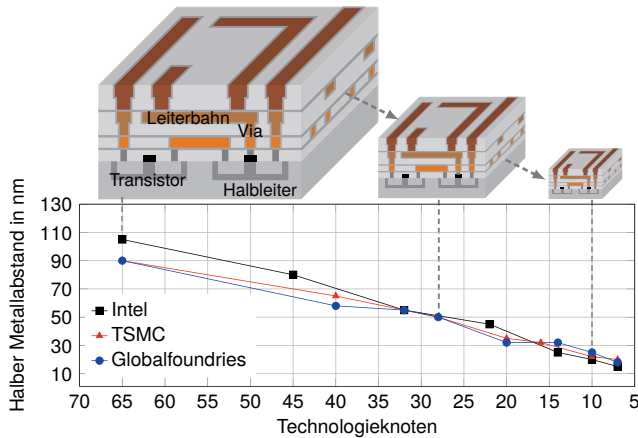


Abb. 1.1: Mit jedem neuen Technologieknoten verkleinern sich die Transistoren und Leiterbahnen, sodass die Funktionsdichte der ICs ansteigt. Der halbe Metallabstand ist in der Regel das Maß für die minimale Leiterbahnenbreite [Fil+17].

In den letzten Jahren fällt es der Halbleiterindustrie stetig schwerer mit dem Moore'schen Gesetz mitzuhalten [TFS17], welches eine Verdoppelung der IC-Transistoren aller zwei Jahre aufgrund der Verkleinerung der Strukturen voraussagt [Moo06]. Aus diesem Grund häufen sich die Prognosen für ein Ende des Moore'schen Gesetzes, da die physikalischen Hürden steigen. Deshalb verschlechtert das Absenken der Strukturgrößen die Zuverlässigkeit der ICs. Diese fallen aufgrund von Fehlern in den Leiterbahnen aus, welche durch das Auftreten von Materialtransporten entstehen. Vor allem die Elektromigration (EM) - ein Materialtransport ausgelöst durch den Stromfluss innerhalb einer Leiterbahn - gefährdet die Zuverlässigkeit zukünftiger ICs [GM15].

Hauptursache für die EM sind zu hohe Stromdichten in den Leiterbahnen. Diese bewirken vermehrte Impulsübertragungen beim Aufprall der Elektronen auf die im Gitter verankerten Atome. Somit brechen die Atome aus dem Gitter heraus und beginnen in Elektronenflussrichtung zu wandern. Im schlimmsten Fall führt diese Schädigung zum Anstieg des Widerstandes und somit zum Ausfall der Leiterbahn bzw. als Folge dessen zum Ausfall des ICs.

Prinzipiell tritt EM ab einem Stromdichtewert von ca. 1 MA cm^{-2} auf. Damit ist dieser physikalische Effekt auf die integrierten Leiterbahnen beschränkt, denn nur die sehr gute Kühlung eines ICs ermöglicht diese Stromdichten. Ohne eine ausreichende Wärmeabführung würden die Leiterbahnen vor dem Auftreten von EM schmelzen [Llo02].

1.2 EM-Bedrohung für die Zuverlässigkeit der Leiterbahnen

Studien zur zukünftigen IC-Entwicklung, wie die „International Roadmap for Devices and Systems“ [IRDS] und „International Technology Roadmap for Semiconductors“ [ITRS], sagen einvernehmlich voraus, dass die Stromdichte über die nächsten Jahre weiter ansteigen wird (Abb. 1.2). Damit verstärkt sich die Bedrohung der Zuverlässigkeit aufgrund des Auftretens von EM.

Abbildung 1.2 zeigt, dass man voraussichtlich im Jahre 2022 den aktuell gelben Bereich von vermehrt auftretenden EM-Schädigungen verlassen wird und den roten Bereich, in dem keine EM-Lösungen mehr bekannt sind, betritt. Das heißt, es bedarf bereits in naher Zukunft an neuen EM-Lösungen, welche diesen Trend stoppen können. Diese Arbeit leistet dazu einen wesentlichen Beitrag, der in Kapitel 3 detaillierter aufgeführt wird.

Gründe für die steigende EM-Bedrohung in den integrierten Leiterbahnen sind zum einen der zeitliche Anstieg der Stromdichte und zum anderen ein gleichzeitiges Absenken der Stromdichtegrenzwerte. Die Stromdichte ist trotz Reduzierung der Transistorströme angestiegen, weil die Querschnittsflächen der Leiterbahnen drastischer gesunken sind als die Transistorströme. In den letzten Jahren ist jedoch zu beobachten, dass sich die Reduzierung der Querschnittsflächen verlangsamt. Jedoch steigen mittlerweile die Transistorströme aufgrund neuer Technologien, wie beispielsweise nicht-planare Feldeffekttransistoren (engl. fin field-effect transistor, FinFETs), an. Somit bleibt es effektiv bei einer stetigen Erhöhung der Stromdichte und folglich auch beim erwarteten Anstieg von EM.

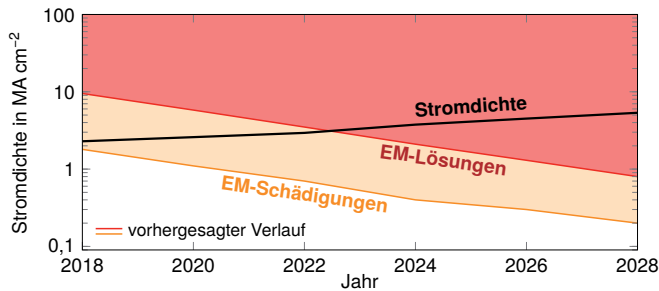


Abb. 1.2: Die Bedrohung der Zuverlässigkeit durch EM ist im Anstieg der Stromdichte (schwarz) sowie im gleichzeitigen Absenken der Grenzwerte (gelb und rot) zu erkennen. Zurzeit ist man bereits im gelben Bereich, in dem vermehrt EM-Schädigungen auftreten. In wenigen Jahren betritt man voraussichtlich den roten Bereich, in dem keine EM-Lösungen mehr zur Verfügung stehen. Daraus folgt, dass in naher Zukunft ein hoher Bedarf an EM-Lösungen besteht, die ein weiteres Verkleinern der IC-Strukturen ermöglichen und die Zuverlässigkeit der IC gewährleisten [IRDS; ITRS].

Im Gegensatz zum Anstieg der Stromdichte sinken deren Grenzwerte für das Auftreten von EM. Der Grund ist das Verkleinern der Leiterbahnen. Die Grenzwerte sinken hier, weil zum Erreichen einer kritischen Widerstandsänderung in kleineren Leiterbahnen weniger Material durch EM transportiert werden muss als in größeren Strukturen. Typischerweise wird ein Widerstandsanstieg von bereits 10 % als Ausfall der Leiterbahn angesehen [Wei+08a]. Außerdem nimmt die Leitfähigkeit der Leiterbahnen mit jeder neuen Technologie ab, sodass diese sensitiver auf Strukturveränderungen reagieren als bisher [Fil+17]. Grund für die Abnahme der Leitfähigkeit sind zum einen der größer werdende Einfluss der schlechter leitfähigen Barrierschichten, in welche die Leiterbahnen eingehaust sind, und zum anderen die steigende Anzahl der Elektronenstreuung an den Oberflächen, welche die Geschwindigkeit der Elektronen verringert [BM01].

Zusätzlich wirkt sich die Einführung von sogenannten Low-k-Materialien als Dielektrikum zwischen den Leiterbahnen negativ auf die Robustheit aus. Dieses Material ermöglicht zwar kürzere Signallaufzeiten als das herkömmliche Siliziumoxid, jedoch hat es gleichzeitig eine geringere mechanische Steifigkeit.

Eine geringe Steifigkeit erhöht die Auswirkungen der EM, da sich Fehlstellen (engl. void) oder Materialanhäufungen (engl. hillock) leichter bilden können. Das heißt, der Einsatz dieser Materialien senkt direkt die Grenzwerte für das Auftreten von EM im Layout [Gam+09; Her+11].

EM trat bisher vor allem in den Takt- und Versorgungsnetzen eines digitalen ICs auf. Diese gepulsten bzw. konstanten Gleichstromnetze sind bereits stark durch EM-Erscheinungen gekennzeichnet, da der Gleichstrom das Material nur in eine Richtung verschiebt. Die Kompensation der EM erfolgt in diesen Netzen meist durch eine Verbreiterung der Leiterbahnen. Im Gegensatz zu den Gleichstromnetzen galten die Signalnetze eines digitalen ICs lange Zeit als unkritisch für EM, da die wechselnde Stromrichtung zu einer Selbstheilung führt. Diese sorgte dafür, dass die mittlere Lebensdauer (MTTF) von Wechselstromnetzen deutlich höher ist als die der Gleichstromnetze; jedoch gewährt sie keinen vollständigen Schutz gegen EM. Die Untersuchungen in [LCH90; LO13; TCH93] zeigen deutlich, dass die Selbstheilung bei Wechselstrom unvollständig ist und somit ebenfalls die Signalnetze aufgrund von EM ausfallen können [Lee12].

In den aktuellen Technologien ist die MTTF von Wechselstromnetzen mittlerweile vergleichbar zur MTTF der Gleichstromnetze [GM15]. Die Vernachlässigung der EM bei Wechselstromnetzen hat in der Entwicklung jedoch dazu geführt, dass in naher Zukunft keine EM-Lösungen zur Verfügung stehen werden [IRDS; ITRS]. Ziel dieser Arbeit ist es somit, einen wesentlichen Beitrag zu leisten, um die erwarteten EM-Probleme in den Signalnetzen eines digitalen ICs abzufangen. Der Ansatz dieser Arbeit ist die traditionelle EM-Verifizierung nach dem Layoutentwurf durch einen proaktiven EM-robusten Layoutentwurf in der Verdrahtung zu ersetzen. Die dafür notwendigen Anpassungen und Neuentwicklungen im Layoutentwurf werden als Schwerpunkte in Kapitel 3 beschrieben.

1.3 Kompensation der EM in den Leiterbahnen

Bereits kurz nach Einführung der ICs im Jahre 1966 musste man schmerzlich erfahren, dass EM für Unterbrechungen in den Leiterbahnen und somit zum IC-

Ausfall führt. Die neu vorgestellten ICs fielen in großer Zahl durch fehlerhafte Leiterbahnen aus. Ein einfaches Verbreitern der Leiterbahnen löste das damalige EM-Problem [Llo02].

Als einige Jahre später erneut die EM zum Ausfall der Leiterbahn führte, erhöhte man die Robustheit durch ein Legieren der damals vorherrschenden Aluminiumleiterbahn mit Kupfer. Mit Einführung der reinen Kupferleiterbahnen gegen Ende der 90er Jahre konnte man zusätzlich dem Problem der EM entgegenwirken, da Kupferleiterbahnen weniger anfällig für EM sind als Aluminiumleiterbahnen [IBM98]. Der deutlich höhere Schmelzpunkt von Kupfer (1083 °C) im Vergleich zu Aluminium (660 °C), verlangsamt die Materialwanderung und somit auch die Auswirkungen der EM [Tu03].

Heutzutage stehen für die Kompensation von EM nicht die Möglichkeiten der Leiterbahnverbreiterungen oder der Einsatz von neuen Material zur Verfügung, sodass man nach anderen Lösungen suchen muss. Zum einen ist ein Verbreitern der Leiterbahnen speziell beim digitalen Layoutentwurf kontraproduktiv, da diese Maßnahme dem Trend zur Miniaturisierung entgegenwirkt und die Verdrahtungsressourcen äußerst begrenzt sind. Zum anderen ist die Einführung eines neuen Leiterbahnmaterials mit sehr hohen Kosten verbunden. Der Schwierigkeitsgrad erhöht sich außerdem, da kein vergleichbares Leiterbahnmaterial zu Kupfer mit ähnlich guter elektrischer Leitfähigkeit und EM-Robustheit existiert. Aus diesen Gründen müssen andere Lösungen gefunden werden, um die Zuverlässigkeit der ICs auch in Zukunft zu gewährleisten und um die erwartete EM-Bedrohung abzufangen. Diese Arbeit untersucht dabei Möglichkeiten, die EM durch eine angepasste Verdrahtung zu kompensieren und somit eine kostengünstige Alternative zu ermöglichen.

Ein Problem im digitalen Layoutentwurf ist, dass der prognostizierte EM-Anstieg die bisherige EM-Verifizierung *nach* der Layoutgenerierung in Zukunft für eine steigende Anzahl an Netzen fehlschlagen lässt. Damit wird ein nachträgliches Korrigieren des Netzverlaufs für die kritischen Netze zu aufwendig. Das Reparieren eines Netzes nach dem Erstellen des Layouts gestaltet sich ohnehin schwierig, da viele Verdrahtungsressourcen bereits belegt sind, sodass selbst ein punktuelltes Auftrennen und Neuverdrahten fehlschlagen kann.

Ein weiteres Problem ist, dass zur Identifizierung von EM-kritischen Netzen heutzutage meist nur die auftretenden Stromdichten mit technologischen Grenzwerten verglichen werden, welche bestenfalls für mehrere diskrete Leiterbahnlängen existieren. In Zukunft wird es aber notwendig sein, die EM frühzeitig und für alle Leiterbahnlängen im Layoutentwurf zu berücksichtigen, sodass die EM-Robustheit beispielsweise durch eine angepasste Verdrahtung erhöht wird. Ziel dieser Arbeit ist es somit auch, die Grenzwert aus Abb. 1.2 zu erhöhen, sodass die steigenden Stromdichten erlaubt werden, aber keine Gefahr für die Zuverlässigkeit der digitalen ICs sind (Abb. 1.3).

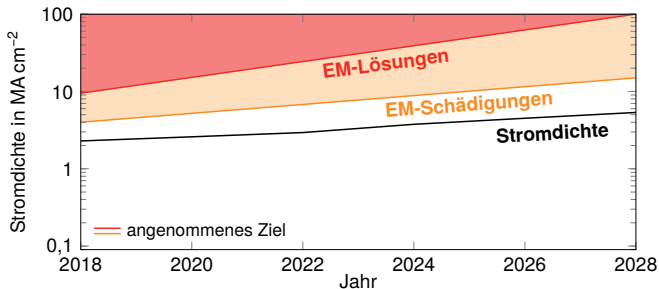


Abb. 1.3: Der prognostizierte Stromdichteanstieg (schwarz) aus [IRDS; ITRS] soll in dieser Arbeit durch das Anheben der EM-Grenzwerte (gelb und rot) kompensiert werden [Big+18b].

KAPITEL 2

EM-Berücksichtigung im Layoutentwurf

Dieses Kapitel beschreibt zu Beginn das Verhalten der Elektromigration (EM) und deren Einflussfaktoren, da die in dieser Arbeit entwickelten Analyse- und Syntheseverfahren darauf aufbauen. Außerdem beleuchtet es den aktuellen Stand zu bekannten EM-Modellen, EM-Maßnahmen und erste Ansätze zum EM-robusten Verdrahten.

2.1 Beschreibung der EM

2.1.1 Kräfte am Atom

EM verursacht, wie in Abb. 2.1 dargestellt, zum einen die Elektronenwindkraft (F_W) und zum anderen die elektrische Feldkraft (F_E) am Atom, welche entgegengesetzt gerichtet sind. Die Elektronenwindkraft entsteht beim Aufprall eines Elektrons auf ein Atom. Dabei erfolgt eine Impulsübertragung vom Elektron auf das Atom. Die elektrische Feldkraft entsteht durch das angelegte elektrische Feld. Im Falle von EM ist die Elektronenwindkraft deutlich größer als die elektrische Feldkraft, da die Elektronen das elektrische Feld gegenüber den Atomen abschirmen und die elektrische Feldkraft reduzieren [Kin10; TL02].

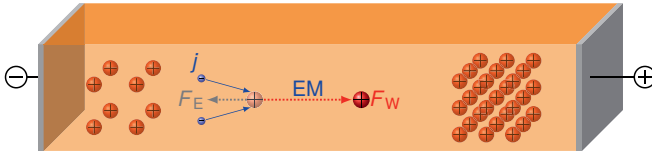


Abb. 2.1: Hohe Stromdichten (j) führen vermehrt zum Aufprall der Elektronen auf die Atome, sodass diese Impulsübertragungen eine Elektronenwindkraft (F_W) entstehen lässt. Diese ist deutlich größer als die Kraft des elektrischen Feldes (F_E), sodass die Atome in Elektronenflussrichtung wandern. Dadurch verarmt der Kathodenbereich, wohingegen der Anodenbereich mit Atomen angereichert wird [Big+18b].

Die resultierende Elektromigrationskraft (F_{EM}) ergibt sich aus der Addition der elektrischen Feldkraft und der Elektronenwindkraft. Diese kann auch mit Hilfe der Elementarladung (e), der effektiven Ladungszahl der EM (Z^*) und der elektrischen Feldstärke (E) bzw. dem spezifischen Widerstand (ρ) und der Stromdichte (j) wie folgt berechnet werden [Kin10]:

$$\vec{F}_{EM} = \vec{F}_E + \vec{F}_W = eZ^*\vec{E} = eZ^*\rho\vec{j}. \quad (2.1)$$

2.1.2 Migration entlang von Pfaden

Bei der Materialwanderung ist das Vorhandensein von Leerstellen in der direkten Nachbarschaft der Atome ein wichtiger Faktor. Umso mehr Leerstellen ein Atom in seiner Nachbarschaft besitzt, desto schwächer ist seine Bindung und desto leichter kann es durch EM gelöst werden. Innerhalb einer Leiterbahn treten dabei vermehrt Leerstellen an Korngrenzen oder Oberflächen auf.

Grundsätzlich kann man zwischen den drei Migrationspfaden in Abb. 2.2 unterscheiden, welche durch die verschiedenen Leerstellenkonzentrationen ebenfalls unterschiedliche Aktivierungsenergien (E_a) besitzen. Die Aktivierungsenergie ist dabei die Kraft entlang des Weges, welche aufgebracht werden muss, um ein Atom aus einem Gitterverbund zu lösen. Aufgrund der unterschiedlichen Aktivierungsenergien unterscheidet man zwischen der Migration entlang der Oberfläche, der Korngrenze oder innerhalb eines Kornes.

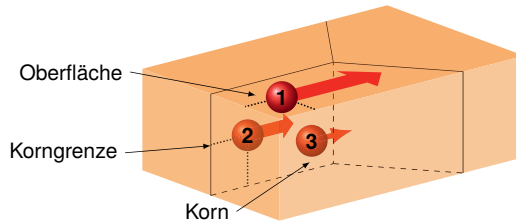


Abb. 2.2: Atome können entlang einer Oberfläche (1), einer Korngrenze (2) oder innerhalb eines Kornes (3) migrieren, wobei jeder dieser Migrationspfade unterschiedliche Aktivierungsenergien aufweist.

Hohe Leerstellenkonzentrationen an Korngrenzen und Oberflächen sorgen dafür, dass die Aktivierungsenergien auf diesen Pfaden geringer sind als innerhalb der Körner. Bei einer Leiterbahn aus Kupfer (typisches Leiterbahnmaterial in fortgeschrittenen Technologien) ist der Hauptdiffusionspfad entlang der Oberfläche [HLK09]. Die Aktivierungsenergie beträgt beispielsweise für die Oberflächendiffusion 0,8 eV, für die Korngrenzen 1,2 eV und innerhalb des Kornes 2,3 eV [Thi17].

Gründe für die geringste Aktivierungsenergie entlang der Oberfläche von Kupferleiterbahnen sind zum einen das chemisch-mechanische Polieren (CMP), welches bei der Herstellung der Leiterbahn im Dual-Damascene-Prozess (DDP) angewandt wird, und zum anderen die schlechte Bindung zur Deckschicht [Tu03]. Die geringe Aktivierungsenergie entlang der Oberfläche resultiert aus der relativ schlechten Bindungsenergie der Deckschicht und den vermehrt auftretenden Gitterstörungen durch das Polieren.

Die Autoren in [LCH90] weisen ebenfalls auf einen richtungsabhängigen Einfluss der Korngrenzen in Abb. 2.2 hin. Dadurch ergibt sich eine unterschiedlich starke Migration, welche richtungsabhängig ist und somit einen Ausfall bei Wechselstrom verursachen kann [LCH90]. Grundsätzlich begünstigen Korngrenzen parallel zur Elektronenflussrichtung die Migration der Atome [Thi17].

2.1.3 Beschreibung des Teilchenflusses

Ein Maß für die Migration ist die sogenannte Teilchenstromdichte (auch Teilchenfluss oder -strom, J). Diese gibt die Anzahl der Teilchen pro Zeit (t) und Fläche (A) senkrecht zur Bewegungsrichtung an. Oftmals wird zur Beschreibung der Migration auch die Drift-Geschwindigkeit (v) angegeben, welche sich aus der Multiplikation der Konzentration (c) zur Teilchenstromdichte ergibt [Kin10]:

$$\vec{J} = c\vec{v}. \quad (2.2)$$

Die Teilchenstromdichte der EM setzt sich mit der Stromdichte (j) als treibende Kraft folgendermaßen zusammen [WDY03]:

$$\vec{J}_{EM} = -\frac{cD}{kT}eZ^*\rho\vec{j}. \quad (2.3)$$

Darin enthalten sind der Diffusionskoeffizient (D), die Boltzmann-Konstante (k), die Temperatur (T), die Elementarladung (e), die effektive Ladungszahl der EM (Z^*) und der spezifische elektrische Widerstand (ρ).

Der Diffusionskoeffizient (D) berechnet sich mit der Aktivierungsenergie (E_a) und der Diffusionskonstante (D_0) nach folgender Gleichung [WDY03]:

$$D = D_0 \exp\left(-\frac{E_a}{kT}\right). \quad (2.4)$$

Die Teilchenstromdichte der EM kann auch über die Beziehung der elektrischen Feldstärke (E) zur Stromdichte oder des elektrischen Potentials (ϕ) durch folgendene Gleichungen ausgewiesen werden:

$$\vec{j} = \frac{\vec{E}}{\rho}, \quad \text{bzw.} \quad \vec{E} = -\vec{\nabla}\phi. \quad (2.5)$$

2.1.4 Bezug zur Diffusionsgleichung

Abgeleitet von der Gleichung zur Massenbilanz (Masse im System ist konstant [Ste+13]), beschreibt die Diffusionsgleichung die Bewegung von Material

in einem geschlossenen System. Die Diffusionsgleichung setzt sich dabei wie folgt zusammen [Sar+99]:

$$\frac{\partial c}{\partial t} = -\vec{\nabla} \cdot \vec{J}. \quad (2.6)$$

Bei der physikalischen Beschreibung des Materialtransportes kann man von wandernden Atomen oder von bewegten Leerstellen ausgehen. In den Arbeiten [Kir92; Sar+00; Sar+99; SZ04], welche die Leerstellen betrachten, wird die Gleichung (2.6) auf der rechten Seite um einen Generations- und Vernichtungsterm (G) erweitert. Dieser beschreibt das Erzeugen bzw. Vernichten der Leerstellen aufgrund von Gitteränderungen durch den Materialtransport [Kir92]. Jedoch vernachlässigen viele EM-Modelle diesen Term, um die Komplexität des Systems zu vereinfachen [HGR06; Kor+93; Sar+99].

Zusammenfassend belegt die Diffusionsgleichung, dass eine Materialverschiebung die Konzentration der Atome (bzw. Leerstellen) über die Zeit verändert und dass die Anhäufung von Atomen an einer Stelle auch eine Verarmung an einer anderen Stelle verursachen muss.

2.1.5 Entstehung von EM-induziertem Stress

Das Transportieren von Atomen durch EM sorgt, wie bereits erwähnt, für eine Konzentrationsänderung innerhalb der Leiterbahn. Diese ist für die Entstehung einer hydrostatischen mechanischen Spannung (engl. hydrostatic stress, σ) verantwortlich, da der folgende Zusammenhang mit der Konzentration (c) und dem Kompressionsmodul (B) existiert [CS11]:

$$\frac{dc}{c} = \frac{-d\sigma}{B}. \quad (2.7)$$

Die hydrostatische mechanische Spannung ist der Mittelwert aller mechanischen Spannungen aus den Richtungen des Bezugssystems ($\sigma = (\sigma_1 + \sigma_2 + \sigma_3)/3$). Zur Vereinfachung wird im restlichen Teil dieser Arbeit die hydrostatische mechanische Spannung stets mit Stress (σ) abgekürzt.

Der entstehende Stress ist eine direkte Folge der EM-induzierten Materialwanderung bzw. der dadurch verursachten Konzentrationsänderung. Dabei

gilt, dass im verarmten Kathodenbereich Zugstress (σ_Z) und im angereicherten Anodenbereich Druckstress (σ_D) auftritt. Als Folge dieses EM-induzierten Stressgradienten tritt Stressmigration (SM) auf, welche der EM entgegenwirkt. Die Atome wandern durch die SM vom Druckstress zum Zugstress einer Leiterbahn (Abb. 2.3) und beeinflussen somit wesentlich das Verhalten der EM.

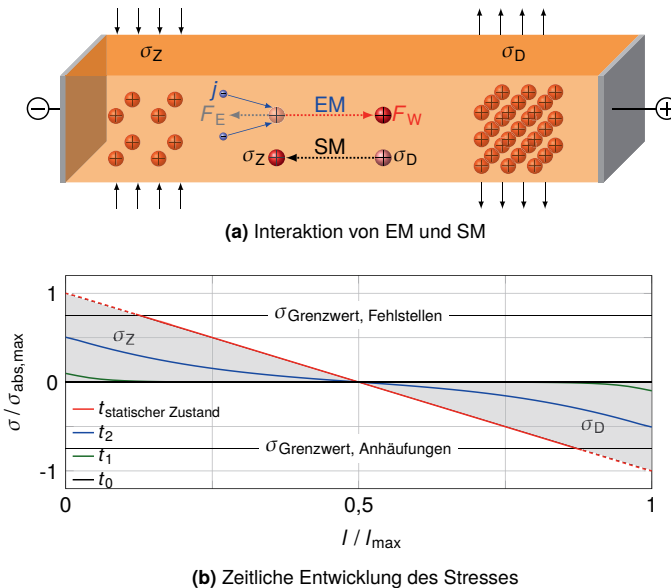


Abb. 2.3: (a) EM verschiebt Atome und reichert dadurch die Kathode an bzw. verarmt die Anode. Diese Konzentrationsänderung führt zu Zugstress (σ_Z) an der Kathode bzw. zu Druckstress (σ_D) an der Anode. Der entstandene Stressgradient ruft wiederum SM hervor, welcher der EM entgegenwirkt. (b) Der Stress baut sich über die Zeit (t_0, t_1, t_2, \dots) auf, und steigt solange an, bis der Stressgradient groß genug ist, so dass sich EM und SM kompensieren ($t_{\text{statischer Zustand}}$). Fehlstellen oder Anhäufungen bilden sich aus, wenn deren Grenzwerte überschritten werden [Big+18b; Hua+16b].

Abbildung 2.3b zeigt auch, dass sich der Stress innerhalb einer Leiterbahn über die Zeit aufbaut. Zum Startpunkt t_0 , im unbelasteten Zustand, ist der

Stress innerhalb der Leiterbahn ausgeglichen (ohne Beachtung von externen Stressquellen). Mit dem Einsetzen des Stromflusses beginnt die EM-induzierte Wanderung der Atome in Richtung des Elektronenflusses. Aus der Verschiebung der Atome folgt der erwähnte Stressaufbau. Der resultierende Stressgradient verursacht daraufhin SM, welche der EM entgegenwirkt. Zu den Zeitpunkten t_1 und t_2 ist der Stressgradient jedoch zu gering, um die EM vollständig zu kompensieren, sodass der Stress weiterhin ansteigt. Im statischen Zustand wird die EM vollständig von der SM kompensiert, sodass der Stress von jetzt an konstant bleibt.

Der statische Stress wird nur erreicht, wenn dieser unterhalb der technologischen Grenzwerte für Fehlstellen oder Anhäufungen liegt. In der Literatur findet man dafür Richtwerte im Bereich von 41 MPa [Hau02] bis 400 MPa [Hua+16a]. Überschreitet der Stress einen Grenzwert bevor der statische Zustand erreicht ist, bildet sich entweder eine Fehlstelle (engl. void) oder eine Materialanhäufung (engl. hillock) aus. Diese Umformung der Leiterbahn sorgt anschließend für den Stressabbau.

Die Teilchenstromdichte der SM berechnet sich mit dem Stressgradienten ($\vec{\nabla}\sigma$) als treibende Kraft und dem Atomvolumen (Ω) wie folgt [WDY03]:

$$\vec{J}_{SM} = \frac{cD}{kT} \Omega \vec{\nabla}\sigma. \quad (2.8)$$

Besonders gut erkennt man die Abhängigkeit des Stresses von der Stromdichte und der Leiterbahngeometrie in Abb. 2.4. In dieser Betrachtung sind Stromdichte und Leiterbahnlänge zueinander variiert sowie der maximale Stress über die Zeit dargestellt. Außerdem sind die Grenzwerte für Fehlstellen und Anhäufungen gleichgesetzt, sodass man diese auf einen Wert reduzieren kann.

Abbildung 2.4 zeigt ebenfalls, dass je nach Stromdichte und Geometrie der Leiterbahn der Stress unterschiedlich schnell ansteigen kann (blaue und grüne Kurve). Dabei ist es möglich, dass der Stress relativ langsam ansteigt, aber im statischen Zustand den Grenzwert überschreitet (rote Kurve). Hier sind weitere Kombinationen möglich (orange und rote Kurve), sodass es einer umfangreichen Analyse des Stresses zur Erkennung von EM-Bedrohungen bedarf. Als EM-

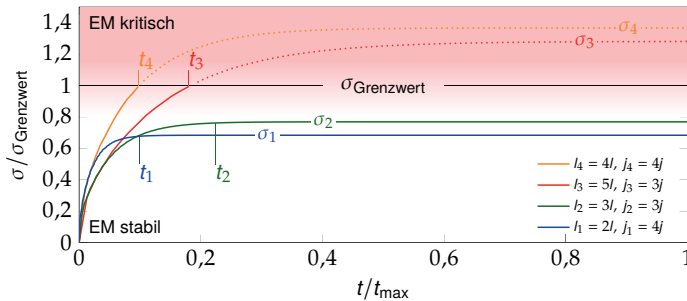


Abb. 2.4: Zeitliche Entwicklung des Stresses für verschiedene Stromdichten ($3j, 4j$) und Leiterbahnlängen ($2l, 3l, 4l, 5l$). Die blaue und grüne Leiterbahn kann als EM-stabil angesehen werden, da der maximale Stress im statischen Zustand unterhalb des Grenzwertes bleibt. Die gelbe und rote Leiterbahn ist EM-kritisch, da hier der Grenzwert überschritten wird. Der Grenzwert ist als Richtwert zu verstehen, da die EM ein statistischer Prozess ist. Dies ist auch mit dem Farbverlauf im Hintergrund verdeutlicht, welcher ein Maß für die EM-Gefahr repräsentieren soll [BL16b].

stabil kann man Leiterbahnen ansehen, deren Maximalwerte im statischen Zustand unterhalb der Grenzwerte für Fehlstellen oder Anhäufungen bleiben. EM-kritisch sind dagegen Leiterbahnen, welche diese Werte überschreiten. EM ist jedoch ein statistischer Prozess, sodass man Grenzwerte vielmehr als Bereich interpretieren sollte.

2.1.6 Weitere Abhängigkeiten und Einflussfaktoren der EM

Neben der EM und SM können Atome auch aufgrund der chemischen Diffusion (CD) wandern, welche mit dem Konzentrationsunterschied als treibende Kraft wie folgt definiert ist [Kir92]:

$$\vec{J}_{\text{CD}} = D \vec{\nabla} c. \quad (2.9)$$

Weiterhin kann die EM durch Thermomigration (TM) beeinflusst werden, welche die Atome aufgrund eines Temperaturgradienten von warmen zu kalten

Bereichen migrieren lässt. Die Teilchenstromdichte der TM kann mit Hilfe der Transportwärme (Q^*) wie folgt berechnet werden [Kin10]:

$$\vec{j}_{TM} = \frac{cD}{kT} \frac{Q^*}{T} \vec{\nabla} T. \quad (2.10)$$

Die TM kann, in Abhängigkeit der Wärmeverteilung, die EM sowohl kompensieren als auch verstärken [LT18b]. Höhere Temperaturen an der Anode führen zu einer Kompensation der EM durch TM (und umgekehrt).

Die Summe aus den einzelnen Teilchenstromdichten beschreibt die Gesamtheit der bewegten Atome innerhalb einer Leiterbahn und ergibt sich aus [Kir92]:

$$\vec{J} = \vec{J}_{CD} + \vec{J}_{EM} + \vec{J}_{SM} + \vec{J}_{TM} \quad (2.11)$$

$$= D \vec{\nabla} c - \frac{cD}{kT} e Z^* \rho \vec{j} + \frac{cD}{kT} \Omega \vec{\nabla} \sigma + \frac{cD}{kT} \frac{Q^*}{T} \vec{\nabla} T. \quad (2.12)$$

Abbildung 2.5 verbildlicht noch einmal die gegenseitigen Beeinflussungen der CD, EM, SM und TM. Die direkten und indirekten Abhängigkeiten sind dabei durch die schwarzen bzw. grauen Pfeile dargestellt. EM ist beispielsweise direkt

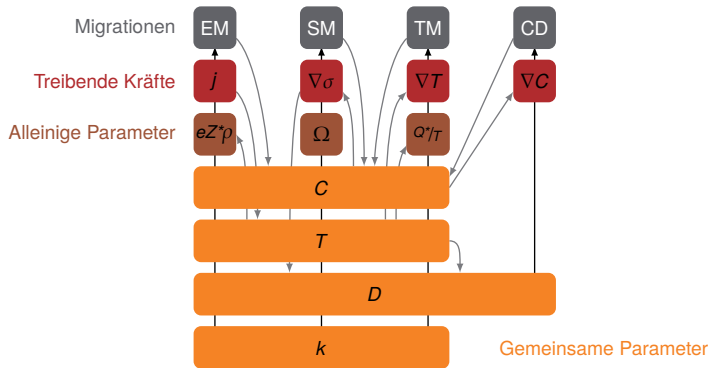


Abb. 2.5: Abhängigkeiten zwischen den Migrationen (schwarz), deren treibenden Kräften (rot) sowie der alleinigen und gemeinsamen Parameter (braun bzw. gelb). Die schwarzen und grauen Pfeile symbolisieren eine direkte bzw. indirekte Beeinflussung.

von der Stromdichte getrieben und verursacht durch die ausgelöste Materialmigration einen Konzentrationsunterschied, welcher wiederum zu Stress und SM führt. Ebenfalls erhöht die Stromdichte die Temperatur, sodass dadurch der Diffusionskoeffizient und der spezifischer elektrischer Widerstand verändert wird. Der Stromfluss kann aber auch zu einer lokalen Erwärmung der Leiterbahn führen und somit TM hervorrufen. Ein verändertes Konzentrationsgefälle innerhalb einer Leiterbahn löst ebenfalls die CD aus. Im Fokus dieser Arbeit steht die Beeinflussung der EM durch die SM (ersten zwei Spalten in Abb. 2.5).

Neben gegenseitigen Beeinflussungen der Migrationsarten können auch externe Einflüsse eine Rolle spielen. Stress kann beispielsweise von der Einhausung des Chips oder durch unterschiedliche thermische Ausdehnungskoeffizienten der Materialien erzeugt werden. Es kommt ebenfalls vor, dass sich einzelne Gebiete des Chips unterschiedlich stark erwärmen. Die dadurch induzierten Temperaturgradienten rufen wiederum TM hervor, welche die EM beeinflussen können. In dieser Arbeit werden jedoch diese externen Einflussfaktoren weitestgehend vernachlässigt, da hier die Kompensation der EM aufgrund des direktem Stromflusses im Vordergrund steht.

2.1.7 Bedeutung des Herstellungsverfahrens

Mit dem Wechsel von Aluminium zu Kupfer als Leiterbahnmaterial führte man auch den mittlerweile zum Standard gewordene Damaszene-Prozess (DP) ein [IBM98]. Dieses Verfahren ist ein Additivverfahren, bei dem Kupfer in Gräben abgeschieden wird. Außerdem kapselt man das Kupfer in diesen Gräben gegenüber des Dielektrikums ab, da es ansonsten leicht in dieses diffundieren würde [Uek+96]. Das überschüssige Kupfer wird nach dem Abscheiden mittels CMP auf die gewünschte Höhe poliert.

Neben dem einfachen Damaszene-Prozess existiert auch der Dual-Damaszene-Prozess, welcher sich als Hauptherstellungsprozess für Kupferleiterbahnen durchgesetzt hat. Der wesentliche Unterschied ist, dass bei Letzterem die Vias und Leiterbahnen gleichzeitig abgeschieden werden, sodass sich Deckschichten unterhalb der Vias und oberhalb der Leiterbahnen befinden (Abb. 2.6).



Abb. 2.6: Leiterbahn hergestellt im Dual-Damascene-Prozess. Diffusionsbarrieren sind die Deck- und Barrierschichten oberhalb bzw. unterhalb des Kupfers (Cu).

Speziell die Barrierschichten (meist bestehend aus einer Tantalverbindung [HGR06]) und die isolierenden Deckschichten spielen eine wichtige Rolle für die Betrachtung der EM, weil an diesen Stellen die Migration der Atome gestoppt wird. Die EM-relevante Leiterbahnlänge kann sich somit nur auf die Länge innerhalb einer Verdrahtungsebene beziehen, da zwischen den Metallebenen kein Austausch von Atomen stattfindet.

Der Vorteil einer nichtleitenden Deckschicht liegt in der Einsparung eines weiteren Strukturierungsvorganges, jedoch erweist sich die geringere Haftung solcher Schichten als nachteilig für die EM-Kompensation. Aus diesem Grund migrieren die meisten Atome zwischen Deckschicht und Leiterbahn im Dual-Damascene-Prozess, wobei die dort existierende hohe Anzahl von Leerstellen zusätzlich die Migration erhöht [HGR06].

Zwischen den Leiterbahnen liegt eine dielektrische Zwischenschicht (engl. inter layer dielectric, ILD), welche in den älteren Technologien meist ein robustes Siliziumoxid und in den neueren Technologien ein Low-k-Material, wie dotiertes oder poröses Siliziumoxid, ist [Sha+04]. Mit der Einführung dieser Materialien verstärken sich die Auswirkungen der EM, weil diese eine geringere mechanische Robustheit aufweisen und somit der Bildung von Fehlstellen oder Anhäufungen schlechter entgegenwirken.

Weiterhin können unterschiedliche thermische Ausdehnungskoeffizienten (engl. coefficient of thermal expansion, CTE) der Materialien Stress in die Leiterbahnen induzieren [Wei+08b]. Dadurch kann ein sogenannter Reststress (engl. residual stress, σ_R) entstehen, welcher den benötigten Stress für Fehlstellen oder Anhäufungen verringert [OCS10]. Meist ist dieser Reststress ein Zugstress, sodass die Fehlstellenbildung vereinfacht wird [LH04; Llo99]. In der Literatur findet man Werte im Bereich von 50 MPa [Sar+99] bis zu 400 MPa [Hua+14].

2.2 Auftreten von EM in Signalnetzen

Typischerweise wird für die EM-Betrachtung bei Gleichströmen der Gleichstromwert, bei gepulsten Wechselströmen der durchschnittliche Stromwert und bei Wechselströmen ein durchschnittlicher Strom-Erholungswert (siehe Abschnitt 2.2.1) zu Grunde gelegt [GM16]. Da der Fokus hier auf der lange Zeit vernachlässigten EM-Kompensation in den Signalnetzen liegt, werden in den nächsten Abschnitten die damit verbundene Modellierung der Selbstheilung, die Frequenzabhängigkeit und das Fehlerbild bei Wechselstrom aufgezeigt.

Die Selbstheilung beschreibt den Effekt, dass der Richtungswechsel des Stromes zu einer Rückführung der abgewanderten Atome sorgt und somit die EM-Schädigungen heilt. Experimentelle Untersuchungen in [LCH90; Lee12; TCH94] zeigen jedoch, dass die Selbstheilung unvollständig ist. In der Literatur kann man dafür mehrere Erklärungen finden. Zum einen benennen die Autoren in [LCH90] den richtungsabhängigen Einfluss der Korngrenzen als wesentlichen Punkt (vgl. Abschnitt 2.1.2). Zum anderen verändert sich mit jeder Materialwanderung die Ausgangslage der Leiterbahn, sodass sich die Migrationsparameter stetig ändern. Betrachtet man die Häufigkeit mit der ein Signalnetz geschaltet wird, können diese geringfügigen Änderungen eine Langzeitwirkung entwickeln und ebenfalls zur unvollständigen Selbstheilung beitragen.

Ein weiterer Punkt ist die Überlagerung des dynamischen Schaltstromes mit dem des statischen Leckstromes, welcher ungleichmäßig in eine Richtung fließen kann. Diese Leckströme können nicht mehr vernachlässigt werden, da sie seit ungefähr dem 45-nm-Technologieknoten in der Größenordnung der dynamischen Schaltströme sind [KK08]. Leckströme fließen zwischen dem Drain- und Source-Kontakt eines Transistors sowie über das Gate zu anderen Transistoren. In den letzten Jahren ist es durch das Abdünnen der Gateisolation dazu gekommen, dass der Gate-Leckstrom den größten Teil des Verluststromes einnimmt [Muk+03], sodass dessen Bedeutung für die EM-Betrachtung steigt.

Die Autoren in [GM15] führten außerdem die erhöhten Stromdichten aufgrund eines Richtungswechsels in der Leiterbahngeometrie (z.B. durch Vias) als Grund für eine unvollständige Selbstheilung an. Diese erhöhten Stromdichten sind

unabhängig von der Stromrichtung und treten damit stets an der gleichen Stelle auf. Das führt wiederum zu einer verstärkten lokalen Erwärmung, welche einen Temperaturgradienten hervorruft. Tao, Cheung und Hu berichten zusätzlich in [TCH93], dass ungleichmäßige Leiterbahnbreiten (z.B. an Kontaktflächen) ebenfalls zu einer unterschiedlichen Erwärmung der Leiterbahn führen können. Diese Temperaturgradienten sind letztendlich die Ursache für die Überlagerung der EM mit TM und dem Ausfall der Leiterbahn.

Ein weiterer Grund für die unvollständige Selbstheilung kann ein Unterschied zwischen den elektrischen Eigenschaften des NMOS- und PMOS-Transistors sein, über welche die Kapazitäten des Netzes innerhalb einer Standardzelle geladen bzw. entladen werden. Das kann dazu führen, dass die Dauer und der Maximalstrom zwischen Auf- und Entladung unterschiedlich sind. Deshalb unterscheiden sich auch die Migrationsparameter, welche wiederum die Materialwanderungen beeinflussen.

2.2.1 Modell der Selbstheilung

Das durchschnittliche Strom-Erholungsmodell (engl. average current recovery, ACR) von [Tin+93] ist bei der EM-Abbildung von Wechselstrombelastungen weit verbreitet [TCH94]. Dieses Modell beschreibt einen Stromdichteerholungswert (j_{acr}), welcher typischerweise für EM-Betrachtungen genutzt wird und die Selbstheilung mit dem Wiederherstellungsfaktor (r) berücksichtigt. In der Literatur liegt dieser Faktor im Bereich von 0,7 bis 0,9 [Lee12; Tin+93].

Der Stromdichteerholungswert ist über die Differenz zwischen durchschnittlicher positiver und negativer Stromdichte ($j_{avg,+}$ bzw. $j_{avg,-}$) folgendermaßen definiert [Tin+93]:

$$j_{acr} = j_{avg,+} - r |j_{avg,-}|. \quad (2.13)$$

Die Autoren in [Lee12] führen zur Weiterentwicklung dieser Formel und zur besseren Abbildung der Selbstheilung das Integral über die Zeit (t) ein:

$$j_{eff,EM} = \frac{1}{T} \left(\int_0^T j_+(t) dt - r \int_0^T |j_-(t)| dt \right). \quad (2.14)$$

Der zeitliche Stromverlauf beim Schalten einer Standardzelle kann bereits durch die Charakterisierung der Standardzelle im Prozess-Design-Kit (engl. process design kit, PDK) in Abhängigkeit der Netz-Kapazitäten gegeben sein bzw. durch eine Simulationssoftware für elektrische Schaltungen (engl. simulation program with integrated circuit emphasis, SPICE) abgeschätzt werden. Zur Bestimmung der Netz-Kapazität muss eine Parasitenextraktion durchgeführt werden, welche die Kapazitäts- und Widerstandswerte der einzelnen Leiterbahnen berechnet. Aus den Technologie- und Layoutdaten sowie den Stromwerten lassen sich dann die relevanten EM-Parameter wie Stromdichte und Leiterbahnlänge bestimmen.

2.2.2 Frequenzabhängigkeit

Besonders die Frequenz (f) des Wechselstroms kann einen Einfluss auf die Lebensdauer der Leiterbahn haben. Die Autoren von [TCH93] stellten fest, dass die Lebensdauer im niedrigen Frequenzbereich (bis zu 10 Hz) konstant ist und anschließend linear bis zur Sättigung (ab 1 kHz) ansteigt. Im Sättigungsbereich bleibt die Lebensdauer dagegen konstant. Daraus folgt, die mittlere Lebensdauer (MTTF) bei Wechselstrom ist ab diesen Wert unabhängig von der Frequenz. Auch die Autoren von [LCH90] ermittelten bereits eine Unabhängigkeit der MTTF von den Frequenzen ab einem Wert von ca. 10 kHz. Damit ist zu erwarten, dass die Frequenz der Signalnetze eine untergeordnete Rolle spielt, da die meisten Netze deutlich über diesen Grenzwerten liegen.

Neben der Frequenz kann auch die Häufigkeit der Benutzung des Netzes einen Einfluss auf die EM haben, weil häufig benutzte Netze öfters belastet und weniger Zeit zum Erholen haben.

2.2.3 Lage der Fehlstellen

Die Lage der Fehlstellen kann die EM-Auswirkungen stark beeinflussen. Abbildung 2.7 zeigt die typischen Positionen für Schädigungen innerhalb einer Leiterbahn. Fehlstellen am Boden eines Vias können beispielsweise durch die erhöhte Stromdichte aufgrund der Richtungswechsel verursacht sein (Abb. 2.7a).

Außerdem kann ein Versatz in der Herstellung dieses Fehlerbild noch verstärken. Treten die Fehlstellen zwischen Deckschicht und Leiterbahn auf, so ist die angesprochene fehlende Haftung dafür ausschlaggebend (Abb. 2.7b). Besonders im Falle von Wechselstrom kommt es ebenfalls vor, dass die Fehlstellen unterhalb der Deckschicht und in der Mitte der Leiterbahn entstehen (Abb. 2.7c) [LCH90; Lee12]. Dies deutet darauf hin, dass sich Fehlstellen verstärkt an Kreuzungen von mehreren Korngrenzen bilden.

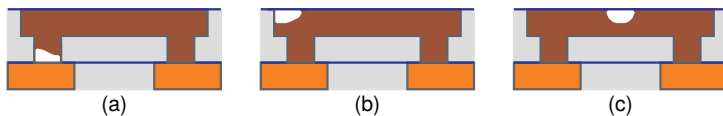


Abb. 2.7: Häufige Positionen der Fehlstellen (weiß) in den Vias und Leiterbahnen (orange) sind (a) im Boden von Vias, (b) unterhalb der Deckschicht (blau) und oberhalb von Vias sowie (c) unterhalb der Deckschicht und in der Mitte der Leiterbahn.

2.3 EM-Modelle für Verdrahtungsstrukturen

In diesem Abschnitt werden bereits existierende EM-Modelle aufgezeigt, welche Grundlage für diese Arbeit sind. Die Modelle bilden das physikalische Verhalten ab und helfen, die EM und deren Einflussfaktoren besser zu verstehen.

2.3.1 Unterschiede zwischen den Modellen

In der Literatur existieren verschiedene Klassen von EM-Modellen, welche je nach Anforderung zur Anwendung kommen. Dabei unterscheidet man zwischen empirischen, analytischen und numerischen Konzepten.

Empirische Modelle bilden das Verhalten quantitativ ab, ohne dabei den konkreten physikalischen Zusammenhang zwingend zu beschreiben. Meistens wird dabei aus einer Reihe von Messdaten ein wiederkehrendes Verhalten identifiziert und mit Hilfe einer Berechnungsformel annähernd abgebildet.

Die analytischen Modelle bilden die konkreten, physikalischen Zusammenhänge ab, sodass man die Abhängigkeiten detailliert untersuchen kann. Oftmals

existiert jedoch aufgrund der Komplexität der Zusammenhänge nur eine analytische Lösung für vereinfachte Probleme.

Numerische Modelle versuchen hingegen, die physikalischen Gleichungen näherungsweise für ein komplexes Problem zu lösen. Dabei muss man einen Kompromiss zwischen Rechenzeit und Ergebnisqualität eingehen. Die Komplexität bei numerischen Modellen kann stark mit dem Detailgrad des Problems oder der Lösungsgenauigkeit ansteigen.

2.3.2 Abschätzung der mittleren Lebensdauer

Viele im Layoutentwurf etablierten EM-Modelle fallen in die Kategorie der empirischen Lösungen. Oftmals stellen diese einen Zusammenhang zwischen der MTTF einer Leiterbahn und deren Stromdichte her, sodass damit eine schnelle Abschätzung der EM-Gefahr ermöglicht wird.

Mittlere Lebensdauer nach Black

Das wohl bekannteste Modell zur Abschätzung der mittleren Lebensdauer einer Leiterbahn in Bezug zu einer gleichgerichteten Stromdichte (j) ist die Gleichung von Black. Bereits 1969 stellte er in seiner experimentell ermittelten Gleichung die Abhängigkeit der Lebenszeit vom Reziproke der quadratischen Stromdichte vor [Bla69]. Auf Basis eines Materialparameters (a), der Aktivierungsenergie (E_a), der Boltzmann-Konstante (k) und der Temperatur (T) berechnete Black die Lebensdauer einer Leiterbahn wie folgt:

$$\text{MTTF} = A j^{-2} \exp\left(\frac{E_a}{kT}\right). \quad (2.15)$$

Später stellte man fest, dass nicht alle Experimente dieser Gleichung folgen, sodass man den Stromdichteexponenten (n) in [BGH71] einführte:

$$\text{MTTF} = A j^{-n} \exp\left(\frac{E_a}{kT}\right). \quad (2.16)$$

In der Literatur findet man für den Stromdichteexponenten Werte zwischen eins und drei, welche sich allerdings von Experiment zu Experiment unterscheiden können [Llo07]. Verantwortlich dafür sind die unterschiedlich schnell ablaufenden Stadien der Fehlstellenbildung. Durch die EM werden solange Atome bewegt, bis die Leiterbahn dem entstehenden Stress sprunghaft nachgibt und sich verformt. Deswegen unterscheidet man zwischen der anfänglichen Fehlstellenbildung (engl. void nucleation) bis zur Verformung und dem anschließenden Fehlstellenwachstum (engl. void growth) nach der Verformung. Erstere erfolgt zunächst mit einem Exponenten von zwei und verlangsamt sich anschließend im Wachstum zu eins. Da sich die Lebenszeit einer Leiterbahn aus beiden Stadien zusammensetzt, können Werte zwischen eins und zwei gemessen werden [Llo07]. Werte größer als zwei beinhalten andere Effekte, wie die TM, und sind deshalb nicht der reinen EM zuzuordnen.

Mittlere Lebensdauer nach Liew

Die Black'sche Gleichung beschreibt lediglich die MTTF einer einfachen Leiterbahn unter Gleichstrom. Liew, Cheung und Hu liefern in [LCH90] hingegen empirische Modelle für Gleichstrom, gepulsten Gleichstrom und Wechselstrom für Frequenzen oberhalb von einem 1 kHz.

Der Aufbau der Gleichung zur Abschätzung der MTTF bei Wechselstrom ähnelt dem Aufbau der Black'schen Gleichung, jedoch unterscheiden sich die Werte für den temperaturabhängigen Materialparameter (a) und dem Stromdichteexponenten (n), sodass die folgende Gleichung gilt [LCH90]:

$$MTTF_{AC} = \frac{a_{AC}(T)}{|j| |j|^{n-1}}. \quad (2.17)$$

In den dazugehörigen Experimenten und in [Lee12] zeigt sich ein ungefährer Faktor von 1000 zwischen der MTTF von Wechsel- und Gleichstrom. Dieser kleiner werdende Unterschied war in der Vergangenheit der Grund für die lange Zeit vernachlässigte EM in den Signalnetzen.

2.3.3 EM-Kompensation beim Blech-Effekt

1975 veröffentlichte Blech in [Ble76] den Blech-Effekt, welcher einen Zusammenhang zwischen Stromdichte, Leiterbahnlänge und mittlerer Lebensdauer einer Leiterbahn herstellt. Blech beobachtete, dass die EM unter bestimmten Bedingungen gestoppt werden kann. Dieser Effekt kann anhand des Blech-Produktes, der Blech-Länge und der Blech-Bedingung erklärt werden [LCS99].

Blech-Produkt

Blech untersuchte anfangs in einer Reihe von Experimenten an Goldleiterbahnen die Geschwindigkeit mit der sich EM ausbreitet [BK75]. Dabei beobachtete er, dass die Kathode in Abhängigkeit der Stromdichte stets bis zu einer bestimmten Länge der Leiterbahn abgetragen wird, sodass er das folgende Blech-Produkt (P_{Blech}) mit der Blech-Länge (l_B) und der Stromdichte (j) formulierte:

$$P_{\text{Blech}} = j l_B. \quad (2.18)$$

Das Blech-Produkt für Kupferleiterbahnen in Siliziumoxid liegt im Bereich von 1500 A cm^{-1} [HHM04] bis zu 3700 A cm^{-1} [Lee+03] bzw. für Kupferleiterbahnen in Low-k-Dielektrika von 375 A cm^{-1} [HHM04] bis 2500 A cm^{-1} [Lee+03].

Blech-Länge

Die Blech-Länge ist die Leiterbahnlänge ab der die EM vollständig von der SM kompensiert wird. Ist eine Stromdichte gegeben, so lässt sich daraus eine Leiterbahnlänge ermitteln, bis zu der die EM keine Auswirkung hat. Diese Blech-Länge ist jedoch stets von der Stromdichte abhängig.

Für eine Stromdichte von 1 MA cm^{-2} ergibt sich somit eine Blech-Länge (l_B) für Kupferleiterbahnen in Siliziumoxid von $15 \mu\text{m}$ bis $37 \mu\text{m}$ bzw. für ein Low-k-Dielektrika von ca. $4 \mu\text{m}$ bis $25 \mu\text{m}$. Mit einer vorhergesagten Stromdichte von 5 MA cm^{-2} in [ITRS] reduziert sich der kleinste Wert zu 800 nm .

Blech-Bedingung

Die Blech-Bedingung beschreibt die Kompensation der EM durch die SM mit der Addition der Teilchenstromdichte für den eindimensionalen Fall wie folgt:

$$J = \frac{Dc}{kT} \left(e\rho Z^* j - \Omega \frac{\partial \sigma}{\partial x} \right). \quad (2.19)$$

Der Materialfluss innerhalb einer Leiterbahn erlischt, wenn der Term zwischen den Klammern Null wird. Die Blech-Bedingung ist somit [LCS99]:

$$\frac{\partial \sigma}{\partial x} = \frac{e\rho Z^* j}{\Omega}. \quad (2.20)$$

Integriert man über die Länge und den Stress, erhält man die folgende Lösung mit dem initialen Stress σ_0 bei x gleich Null:

$$\sigma(x) = \sigma_0 + \frac{e\rho Z^* j x}{\Omega}. \quad (2.21)$$

Formt man Gleichung (2.21) nach dem Blech-Produkt um, erhält man die folgende Gleichung:

$$jl_B = \frac{(\sigma_k - \sigma_0)\Omega}{e\rho Z^*}, \quad (2.22)$$

wobei σ_k den Grenzwert für Schäden repräsentiert. Bleibt die Belastung unterhalb des Blechproduktes ($jl < jl_B$) ist die Leiterbahn unempfindlich für EM.

Möchte man die Leiterbahn EM-robust auslegen, berechnet sich die maximale Leiterbahnlänge für eine gegebene Stromdichte wie folgt:

$$l_B = \frac{(\sigma_k - \sigma_0)\Omega}{e\rho Z^* j}. \quad (2.23)$$

Thompson zeigt in [Tho08], dass die EM auch nach einer Überschreitung des Blech-Produktes von der SM kompensiert werden kann. Dieser Fall tritt ein, wenn sich eine Fehlstelle ohne größeren Einfluss auf den Leiterbahnwiderstand ausbilden kann. In den neuesten Technologien führt jedoch bereits eine geringe Schädigung zu einem starken Anstieg des Widerstandes.

2.3.4 Berechnung der Stressentwicklung

Stress in geraden Leiterbahnen

Eines der bekanntesten, analytischen Modelle zum EM-induzierten Stress innerhalb einer geraden Leiterbahn ist das Modell von Korhonen [Kor+93]. Korhonen u. a. stellten eine Verbindung der Konzentrationsänderung mit dem Stress nach Gleichung (2.7) her. Außerdem vereinfachte er den Zusammenhang zwischen der Diffusionsgleichung und der Entstehung des Stresses, sodass die folgende Differentialgleichung von Korhonen analytisch lösbar ist:

$$\frac{\partial \sigma}{\partial t} = \frac{\partial}{\partial x} \left[\frac{DB\Omega}{kT} \left(\frac{\partial \sigma}{\partial x} + \frac{e\rho Z^*j}{\Omega} \right) \right]. \quad (2.24)$$

Die analytische Lösung für gerade Leiterbahnen beschreibt die Entwicklung des Stresses in Abhängigkeit von Weg und Zeit:

$$\sigma(x, t) = \frac{e\rho Z^*jl}{\Omega} \left(\frac{1}{2} - \frac{x}{l} - 4 \sum_{m=0}^{\infty} \frac{\cos\left((2m\pi + \pi)\frac{x}{l}\right)}{(2m\pi + \pi)^2 \exp\left((2m\pi + \pi)^2 \frac{DB\Omega}{kT} \frac{t}{l^2}\right)} \right), \quad (2.25)$$

wobei m der Laufindex der unendlichen Summe, l die Länge der Leiterbahn, x die Position in der Leiterbahn und t der Zeitpunkt sind.

Obwohl dieses Modell das Generieren und Vernichten von Leerstellen vernachlässigt, liefert die analytische Lösung eine gute Möglichkeit, um das zeitliche Verhalten von EM in einer geraden Leiterbahn zu untersuchen [LCS99]. Clement fügte in [Cle97] einen Generations- und Vernichtungsterm zum Modell von Korhonen hinzu, jedoch unterscheiden sich die Lösungen nur geringfügig.

Stress in verzweigten Leiterbahnen

Eine analytische Lösung für den zeitlichen Aufbau des Stresses in einem verzweigten Netz ist zum heutigen Zeitpunkt nicht möglich, da die Komplexität der physikalischen Gleichungen zu hoch ist. Aus diesem Grund existieren für verzweigte Leiterbahnen lediglich analytische Lösungen für den statischen Fall.

Eine Methode zum Berechnen des statischen Stresses in verzweigten Verdrahtungsstrukturen liefern Chatterjee, Sukharev und Najm in [CSN18] bzw. in deren vorangegangenen Arbeiten [CSN17] und [CSN16]. Charakteristisch bei ihrer Methode ist, dass sie die physikalischen Zusammenhänge detailliert abbilden, sodass sie auf empirische Werte verzichten können. Dazu formen Sie die partiellen Differentialgleichungen in ein lineares, zeitinvariantes System um, sodass sich die Möglichkeit einer schnellen und skalierbaren Lösung bietet.

Die Methode von Sun u. a. in [Sun+18] stellt eine einfache Möglichkeit dar, den statischen Stress für verzweigte Leiterbahnen auf Basis von Spannungen zu berechnen. Die Autoren erkannten, dass die Stressdifferenz zwischen Knoten k und i auch in Abhängigkeit der Spannung (U) ausgedrückt werden kann ($U = \rho l f$):

$$\sigma_k - \sigma_i = \frac{eZ^*\rho}{\Omega} l_{ik} j = \frac{eZ^*}{\Omega} U_{ik}. \quad (2.26)$$

Mit diesem Ansatz kann man ein Gleichungssystem aufstellen, um den statischen Stress an jedem Knoten zu bestimmen. Dafür ist es notwendig, die Spannung, die angeschlossene Leiterbahnfläche und den Stress an den einzelnen Knoten (in Abhängigkeit einer Referenz) aufzustellen. Für die Herleitung und Beschreibung sei hier auf [DS14], [Sun+16] und [Sun+18] verwiesen.

2.3.5 Numerische Lösung mittels FEM

Eine zeitliche, analytische Berechnung des Stresses ist, wie bereits erwähnt, lediglich für gerade Leiterbahnen möglich. Für verzweigte Leiterbahnen kann man zur Ermittlung des zeitlichen Stressverlaufs lediglich auf numerische Lösungsverfahren, wie das der Finite-Elemente-Methode (FEM), zurückgreifen. Ein wesentlicher Vorteil dieser Methode ist die Anwendbarkeit für verschiedene physikalische Domänen [TLG12]. Somit lassen sich unterschiedliche Einflussfaktoren miteinander koppeln und deren gegenseitigen Abhängigkeiten untersuchen. Das allgemeine Vorgehen in der FEM lässt sich grob in die Erzeugung des geometrischen Modells, die Diskretisierung der Geometrie, dem Anlegen der Randbedingungen, dem Lösen der physikalischen Gleichungen und dem Visualisieren der Ergebnisse untergliedern [TH13].

Die FEM ist aufgrund ihrer Vielfältigkeit oftmals die Basis für empirische EM-Modelle oder EM-Gegenmaßnahmen. Beispielsweise zeigten die Autoren in [Tan+05], dass die Stromdichte innerhalb von Vias deutlich höher sein kann als in den Leiterbahnen. In [TLW10] ist unter anderem mittels einer elektrischen, thermischen und mechanischen Simulation gezeigt, dass Kupferleiterbahnen widerstandsfähiger gegen EM sind als Aluminiumleiterbahnen. Ebenfalls möglich ist eine Vorhersage der Fehlstellenlage mit dem Ansatz aus [WDY03], indem ein dynamisches Anpassen der Geometrie erfolgt. Viele dieser Veröffentlichungen untersuchen jeweils einen wichtigen Teilaspekt, jedoch ist die Berechnung meist sehr zeitintensiv und somit nicht für den Layoutentwurf geeignet.

2.4 Bekannte Maßnahmen zur Reduzierung der EM

Dieser Abschnitt behandelt bekannte Maßnahmen zur Reduzierung der EM. Einzelne Maßnahmen werden in Kapitel 5 näher untersucht und erweitert.

2.4.1 Einsatz neuer Werkstoffe

Wie bereits erwähnt, kompensierte man in der Vergangenheit das Problem der EM durch einen Wechsel des Leiterbahnmaterials von Aluminium zu Kupfer. Der damit notwendige Prozesswechsel war jedoch ausgesprochen kostenintensiv, sodass sich dieser Schritt nur aufgrund der ebenfalls besseren elektrischen Eigenschaften von Kupfer als lohnenswert erwies. Thiele zeigte bereits, dass Kupfer das beste, elementare Metall in Bezug auf den spezifischen Widerstand und der EM-Robustheit ist, sodass es an Alternativen dazu fehlt [Thi17].

In [LO11] wird versucht, Kupfer mit Aluminium zu legieren, um den Hauptdiffusionspfad entlang der Oberfläche abzuschwächen. Einige Arbeiten wie [Yan+10] oder [Sim+13] versuchen die EM-Robustheit zu erhöhen, indem Materialien wie Kobalt in die Diffusionsbarrieren eingebracht werden. Die Anpassung des Herstellungsverfahrens bleibt allerdings der wesentliche Nachteil beim Wechsel der Materialien.

2.4.2 Einbringung von Reservoiren

Als Reservoir bezeichnet man eine Leiterbahn, welche eine definierte Abmessung besitzt und in Verbindung zu einer anderen Leiterbahn steht. Reservoirire können den Stress innerhalb einer Leiterbahn beeinflussen.

Arten

Die Literatur unterscheidet zwischen aktiven und passiven Reservoiren. Ein aktives Reservoir ist selbst vom Strom (i) durchflossen, wohingegen das passive Reservoir keinen Strom führt.

Bei den aktiven Reservoiren beeinflusst deren Geometrie und Stromdichte das Migrationsverhalten der angeschlossenen Leiterbahnen. Aus diesem Grund untersuchen beispielsweise die Arbeiten [Gan+03], [Wei+08a] und [OL14] die Wechselwirkung des Stromes zwischen der Leiterbahn und dem Reservoir. Alle drei Arbeiten kommen zu der Erkenntnis, dass sowohl die Stromrichtung als auch die Stromamplitude eine wichtige Rolle spielen und dass man bei der Untersuchung einer Leiterbahn ebenfalls die Stromdichte und Geometrie der angeschlossenen Leiterbahnen berücksichtigen muss.

Lage

Reservoirire können an verschiedenen Stellen einer Leiterbahn liegen. In den meisten Fällen befinden sie sich aber an den Enden der Leiterbahn. Es gibt jedoch den Ansatz sogenannter Seitenreservoirire, bei dem diese seitlich an den Leiterbahnen liegen. Abbildung 2.8 zeigt die möglichen Lagen der Reservoirire.



Abb. 2.8: In (a) liegt das Reservoir an der Kathode, in (b) an der Anode und in (c) an der Seite der Leiterbahn.

2.4.3 Ausnutzung des Blech-Effektes

Der Blech-Effekt kann, wie bereits in Abschnitt 2.3.3 beschrieben, dafür sorgen, dass die EM vollständig durch SM kompensiert wird. Deshalb ist die Dimensionierung aller Leiterbahnen unterhalb der Blech-Bedingung ein naheliegender Ansatz zur Erhöhung der EM-Robustheit. Jedoch führt dieses Vorgehen zu einem deutlichen Anstieg der Vias und Verdrahtungsressourcen, sodass dadurch ein Layout unverdrahtbar werden kann. Aus diesem Grund wird in Abschnitt 5.6 dieser Arbeit eine Methode untersucht, welche den Blecheffekt bzw. die Längenabhängigkeit ausnutzt und sich dennoch in der Verdrahtung einsetzen lässt.

2.4.4 Einbringung von Vias

Es ist bekannt, dass die Einbringung von Vias eine wichtige Rolle bezüglich der EM-Robustheit eines Netzes spielen kann. Dabei unterscheidet man zwischen den folgenden Via-Konfigurationen.

Via-Above- und Via-Below

Bei Gleichstrom ermöglicht eine Via-Below-Konfiguration eine längere Lebenszeit als eine Via-Above-Konfiguration [LT18a]. In der Via-Above-Konfiguration liegt das Via über der Fehlstelle und in der Via-Below-Konfiguration liegt das Via unter der Fehlstelle (Abb. 2.9).

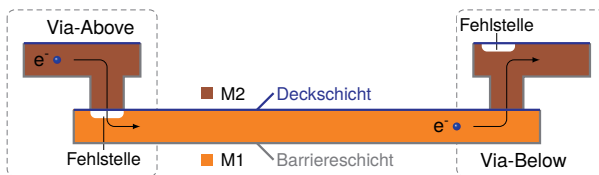


Abb. 2.9: Via-Above-Konfigurationen (linke Seite) fallen bei kleineren Volumen aus als Via-Below-Konfigurationen (rechte Seite). Bei Gleichstrom ist deshalb die Lebenszeit der Via-Below-Konfiguration länger als die der Via-Above-Konfiguration [Big+18b].

Upper-Lead und Lower-Lead

Ein für Gleich- und Wechselstrom gleichermaßen nutzbarer Effekt sind zusätzlich eingebrachte Barrierschichten in Form eines Vias oberhalb einer Leiterbahn. Die Autoren von [PJK10] zeigen, dass Vias die Lebenszeit einer darunterliegenden Leiterbahn erhöhen können, wenn diese die Deckschicht durch eine zusätzliche Barrierschicht unterbrechen. Diese sogenannte Lower-Lead-Konfiguration in Abb. 2.10b besitzen eine ca. 10-fach höhere Lebensdauer als die Upper-Lead-Konfiguration in Abb. 2.10a [PJK10].

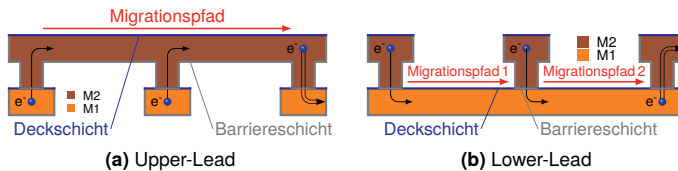


Abb. 2.10: Upper-Lead-Konfigurationen in (a) erfahren eine höhere Stressbelastung als die Lower-Lead-Konfigurationen in (b), da der Hauptmigrationspfad entlang der Deckschicht durch die zusätzliche Barrierschicht unterbrochen ist [Big+18b; PJK10].

Redundante Vias

Redundante Vias werden während oder nach der Verdrahtung neben bereits existierenden Vias eingesetzt. Ziel dabei ist es Redundanzen zu schaffen, sodass der Ausfall eines Vias abgefangen wird. Heutzutage wird die Anzahl an redundanten Vias anhand der vorherrschenden Stromdichte in der Technologie vorgeschrieben bzw. bei genügend Freiraum möglichst viele Vias gesetzt.

Durch das Einsetzen von redundanten Vias teilt sich die Stromdichte auf, sodass sich die Auswirkungen der EM abschwächen. Dabei achtet man darauf, die Stromdichte innerhalb der Vias möglichst ausgeglichen zu verteilen [Lie06]. Redundante Vias sind eine gute Möglichkeit die EM-Robustheit des Layouts mit Hilfe eines angepassten Entwurfs zu erhöhen. Aus diesem Grund ist im Abschnitt 5.5 ein neuartiger Ansatz zu finden, welcher redundante Vias unter Berücksichtigung des Stresses innerhalb der Leiterbahnen einsetzt.

2.4.5 Verbreiterung der Leiterbahnen

Die Reduzierung der EM-Auswirkungen durch eine Erhöhung des Leiterbahnquerschnittes ist zielführend, da dadurch die treibende Kraft der EM, die Stromdichte, direkt abgesenkt wird. Durch die Verringerung der Stromdichte reduziert sich ebenfalls der EM-induzierte Stress, sodass weniger Material bewegt wird und sich damit die Zuverlässigkeit erhöht.

Die weit verbreitete Abschwächung der EM durch breitere Leiterbahnen wirkt jedoch dem Trend zu kleineren Strukturen direkt entgegen. Ein gezieltes Verbreitern der Leiterbahnen bleibt jedoch eine effektive Möglichkeit zum Senken der EM-Auswirkungen. In Abschnitt 5.7 wird deshalb ein Ansatz zur Ausnutzung dieses Effektes vorgestellt, welcher nicht der direkten Verkleinerung der Schaltkreise entgegenwirkt.

2.4.6 Ausnutzung des Bambuseffektes

Der Bambuseffekt beschreibt die Reduzierung von Korngrenzen innerhalb der Leiterbahn und somit die Erhöhung der EM-Robustheit (vgl. Abschnitt 2.1.2). Durch ein spezielles Temperaturprofil (langes Warmhalten mit langsamer Abkühlung [Thi17]) in der Leiterbahnherstellung wird versucht das Kornwachstum zu vergrößern, sodass der mittlere Durchmesser eines Korns größer ist als die Leiterbahnbreite. Damit erzeugt man Korngrenzen die senkrecht zum Stromfluss stehen und somit als Blockaden für die EM agieren. Dadurch steigt die Zuverlässigkeit einer Leiterbahn an, weil die Leiterbahnbreite kleiner ist als der mittlere Durchmesser eines Korns [VS81]. Dieser Effekt eignet sich jedoch nicht für die Ausnutzung im Layoutentwurf, da dies eine Anpassung des Herstellungsprozesses erfordert.

2.4.7 Reduzierung der Temperatur

Die Temperatur hat, wie in Abschnitt 2.1.3 gezeigt, einen maßgeblichen Einfluss auf die Auswirkung der EM. Mit einer Reduzierung der Temperatur verringert sich auch die Materialwanderung. Das bedeutet, möchte man die Zuverlässigkeit

einer bestimmten Leiterbahn reduzieren, sollte man besonders warme Bereiche innerhalb des Layouts vermeiden. Das setzt jedoch voraus, dass man bereits die Temperaturverteilung innerhalb des Layouts kennt.

2.5 Ansätze zur EM-robusten Verdrahtung

Zunächst wird in diesem Abschnitt auf den allgemeinen Ablauf einer Verdrahtung von Signalnetzen eingegangen. Darauf aufbauend, werden bekannte Ansätze zur Berücksichtigung von EM in der Verdrahtung beleuchtet.

2.5.1 Ablauf einer Verdrahtung von Signalnetzen

Aufgabe der Verdrahtung ist, alle Verbindungen einer Netzliste kreuzungsfrei auf einem Chip zu realisieren. Der Verdrahtungsschritt schließt sich direkt an die Platzierung der Standardzellen an, sodass die Netzliste, Pinpositionen und Verdrahtungsressourcen als Eingangsdaten der Verdrahtung vorliegen. Das Ergebnis der Verdrahtung ist der geometrische Verlauf aller Netze. Ein Netzverlauf setzt sich aus mehreren Leiterbahnen und Vias zusammen, wobei eine Leiterbahn eine Verbindung innerhalb einer Verdrahtungsebene und ein Via eine Verbindung zwischen zwei Ebenen ist. Das Hauptziel der Verdrahtung ist, alle Netze zu verdrahten, sodass die Funktion der integrierten Schaltungen (engl. integrated circuit, IC) gewährleistet werden kann. Zusätzlich existieren jedoch noch untergeordnete Ziele, wie die Reduzierung von Verdrahtungslänge und Viaanzahl oder die Einhaltung der zeitlichen Randbedingungen.

Um die hohe Komplexität eines ICs im Verdrahtungsschritt handhaben zu können, unterteilt man diesen traditionell in die Global- und Detailverdrahtung [CC09]. Beim Globalverdrahten wird für jedes Netz eine Verdrahtungsregion festgelegt, ohne einen konkreten Netzverlauf zu bestimmen. Das heißt, die Globalverdrahtung schränkt den Lösungsraum für die Detailverdrahtung ein, indem sie Regionen für die Netze vorgibt. Die Detailverdrahtung findet für jedes Netz innerhalb der globalen Verdrahtungsregion eine geometrische Anordnung der Leiterbahnen und Vias, welche eine elektrische Verbindung herstellen.

Globalverdrahtung

Der erste Schritt in der Globalverdrahtung ist das Aufstellen von sogenannten rechteckigen, globalen Zellen (engl. global cell, GCell). Diese projiziert man anschließend als Knoten in einen Globalverdrahtungsgraphen (Abb. 2.11). Außerdem fügt man Kanten zwischen benachbarten Knoten ein und ermittelt die Verdrahtungsressourcen an den Grenzflächen. Die ermittelten Verdrahtungsressourcen werden als Kapazitäten an den Kanten hinzugefügt. Im letzten Schritt weist man jedem Pin eines Netzes die dazugehörige globale Zelle zu.

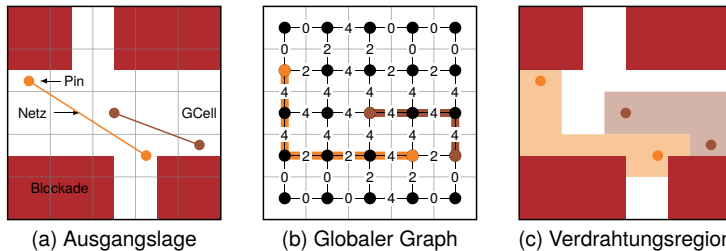


Abb. 2.11: Bei der Globalverdrahtung wird erst in (a) die Chipfläche in globale Zellen unterteilt. Anschließend werden in (b) die Zellen als Knoten in einen Graphen überführt, die Verdrahtungsressourcen an den Kanten ermittelt, die Pins den Knoten zugeordnet und für jedes Netz ein Pfad mit Berücksichtigung der Kapazitäten gesucht. Im Ergebnis in (c) ist die Verdrahtungsregion für jedes Netz festgelegt.

Ein Globalverdrahtungsalgorithmus versucht für jedes Netz einen Weg in dem zuvor aufgestellten Globalverdrahtungsgraphen zu finden. Dabei berücksichtigt der Algorithmus die zur Verfügung stehenden Ressourcen, sodass möglichst wenige Überschreitungen existieren. Das Ergebnis der Globalverdrahtung ist eine festgelegte Verdrahtungsregion für jedes Netz. Durch diese Einschränkung des Lösungsraumes wird es erst möglich, die anschließende Detailverdrahtung in annehmbarer Zeit abzuschließen. Außerdem ist die Globalverdrahtung bezüglich der Verdrahtbarkeit des Layouts optimiert, sodass der Detailverdrahtung ausreichend viele Ressourcen zur Verfügung stehen.

Detailverdrahtung

Die Detailverdrahtung legt den exakten geometrischen Verlauf des Netzes unter Berücksichtigung der Globalverdrahtungsregionen fest. Dabei können die Netze sequentiell oder parallel verdrahtet werden. Das Ergebnis einer sequentiellen Verdrahtung ist stark von der Reihenfolge der Netze abhängig, wobei die Autoren in [Abe72] davon ausgehen, dass es keine optimale Reihenfolge für alle Anwendungsfälle gibt. Der Ansatz zum parallelen Verdrahten aus [Jia+18] basiert auf einer ganzzahligen, linearen Optimierung (engl. integer linear programming, ILP), welche relativ zeitaufwendig ist.

Beim Verdrahten unterscheidet man zwischen einem rasterbasierten und einem rasterlosen Ansatz. Rasterbasierte Ansätze sind schneller, da sie durch das Raster eingeschränkt sind [CC09]. Rasterlose Ansätze können hingegen beliebige Leiterbahnbreiten erzeugen. Der Rasteransatz ist bei der Verdrahtung von digitalen Netzen häufiger zu finden, da hier die Geschwindigkeit im Vordergrund steht und die Leiterbahnbreite oftmals konstant ist.

Im rasterbasierten Ansatz unterteilt man den Verdrahtungsbereich in sogenannte Spuren (engl. tracks), deren Abstände oftmals den minimalen Leiterbahnabständen gleichen (Abb. 2.12). Ein Algorithmus sucht anschließend nach einer gültigen Lösung für die Leiterbahnen und Vias. Die heutigen Technologien geben dabei eine bevorzugte Richtung für jede Verdrahtungsebenen vor. An den

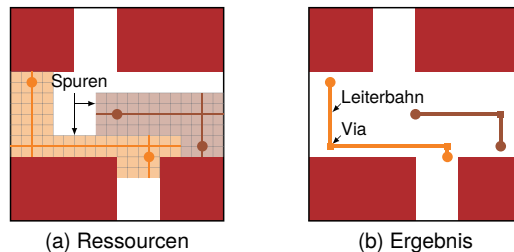


Abb. 2.12: Bei der Detailverdrahtung werden in (a) die Spuren in die Verdrahtungsregion gelegt. Anschließend wird in (b) mit Hilfe eines Algorithmus eine gültige Lösung für die Leiterbahnen und Vias gesucht.

projizierten Kreuzungen von zwei Spuren verschiedener Ebenen können diese durch Vias gewechselt werden. Gefundene Lösungen berücksichtigen durch das Raster bereits einfache Entwurfsregeln. Es kann jedoch notwendig sein, dass ein abschließender Verfeinerungsschritt eventuelle Verletzungen komplexer Regeln korrigiert.

Die Spuren und Positionen der möglichen Ebenenwechsel können erneut als Knoten und Kanten in einem dreidimensionalen Detailverdrahtungsgraph abgebildet werden. In diesem Graphen kann anschließend mit einem Wegsuchealgorithmus ein gültiger Netzverlauf ermittelt werden. Häufig findet man dafür den Dijkstra- oder A*-Algorithmus aus [Dij59] bzw. [HNR68].

Die Basis für moderne Verdrahter ist die Pfadsuche mit dem A*-Algorithmus [KWX18]. Dieser nutzt als Kostenfunktion die Summe aus den bisherigen und den geschätzten Restkosten. Unterschätzt die Schätzung stets die tatsächlichen Restkosten, liefert dieser Algorithmus das optimale Ergebnis [CC09]. Durch die Anpassung der Schätzfunktion kann man außerdem die Suchgeschwindigkeit beeinflussen [Pea84]. Bei einer Überschätzung der Restkosten führt die Suche schneller zum Ergebnis, wobei der gefundene Pfad nicht mehr optimal sein muss. Möchte man einen Pfad zwischen mehreren Pins finden, so kann man einen initial gefundenen Weg zwischen zwei Pins als mögliche Start- bzw. Endpunkte für die Pfadsuche zu den restlichen Pins verwenden.

Die Detailverdrahtung kann außerdem Verdrahtungsprobleme lösen, indem es Netze wieder auftrennt und neu verdrahtet (engl. rip-up and reroute) [KWX18]. Bereits verdrahtete Netze werden entfernt, wenn sie das aktuelle Netz blockieren. Nach der Verdrahtung dieses Netzes werden die aufgetrennten Netze neu verdrahtet.

Es sei an dieser Stelle darauf hingewiesen, dass in manchen Verdrahtern zwischen der Globalen- und Detailverdrahtung ein Schritt zur Spur-Zuweisung (engl. track assignment) existiert. Dieser optionale Schritt soll die Lücke zwischen der Global- und Detailverdrahtung schließen, sodass die beiden Ergebnissen besser korrelieren. Bestandteil dieses Schrittes ist meist eine globale Optimierung, welche die Netze auf die Spuren zuweist. Existiert dieser optionale Schritt, verbindet der Detailverdrahter lediglich die Pins und Teilspuren miteinander.

2.5.2 Berücksichtigung von EM bei der Verdrahtung

Aktuell existieren wenige Ansätze zur Berücksichtigung von EM in der Verdrahtung von Signalnetzen. Die bereits bekannten Ansätze sind hier aufgeführt.

Verbreiterung der Leiterbahnen

Eine der ersten Maßnahmen zur Kompensation von EM im Layoutentwurf ist in [PPR16] gezeigt. In dieser Arbeit verbreiterten die Autoren kritische Leiterbahnen eines Netzes, indem sie Randbedingungen für diese festlegen [PPR16]. Dadurch reduzieren sich die Stromdichten und somit die EM-Auswirkungen (vgl. Abschnitt 2.4.5). Negativ dabei ist, dass diese Maßnahme der aktuellen Miniaturisierung entgegenwirkt.

Ein ähnlicher Ansatz für analoge Schaltungen findet sich in [ZY13]. Diese Arbeit passt die Leiterbahnbreite und -lage bezüglich des Stromes an. Weiterhin existieren im Analogentwurf die Arbeiten [LJ03], [YC11], [JCC12] oder [Che+12], welche ebenfalls die Leiterbahnbreite oder die Verbindungen bezüglich des zu erwarteten Stromes verändern. Diese Ansätze sind jedoch für die Verdrahtung von Signalnetzen ungeeignet, da sie die Leiterbahnlänge vernachlässigen und der Miniaturisierung entgegenwirken.

Optimierung der Pinplatzierung

Lediglich indirekt beschäftigen sich die Arbeiten [Pos+14; Pos+15] mit der Kompensation von EM in der Verdrahtung. Die Autoren zeigen, dass die Lage des Anschlusspunktes auf dem Pin der Standardzelle einen wesentlichen Einfluss auf die EM-Auswirkung haben kann. Der Grund dafür ist, dass dadurch die Stromführung innerhalb des Pins verändert wird. Ein günstiger Anschlusspunkt ist eine Position zu der möglichst viele Transistorströme einen direkten Zugang haben, sodass eine Addition der Ströme vermieden wird.

Der Vorteil dieser Methode ist unbestreitbar, jedoch sind die Geometrien der Pins einer Standardzelle relativ kurz im Vergleich zur Verdrahtung der Netze. Aus diesem Grund verbessert sich zwar die EM-Robustheit der Pins, jedoch ist ein Vorteil für die Verdrahtung des Netzes nicht erkennbar.

Zielstellung der Arbeit

Der Trend zu immer kleineren Strukturgrößen in den integrierten Schaltungen (engl. integrated circuits, ICs) hat dafür gesorgt, dass die lange Zeit vernachlässigbaren Signalleitungen ebenfalls durch Elektromigration (EM) ausfallen und mittlerweile eine vergleichbare Lebensdauer aufweisen wie die der Versorgungsnetze [GM15]. Studien zur zukünftigen IC-Entwicklung ([IRDS], [ITRS] u.a.) sagen einvernehmlich voraus, dass die Zuverlässigkeit zukünftiger ICs stark durch das Auftreten von EM gefährdet wird. Aus diesem Grund muss ein Paradigmenwechsel im Layoutentwurf vollzogen werden, welcher das traditionell nach der Layouterstellung stattfindende Verifizieren der EM-Robustheit durch einen proaktiven EM-robusten Layoutentwurf ersetzt (Abb. 3.1). Ziel dieser Arbeit ist es, dafür notwendige Anpassungen und Neuentwicklungen in der Verdrahtung digitaler Schaltungen vorzustellen. Das heißt, eine EM-robuste Verdrahtung soll die steigenden Stromdichten durch die Anhebung der Grenzwerte ermöglichen, um die Zuverlässigkeit der ICs auch in Zukunft zu gewährleisten.

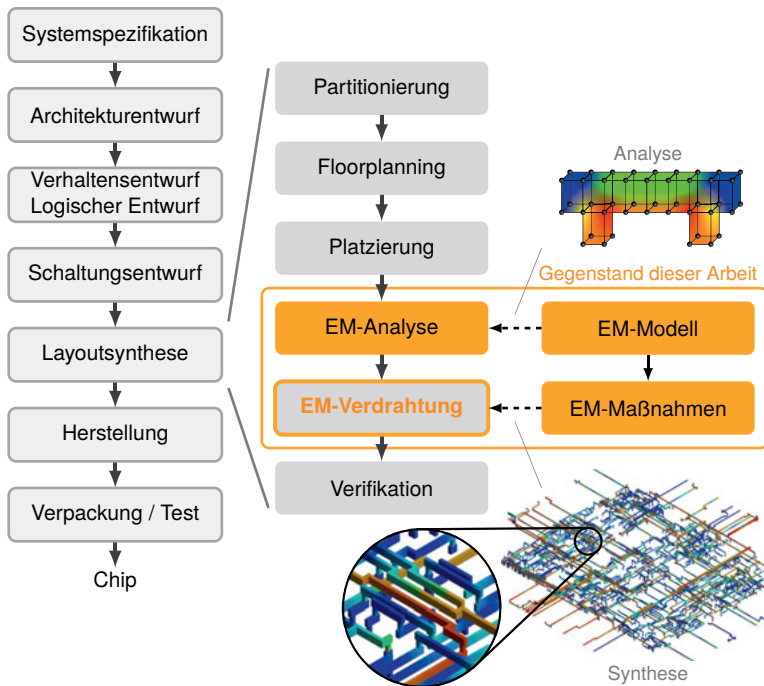


Abb. 3.1: Anpassungen des digitalen Layoutentwurfs zur proaktiven Berücksichtigung von EM in der Verdrahtung. Das EM-Modell dient der Umsetzung einer schnellen EM-Analyse für den Layoutentwurf und der Entwicklung von geeigneten EM-Maßnahmen. Diese Gegenmaßnahmen werden nach einer Analyse aller Netze vom Verdrahter gezielt eingesetzt, um die EM-Robustheit kritischer Netze zu erhöhen [Kah+11; Lie16].

Die zunehmenden EM-Verletzungen sorgen dafür, dass das etablierte Verifizieren sowie das anschließende Reparieren nach der Layouterstellung zu aufwendig und aufgrund der begrenzten Ressourcen nicht mehr zielführend ist. Eine EM-berücksichtigende Verdrahtung kann diesen Schritt ersetzen, indem sie frühzeitig die Geometrie der Leiterbahnen und Vias robust auslegt und

somit die EM-Auswirkungen abschwächt. Zur Erhöhung der EM-Robustheit im Layout durch die Verdrahtung werden jedoch die folgenden Teilschritte notwendig:

1. Eine detaillierte EM-Modellierung zur Entwicklung von EM-Maßnahmen und darauf aufbauend eine schnelle EM-Analyse für die Integration in den Layoutentwurf,
2. geeignete Gegenmaßnahmen zur Vermeidung von EM in der Verdrahtung von Signalleitungen und
3. eine gezielte Berücksichtigung dieser EM-Maßnahmen in einer EM-robusten Verdrahtung.

Diese Schritte werden der Reihenfolge entsprechend in den Kapiteln 4, 5 und 6 dieser Arbeit behandelt. Damit leistet diese Arbeit einen wichtigen Beitrag zur Unterdrückung der EM in den Signalleitungen digitaler ICs, sodass deren Zuverlässigkeit auch in Zukunft gewährleistet werden kann.

Der erste Schritt in Kapitel 4 ist der Aufbau eines EM-Modells, welches sich für die digitalen Verdrahtungsstrukturen eignet. Dabei benötigt man zum einen ein detailliertes Modell für die Entwicklung von EM-Maßnahmen und zum anderen eine schnelle Analyse für die Integration in den Layoutentwurf. Bei der detaillierten Modellierung ist es wichtig, dass diese beliebig erweiterbar und universell einsetzbar ist, sodass man möglichst viele Effekte bzw. Einflussfaktoren in die Entwicklung neuer EM-Maßnahmen einbeziehen kann. Ebenfalls von Bedeutung ist hier auch die effektive Abbildung der typischen Verdrahtungsstrukturen mit deren technologischen Besonderheiten, wie beispielsweise der Diffusionsbarrieren an den Enden der Leiterbahn. Der Fokus der zu integrierenden EM-Analyse liegt hingegen auf der schnellen Abschätzung der EM-Gefährdung. Wichtig dabei ist die Laufzeit der Analyse, da ein digitaler IC eine Vielzahl von Netzen besitzt. Diese Analyse darf somit lediglich die wesentlichen Faktoren des detaillierten Modells beinhalten, sodass die EM-Gefahr möglichst effektiv abgeschätzt werden kann. Der Aufbau von zwei Analyseverfahren ist an dieser Stelle notwendig, da die Kriterien sich widersprechen und schwer vereinbar sind.

Der zweite Schritt ist das Untersuchen bzw. Neuentwickeln von EM-Maßnahmen, da sich die bekannten Gegenmaßnahmen teilweise nicht in der Verdrahtung von Signalnetzen einsetzen lassen oder weitere Untersuchungen benötigen. Aus diesem Grund werden in Kapitel 5 potentielle Gegenmaßnahmen betrachtet und deren Eignung sowie Effektivität für die Verdrahtung untersucht. Darüber hinaus beinhaltet das Kapitel neuartige EM-Maßnahmen für eine EM-robuste Verdrahtung. Die Gegenmaßnahmen werden mit Hilfe des vorher entwickelten EM-Modells charakterisiert und für eine spätere Berücksichtigung in der Verdrahtung aufbereitet.

Der letzte Schritt ist die Berücksichtigung der EM-Maßnahmen in einer EM-robusten Verdrahtung. Die bisherigen Ansätze reichen nicht aus, um die EM-Robustheit im Layout grundlegend zu erhöhen, sodass in Kapitel 6 ein neuartiger Ablauf des Verdrahtungsschrittes vorgeschlagen wird. Dieser Verdrahtungsablauf setzt die zuvor vorgestellten Gegenmaßnahmen gezielt ein, sodass die EM-Robustheit der Netze proaktiv verbessert wird. Durch den gezielten Einsatz der EM-Maßnahmen werden die zusätzlich benötigten Verdrahtungsressourcen für die Erhöhung der EM-Robustheit des Layouts minimiert.

Die drei vorgestellten Schritte ermöglichen erst in ihrer Kombination den Wechsel von einem traditionellen EM-Verifikationsschritt hin zu einem proaktiven EM-robusten Layoutentwurf. Das prinzipielle Vorgehen vom Aufbau eines Modells, über die Entwicklung von Gegenmaßnahmen, bis hin zur Berücksichtigung im Layoutentwurf ist jedoch allgemeingültig und kann damit auch für die Kompensation anderer Mechanismen, wie beispielsweise der Thermomigration (TM), in Zukunft genutzt werden.

KAPITEL 4

EM-Modellierung von digitalen Verdrahtungsstrukturen

Durch die Vernachlässigung der Kompensation von Elektromigration (EM) in den Signalnetzen fehlt es an geeigneten Gegenmaßnahmen für die Verdrahtung digitaler, integrierter Schaltungen (engl. integrated circuits, IC). Die in Abschnitt 2.4 vorgestellten Maßnahmen eignen sich nur teilweise bzw. müssen auf deren Eignung tiefgründiger untersucht werden. Aus diesem Grund bedarf es einer Möglichkeit zur Modellierung der EM, welche speziell auf die Anforderungen von digitalen Verdrahtungsstrukturen ausgelegt ist.

4.1 Anforderung an die Modellierung

Die Modellierung der EM in digitalen Verdrahtungsstrukturen kann man aus der Sicht der Gegenmaßnahmen oder der Verdrahtung betrachten, wobei die Anforderungen teilweise gegenläufig sind. Zum einen erfordert die Untersuchung von Gegenmaßnahmen eine möglichst genaue Modellierung der Migrationsvorgänge. Zum anderen benötigt die zeitintensive Verdrahtung eine möglichst

Teile dieses Kapitels sind in [BL16a], [TBL17], [Big+18a], [BL18] und [TBL19] veröffentlicht.

schnelle Abschätzung und damit eine Vernachlässigung einiger Aspekte. Deshalb wird in dieser Arbeit die Finite-Elemente-Methode für die Entwicklung der Gegenmaßnahmen und eine daraus abgeleitete EM-Analyse im Layout (Layoutanalyse) für die Integration in den Layoutentwurf aufgebaut.

Die Anforderungen zur Entwicklung von EM-Maßnahmen sind eine zeitliche Abbildung des Migrationsvorganges, eine flexible Erweiterungsmöglichkeit des Modells, eine gute Skalierbarkeit und eine Verknüpfung von physikalischen Größen. Die FEM erfüllt die meisten dieser Anforderungen und ermöglicht vor allem ein einfaches Verknüpfen der physikalischen Domänen. Dies ist wichtig, da die Berechnung der EM-Auswirkungen elektrische und mechanische Größen, wie die Stromdichte (j) und die hydrostatische mechanische Spannung (engl. hydrostatic stress, kurz: Stress, σ), benötigt (vgl. Abschnitt 2.1.5). Durch die flexible Erweiterbarkeit der FEM kann man außerdem weitere Effekte, wie die Thermomigration (TM), zu einem späteren Zeitpunkt mit einbeziehen. Die meisten FEM-Werkzeuge sind außerdem leicht verfügbar, umfangreich dokumentiert und teilweise automatisierbar, sodass sich der Einsatz an dieser Stelle anbietet.

Eine Layoutanalyse, welche in den bestehenden Layoutentwurf integriert werden kann, benötigt vor allem eine geringe Laufzeit, eine ausreichende Abbildung der EM-Belastung und eine gute Integrierbarkeit. Ziel dieser Layoutanalyse ist die Ablösung der Stromdichte als EM-Indikator durch den Stress und somit die Berücksichtigung der Leiterbahnlängen.

4.2 Aufbau einer FEM-Untersuchung für digitale Verdrahtungsstrukturen

4.2.1 Integrierung in den Entwurfsablauf

Das herkömmliche Verfahren beim Analysieren von Verdrahtungsstrukturen mit der FEM kann in folgende fünf Schritte gegliedert werden (Abb. 4.1a): (1) Export der Leiterbahngeometrie vom Layoutentwurf zum FEM-Werkzeug, (2) Diskre-

tisierung der importierten Geometrie in der FEM-Umgebung, (3) Zuweisung der Layout-Randbedingungen im FEM-Werkzeug, (4) Lösen der physikalischen Gleichung in der FEM-Umgebung und (5) Import der FEM-Ergebnisse in den Layoutentwurf.

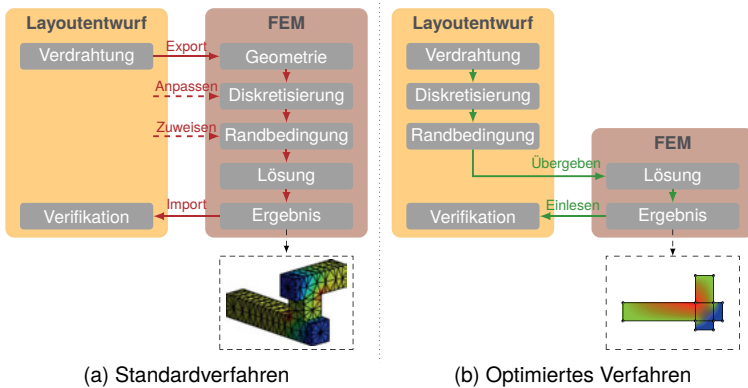


Abb. 4.1: (a) Eine FEM-Betrachtung von Layoutstrukturen im Standardverfahren ist weitestgehend unbeeinflusst vom Layoutentwurf. Dadurch entstehen vor allem Konvertierungs- und Anpassungsprobleme, welche mit dem optimierten Verfahren in (b) reduziert werden. In (b) sind einzelne Schritte der FEM innerhalb des Layoutentwurfs ausgeführt, sodass der Integrationsgrad zwischen Layoutentwurf und FEM-Analyse steigt [Big+18a].

Besonders im Austausch der Daten zwischen dem Layoutentwurf und der FEM-Umgebung gibt es einige Hürden zu überwinden. Beispielsweise sind die klassischen Layoutformate, wie GDSII oder LEF/DEF, nicht von den herkömmlichen FEM-Werkzeugen unterstützt, sodass hier eine Umwandlung erfolgen muss. Außerdem besitzen die FEM-Umgebungen sehr allgemeine Diskretisierungsalgorithmen für nahezu jede beliebige Form. Für die rechtwinkligen Verbindungsstrukturen liefern diese Algorithmen jedoch oftmals unpassende Ergebnisse. Beim Zuweisen der Randbedingungen muss ebenfalls eine Umwandlung erfolgen, da die Informationen aus dem Layoutentwurf der Geometrie in der FEM-Umgebung zugeordnet werden müssen. Ein ähnliches Problem

existiert beim Importieren der FEM-Ergebnisse in den Layoutentwurf, da die geometrischen Ergebnisse den Layoutstrukturen zuzuordnen sind.

Um die Hürden einer FEM-Untersuchung von Verbindungsstrukturen abzubauen und damit das Entwickeln von geeigneten EM-Maßnahmen zu unterstützen, ist in dieser Arbeit der folgende Ablauf entwickelt worden (Abb. 4.1b): (1) Diskretisierung der Leiterbahngeometrie im Layoutentwurf, (2) Zuweisung der Randbedingungen im Layoutentwurf, (3) Lösen der physikalischen Gleichung im FEM-Werkzeug und (4) Einlesen der FEM-Ergebnisse in den Layoutentwurf. Im Gegensatz zum herkömmlichen Verfahren wird hier ein Großteil der Schritte im Layoutentwurf bzw. im Verdrahtungswerkzeug ausgeführt. Durch die Diskretisierung der Verbindungsstrukturen im Layoutentwurf mit einem dafür entwickelten Algorithmus (vorgestellt in Abschnitt 4.2.2) vereinfacht sich die Anordnung der Elemente und der Austausch der Geometrie. Außerdem erfolgt die Zuweisung der Randbedingungen ebenfalls im Layoutentwurf, da die Lage und Bedeutung der Elemente bereits bekannt ist. Das Lösen der Gleichungen findet jedoch weiterhin im FEM-Werkzeug statt, da die physikalischen Zusammenhänge dort bereits modelliert sind. Ein wesentlicher Vorteil des hier vorgestellten Verfahrens ist, dass die berechneten FEM-Ergebnisse der geometrischen Darstellung im Layoutentwurf entsprechen. Damit vereinfacht sich das Importieren der FEM-Ergebnisse zu einer direkten Zuweisung bzw. einem einfachen Einlesen.

4.2.2 Diskretisierung der Leiterbahnen

Die Diskretisierung beeinflusst wesentlich das Verhältnis zwischen Genauigkeit und Laufzeit der Analyse. Dieser Schritt zerlegt das Ausgangsproblem in viele Teilprobleme, sogenannte Finite-Elemente (FE). Mit der Vergrößerung der Elementanzahl kann sich die Laufzeit und Ergebnisqualität verbessern.

Standardalgorithmen in FEM-Werkzeugen können selbst bei einfachen Verdrahtungsstrukturen schnell zu einer hohen Anzahl an Elementen führen und damit die Simulation verlangsamen (Abb. 4.2). Gründe dafür können unterschiedliche Via-Überstände oder Richtungswechsel in der Struktur sein.

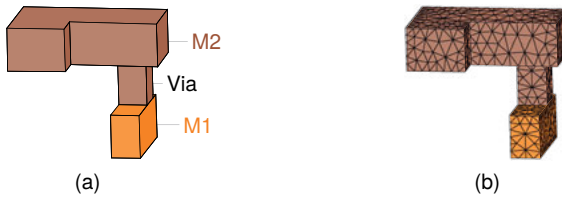


Abb. 4.2: (a) Einfache Verdrahtungsstruktur über zwei Metalllagen (M1 und M2), welche durch ein Via verbunden sind. (b) Ergebnis der erzeugten Finiten-Elemente durch einen Diskretisierungsalgorithmus von ANSYS [ANS17; Big+18a].

Die Diskretisierung der Leiterbahnen kann auch mit Hilfe von Randbedingungen zur Teilung der Geometrie gesteuert werden. Dies ist jedoch sehr zeitaufwendig, da man für jede Leiterbahn mehrere Randbedingungen festlegen muss. Außerdem erzeugen die Standardalgorithmen oftmals Tetraeder-Elemente, welche das Importieren der Ergebnisse in den Layoutentwurf erschweren. Der hier entwickelte Diskretisierungsalgorithmus richtet aus diesem Grund Hexaeder-Elemente an den Verdrahtungsstrukturen aus, sodass diese der geometrischen Abbildung des Verdrahters entsprechen.

Gegenwärtig erfolgt der Layoutentwurf weitestgehend zweidimensional, sodass der hier vorgestellte Diskretisierungsalgorithmus ebenfalls zweidimensional beginnt und erst im letzten Schritt die Höhe der Elemente, mit Hilfe der Daten aus dem Prozess-Design-Kit (engl. process design kit, PDK), festlegt. Abbildung 4.3a enthält eine Verdrahtungsstruktur, an welcher der entwickelte Algorithmus demonstriert wird.

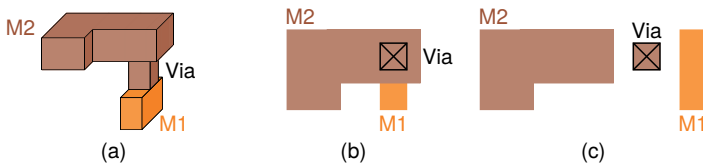


Abb. 4.3: (a) Verdrahtungsstruktur mit zweidimensionaler Layoutdarstellung in (b). Die zu diskretisierenden Strukturen pro Ebene sind in (c) aufgeführt [Big+18a].

Die Erzeugung der Elemente für die einzelnen Strukturen auf den Verdrahtungsebenen in Abb. 4.3c erfolgt separat. Als Beispiel enthält Abb. 4.4 die schrittweise Zerlegung der Struktur auf der M2-Ebene. Der Algorithmus lässt sich in drei Schritte unterteilen. Im ersten Schritt werden die Vias von den benachbarten Verdrahtungsebenen abgezogen und als ein Element gespeichert. Der zweite Schritt erzeugt maximale Rechtecke innerhalb der resultierenden Struktur nach Abzug der Vias. Ein maximales Rechteck breitet sich in x - und y -Richtung bis an eine Grenze der Struktur aus. Der letzte Schritt zerlegt die maximalen Rechtecke in überlappende und überlappungsfreie Rechtecke. Erstere werden für einen erneuten Durchlauf gesammelt und letztere werden als Elemente gespeichert. Für die Schritte (1) bis (3) kann man in der Implementierung auf geometrische Standardoperationen, wie die Vereinigung bzw. das Schneiden von Mengen aus beispielsweise der Boost::Polygon-Bibliotheken [Boo17], zurückgreifen.

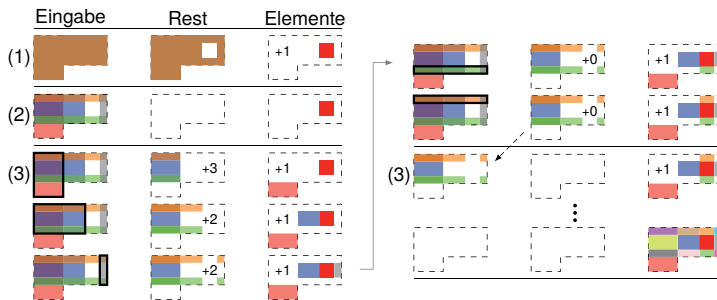


Abb. 4.4: Der entwickelte Diskretisierungsalgorithmus lässt sich in die drei folgenden Schritte untergliedern: (1) Entfernen der Vias von den benachbarten Verdrahtungsebenen, (2) Aufstellen der maximalen Rechtecke und (3) Zerlegung der maximalen Rechtecke in überlappungsfreie Elemente. Die Zahlen +1, +2 und +3 geben die hinzugefügten Rechtecke und Elemente an [Big+18a].

Abb. 4.5 enthält den Pseudocode für den dritten Schritt des Algorithmus. In diesem wird bei jeder Iteration ein Rechteck ausgewählt (schwarz eingrahmt in Abb. 4.4) und auf Überlappungen mit den anderen geprüft. Die überlappenden Rechtecke werden als Rest für den nächsten Durchlauf und der überlappungs-

freie Teil wird als unabhängiges Element für die Diskretisierung gespeichert. Ist der Restspeicher am Ende eines Durchlaufes gefüllt, wird die Funktion erneut mit den verbleibenden Rechtecken als Eingabe aufgerufen. Dieser Vorgang wird solange wiederholt, bis alle Elemente bekannt sind.

```

1: function GENERIEREELEMENTE(Eingabe)                                ▷Maximale Rechtecke mit Überlappungen
2:   Rest  $\leftarrow \emptyset$                                              ▷Menge der restlichen Rechtecke
3:   Elemente  $\leftarrow \emptyset$                                          ▷Menge der Elemente
4:   for Rechteck  $\in$  Eingabe do                                       ▷Iteration über Eingabe
5:     Verbleibende  $\leftarrow$  Eingabe  $\setminus$  Rechteck                ▷Verbleibende Rechtecke
6:     Überlappende  $\leftarrow$  Rechteck  $\cap$  Verbleibende             ▷Überlappende Rechtecke
7:     Überlappungsfrei  $\leftarrow$  Rechteck  $\setminus$  Überlappende       ▷Überlappungsfreies Rechteck
8:     Rest  $\leftarrow$  Rest  $\cup$  Überlappende                          ▷Vereinigte Restmenge
9:     Element  $\leftarrow$  Element  $\cup$  Überlappungsfrei                ▷Vereinigte Elemente
10:  end for
11:  if Rest  $\neq \emptyset$  then
12:    Elemente  $\leftarrow$  Elemente  $\cup$  GENERIEREELEMENTE(Rest)    ▷Rekursiver Aufruf mit Rest
13:  end if
14:  return Elemente
15: end function

```

Abb. 4.5: Pseudocode für die Erzeugung der Elemente im Schritt (3) des Algorithmus von Abb. 4.4.

Sind alle zweidimensionalen Elemente für jede Ebene bekannt, kann man diese mit Hilfe der Höhe extrahieren. Besonders wichtig ist dabei die Berücksichtigung des Herstellungsprozesses (vgl. Abschnitt 2.1.7). Der normalerweise zum Einsatz kommende Dual-Damaszene-Prozess (DDP) baut die Vias und Leiterbahnen innerhalb einer Ebene gemeinsam auf. Das heißt, Diffusionsbarrieren existieren nur oberhalb der Leiterbahnen und unterhalb der Vias, sodass das Material dazwischen kontinuierlich ist (siehe Farbgebung in Abb. 4.3). Um das Modell möglichst nahe an der Realität aufzubauen, erstellt der hier entwickelte Algorithmus ebenfalls kontinuierliche Elemente für diese Bereiche. Damit teilen sich die Elemente der direkt verbundenen Leiterbahnen und Vias ihre Knoten. Für indirekt über die Diffusionsbarriere verbundene Elemente existieren zwei Knoten am gleichen Ort (Abb. 4.6).

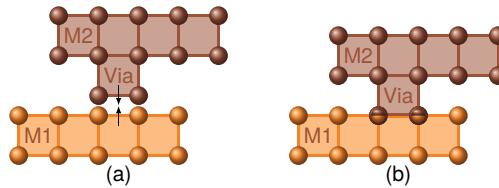


Abb. 4.6: (a) Die einzelnen Elemente und Knoten werden an den Diffusionsbarrieren unterhalb der Vias mit der darunterliegenden Verdrahtungsebene zusammengeführt. In (b) entstehen somit die doppelte Knoten an den Verknüpfungspunkten. Innerhalb der orangen oder braunen Ebene existieren dagegen keine doppelten Knoten, sodass ein kontinuierliches Material repräsentiert wird.

Abbildung 4.7 enthält das Diskretisierungsergebnis für die Verdrahtungsstruktur aus Abb. 4.2a. Im Vergleich der erzeugten Elemente zwischen Abb. 4.7b und Abb. 4.2b erkennt man, dass der hier eingesetzte Algorithmus die Elemente deutlicher am Verlauf der Leiterbahnen orientiert als der Algorithmus des FEM-Werkzeuges. Außerdem reduziert der entwickelte Algorithmus die Anzahl an Elementen, sodass sich die Simulationszeit verkürzt. Der Einfluss auf die Ergebnisqualität wird nach der Festlegung der Randbedingungen in Abschnitt 4.2.6 untersucht. Die Diskretisierungslösung in Abb. 4.7b kann durch ein zusätzliches Teilen der größeren Elemente weiter verfeinert werden, um die Genauigkeit der Lösungen zu erhöhen. Dabei kann es aber erforderlich sein, die direkt benachbarten Elemente ebenfalls zu teilen.

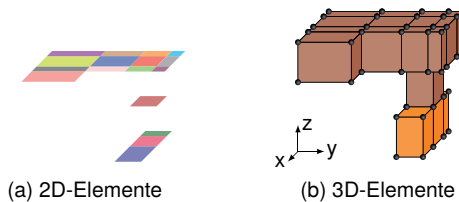


Abb. 4.7: Die im Layoutwerkzeug erzeugten zweidimensionalen Elemente in (a) werden unter Berücksichtigung der Höhe aus den Technologiedaten in dreidimensionale Elemente in (b) überführt [Big+18a].

4.2.3 Einbringung der Randbedingungen

Ist die Diskretisierung abgeschlossen, folgt als nächstes die Festlegung der elektrischen und mechanischen Randbedingungen zur Simulation des EM-induzierten Stresses. Diese sind in Abb. 4.8 für die Verdrahtungsstruktur aus Abb. 4.7 dargestellt.

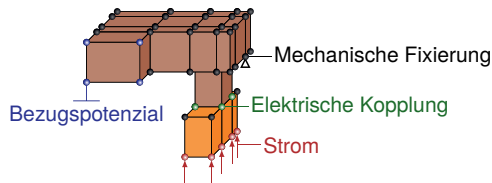


Abb. 4.8: Elektrische und mechanische Randbedingungen für die FEM-Analyse der Verdrahtungsstruktur.

Der Leiterbahnstrom wird mit elektrischen Randbedingungen an den Knoten definiert, welche im direkten Kontakt zum Pin der Standardzelle stehen. Im Bezug dazu muss am Ende der Leiterbahn das Potenzial auf null gesetzt werden, sodass der Strom durch die Leiterbahn fließt.

Wie in Abb. 4.6 gezeigt, existieren aufgrund der Diffusionsbarrieren unterhalb der Vias doppelte Knoten. Diese sind hier elektrisch gekoppelt, sodass der Stromfluss gewährleistet und die Materialwanderung gestoppt wird. Zusätzliche Elemente für die Diffusionsbarriere werden nicht benötigt, da diese Randbedingung bereits deren Einfluss modelliert.

Eine wichtige mechanische Randbedingung ist die Fixierung der Knoten in den Richtungen des Bezugssystems. Diese stellt die Einhausung der Leiterbahn in das Dielektrikum dar.

Außerdem sollte man dem System eine Temperatur im Bereich der Anwendung zuweisen, da einige Parameter davon abhängig sind. Es ist auch hilfreich, eine initiale Atomkonzentration innerhalb der Elemente als Ausgangslage für die Migration zu definieren und eventuell zusätzliche Randbedingung für den in Abschnitt 2.1.7 erwähnten Reststress (engl. residual stress, σ_R) aus der Herstellung einzubringen.

4.2.4 Implementierung des Ablaufes

Der in dieser Arbeit entwickelte Ablauf aus Abb. 4.1b besteht in der Implementierung aus einem selbst entwickelten Verdrahtungswerkzeug, welches in Kapitel 6 vorgestellt wird, und einem FEM-Werkzeug von ANSYS [ANS17], welches dem Lösen der physikalischen Gleichungen dient. ANSYS bietet die Vorteile einer guten Verfügbarkeit und einer großen Anzahl von Schnittstellen, die die Übergabe der Elemente und Randbedingungen vereinfachen. Außerdem unterstützt es die physikalischen Gleichungen für die Berechnung des EM-induzierten Stresses aus Abschnitt 2.1.

Übergabe der Elemente

Die Zerlegung der Leiterbahnen in Elemente erfolgt mit einer C/C++-Implementierung des in Abschnitt 4.2.2 beschriebenen Algorithmus. Anschließend werden die generierten Knoten direkt in eine Liste geschrieben und dem FEM-Werkzeug mittels `nblock`-Befehl¹ übergeben. Gleichzeitig können die aus den Knoten abgeleiteten Elemente direkt erfasst und mit Hilfe des `eblock`-Befehls² definiert werden. Des Weiteren werden die verwendeten Material- und Elementtypen referenziert.

Für die Analyse einer Materialwanderung aufgrund von Elektro- und Stressmigration (SM) benötigt man an den Knoten die Freiheitsgrade für die Konzentration, die elektrische Spannung und die Möglichkeit einer mechanischen Verschiebung. Für diese relativ hohe Anzahl an Freiheitsgraden im dreidimensionalen Raum stehen als vordefinierte Elemente in der ANSYS-Bibliothek lediglich das Hexaeder-Element `SOLID226` bzw. das Tetraeder-Element `SOLID227` zur Verfügung. Da die hier zum Einsatz kommende Diskretisierung lediglich Hexaeder-Elemente erzeugt, fällt die Auswahl auf das `SOLID226`-Element mit insgesamt 20 Knoten (8 Eckknoten und 12 Mittenknoten). Das bedeutet, dass die Berechnung zwischen den Knoten als Ansatzfunktion ein Polynom zweiter Ordnung benutzt.

¹Befehl zur Eingabe von Knoten in die ANSYS-Datenbank [ANS17]

²Befehl zur Definition eines Elements in der ANSYS-Datenbank [ANS17]

Aufstellen der Randbedingungen

Die Übergabe des Stromes und des Bezugspotentials erfolgt über die Selektierung der einzelnen Knoten aus den bekannten Layoutkoordinaten (NSEL-Befehl) und der Einprägung einer externen Kraft (F-Befehl) bzw. über die Festlegung des Potenzials (D-Befehl). Die mechanische Fixierung der Knoten in den Richtungen des Bezugssystems erfolgt mit der Randbedingung, dass die Knoten sich nicht bewegen dürfen. Für die elektrische Kopplung der doppelten Knoten an den Diffusionsbarrieren bietet die FEM-Umgebung bereits den CPINTF-Befehl, welcher die physikalischen Domänen übereinstimmender Knoten unter Angabe einer Abstandstoleranz koppeln kann.

4.2.5 Verifikation des Modells

Stressentwicklung

Das hier entwickelte Modell wird am Stand der Technik aus Abschnitt 2.3.4 verifiziert. In diesem Abschnitt ist das Modell von Korhonen beschrieben, welches eine analytische Lösung (Gleichung (2.25)) für den EM-induzierten Stress innerhalb einer geraden Leiterbahn beschreibt [Kor+93]. Es ist somit möglich, den Stress innerhalb der Leiterbahn in Abhängigkeit der Zeit mit den in Tabelle 4.1 enthalten Materialparametern analytisch zu berechnen.

Tab. 4.1: Übersicht über die verwendeten Materialparameter zur Verifikation des in dieser Arbeit aufgebauten Modells für eine gerade Aluminiumleiterbahn mit der Lösung von Korhonen [Kor+93].

Parameter	Wert	Einheit	Parameter	Wert	Einheit
j	1×10^6	A cm^{-2}	ρ	$4,92 \times 10^{-8}$	$\Omega \text{ m}$
l	50	μm	Z^*	3,5	-
D	3×10^{-16}	m^2/s	e	$1,60 \times 10^{-19}$	C
B	5×10^9	Pa	Ω	$1,12 \times 10^{-29}$	m^3
k	$1,38 \times 10^{-23}$	J K^{-1}			

Der bekannte Stressverlauf nach Korhonen dient als Vergleichsgrundlage für den in dieser Arbeit ermittelten Verlauf. Beim Vergleich beider Kurven in Abb. 4.9 kann man erkennen, dass sowohl das zeitliche Verhalten als auch die absoluten Werte sehr gut übereinstimmen. Prozentual beträgt der mittlere und maximale Stressunterschied beider Kurven 1,6 % bzw. 3,8 %. Der Grund für leichte Abweichungen liegt in der endlichen Anzahl an geometrischen und zeitlichen Diskretisierungen des FEM-Modells. Aufgrund der guten Übereinstimmung zwischen der analytischen Lösung und der FEM-Lösung für gerade Leiterbahnen, kann man davon ausgehen, dass das hier aufgebaute Modell die physikalischen Zusammenhänge ausreichend gut abbildet und demzufolge auch für andere Geometrien vertrauenswürdige Ergebnisse liefert.

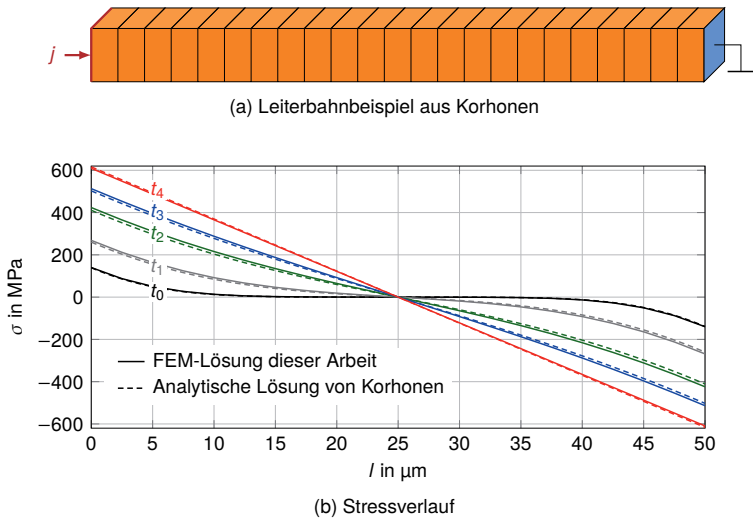


Abb. 4.9: Die gerade Leiterbahn aus (a) dient der Verifizierung der berechneten Stresswerte des hier entwickelten Modells. In (b) ist der berechnete Stressverlauf für fünf verschiedene Zeitpunkte (t_0 bis t_4) mit dem analytisch ermittelten Verlauf von Korhonen aus [Kor+93] verglichen. Die Stressabweichungen betragen im Mittel 1,6 % und maximal 3,8 %.

Abbildung der Diffusionsbarrieren

Ein Ebenenwechsel ist von besonderer Bedeutung für die EM, da die zwischen den Ebenen gelegenen Diffusionsbarrieren die Materialmigration stoppen (vgl. Abschnitt 2.1.7). Zur Verifikation des Modellverhaltens an diesen Übergängen sind in Abb. 4.10 zwei Leiterbahnen aus dem vorherigen Abschnitt aneinandergereiht, wobei diese an der Kontaktfläche durch eine imaginäre Diffusionsbarriere und somit durch eine elektrische Randbedingung gekoppelt sind. In Abb. 4.10 sieht man, dass die Belastung an der Grenzfläche von Druckstress (σ_D) auf Zugstress (σ_Z) wechselt. Dieser Wechsel verläuft in der Realität wahrscheinlich etwas stetiger, was jedoch hier vernachlässigt ist, da der reine Einfluss von EM und SM auf die Leiterbahn im Vordergrund steht. An dieser Stelle wird die Migration gestoppt und der Bereich vor der Grenzfläche mit Atomen angereichert bzw. nach der Grenzfläche verarmt. Dieser Stresswechsel belegt, dass die elektrische Kopplung die Diffusionsbarrieren an Grenzschichten geeignet nachbilden kann, da beide Leiterbahnen das gleiche Stressverhalten aufweisen und die Materialwanderungen unabhängig voneinander sind.

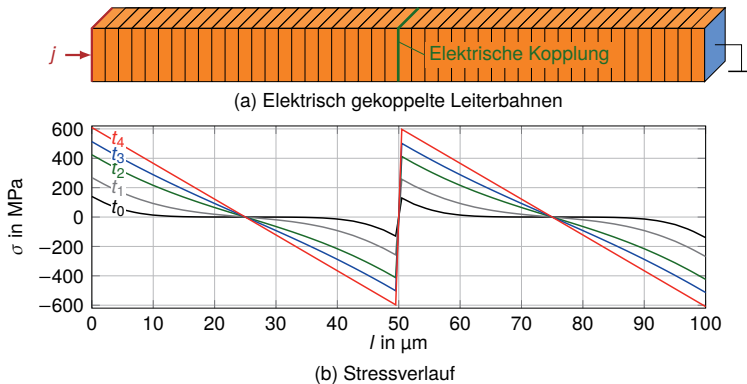


Abb. 4.10: Die grüne Grenzschicht zwischen den gleichen Leiterbahnen in (a) definiert eine elektrische Kopplung der Knoten. Diese sorgt für eine Unterbrechung der Migration und für den Wechsel im Stressverlauf. Die Gleichheit der Verläufe vor und nach der Grenzschicht belegt, dass die Migrationen voneinander unabhängig sind.

Einfluss der Diskretisierung

Das hier entwickelte Diskretisierungsverfahren aus Abschnitt 4.2.2 verfolgt den allgemeinen Ansatz der Reduzierung von Elementen an unwesentlichen Stellen. Aus diesem Grund werden gerade Leiterbahnen im Extremfall durch lediglich ein Element diskretisiert. Innerhalb dieses Elementes liefert die Ansatzfunktion die interpolierten Werte zwischen den Knoten. Die Ergebnisqualität steigt an, wenn der reale, physikalische Verlauf durch die verwendete Ansatzfunktion zweiter Ordnung näherungsweise abbildbar ist.

Innerhalb einer geraden Leiterbahn lässt sich die Stromdichte mit einer Ansatzfunktion zweiter Ordnung aufgrund ihrer geringen Änderung gut abbilden. Dahingegen ist der Fehler im zeitlichen Stressaufbau größer, da der gekrümmte Kurvenverlauf aus Abb. 4.9 bestenfalls durch eine Gerade interpoliert wird (Abb. 4.11). Dieser Fehler nimmt jedoch mit der Annäherung an den statischen Zustand des Stresses durch die Ausbildung eines linearen Verlaufs ab.

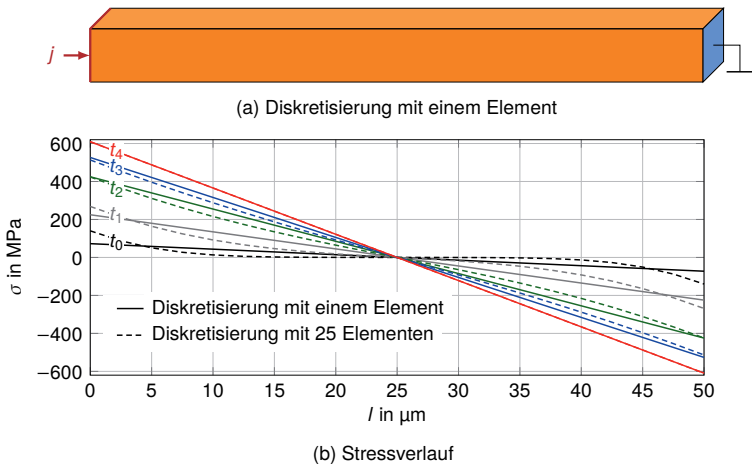


Abb. 4.11: Die Leiterbahn in (a) ist lediglich durch ein Element diskretisiert. Aus diesem Grund ergibt sich stets ein linearer Stressverlauf in (b). Der Fehler dieser Näherung nimmt dabei mit der Zeit ab, da sich der Verlauf einer linearen Funktion annähert.

Der Vorteil einer geringen Elementanzahl liegt in der Reduzierung des Rechenaufwandes. Erst dadurch wird es überhaupt möglich, mehrere Netze gleichzeitig zu berechnen und somit effektiv die Entwicklung von EM-Maßnahmen voran zu treiben. Für die Entwicklung von Gegenmaßnahmen bzw. robusteren Verdrahtungsstrukturen ist außerdem der Fehler im zeitlichen Verlauf des Stresses von untergeordneter Rolle, da die Reduzierung des Stresses im statischen Zustand angestrebt wird. Das bedeutet, der maximale EM-induzierte Stress kann aus einer geringen Elementanzahl ermittelt und mit verschiedenen Verdrahtungslösungen verglichen werden.

4.2.6 Stressergebnisse im Layout

Die Stressergebnisse für Kupferleiterbahnen, welche in den neuesten Technologien den Stand der Technik darstellen, basieren in dieser Arbeit auf den Materialparametern aus Tabelle 4.2. Jedoch existieren für diese Parameter in der Literatur breite Bereiche, sodass Tabelle 4.2 lediglich Richtwerte ausweist und diese Werte für jede Technologie individuell bestimmt werden müssen.

Tab. 4.2: Übersicht über die verwendeten Materialparameter für Kupferleiterbahnen inklusive deren Quellen.

Parameter	Wert	Einheit	Quelle
C	$8,44 \times 10^{-28}$	m^{-3}	[Tan+05]
Z^*	4	-	[TZG04]
e	$1,6021 \times 10^{-19}$	C	-
D_0	$7,8 \times 10^{-5}$	m^2/s	[LHT95]
E_a	0,6	eV	[TZG04]
Ω	$1,18 \times 10^{-29}$	m^3	[Tan+05]
ρ	$1,69 \times 10^{-8}$	$\Omega \text{ m}$	[She99]
α_ρ	$4,3 \times 10^{-3}$	$\Omega \text{ m K}^{-1}$	[CJC02]
B	$129,8 \times 10^9$	Pa	[She99]

Im Verlauf dieser Arbeit werden die Stressergebnisse meist normiert angegeben, da die absoluten Werte von untergeordnetem Interesse sind. Die Intention dabei ist den Fokus auf die relative Entwicklung der Ergebnisse für angepasste

Verdrahtungslösungen zu legen. Deshalb ist der Indikator für eine EM-robustere Verdrahtung die prozentuale Reduzierung des absoluten Stressmaximums, welche wie folgt definiert ist:

$$\sigma_{\text{abs,max}} = \max(|\sigma_{\text{min}}|, \sigma_{\text{max}}). \quad (4.1)$$

Reduzierung des Stresses

Schaut man sich die Variablen in der analytischen Lösung von Korhonen (vergleiche Gleichung (2.25)) an, kann man die Stromdichte und Leiterbahnlänge als Einflussmöglichkeiten für die Verdrahtung ausmachen. Ziel dieser Beeinflussung sollte es somit sein, das absolute Stressmaximum innerhalb der Leiterbahnen zu verringern.

Zur Untersuchung des Einflusses von Stromdichte und Leiterbahnlänge auf den Stressverlauf ist in Abb. 4.12a eine Leiterbahn mit einer definierten Stromdichte (j) und Länge (l) gegeben. Halbiert man jeweils die Ausgangswerte erhält man die entsprechenden Stressverläufe in Abb. 4.12b bzw. Abb. 4.12c.

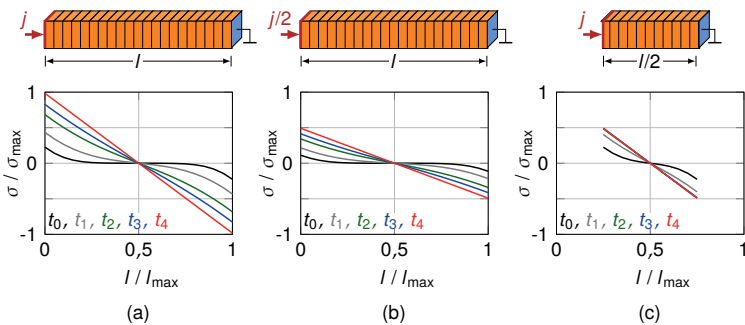


Abb. 4.12: Der Stress (σ) für die gegebene Stromdichte (j) und Leiterbahnlänge (l) in (a) dient als Referenz, um die Änderung des Stressverlaufs für eine halbierte Stromdichte in (b) bzw. eine halbierte Länge in (c) zu untersuchen. Dabei fällt auf, dass der maximale Stress im statischen Zustand (t_4) sich linear mit der Reduzierung der Stromdichte und der Länge verändert.

Aus Abb. 4.12 lassen sich die folgenden wichtigen Erkenntnisse für die Verdrahtung ableiten: (1) Die Senkung der Stromdichte verringert ebenfalls den Stress zu jeder Zeit innerhalb der Leiterbahn. (2) Die Reduzierung der Länge verändert nicht die zeitliche Entwicklung des Stresses, jedoch wird der statische Zustand früher erreicht. (3) Sowohl das Senken der Stromdichte als auch die Reduzierung der Länge sorgen für eine lineare Abnahme des statischen Stresses. Aus den Erkenntnissen (1) bis (3) kann man schlussfolgern, dass EM-Maßnahmen für die Verdrahtung entweder die Stromdichte, die Leiterbahnlänge oder beides reduzieren müssen. Außerdem kann man die Reduzierung des statischen Stresses als Bewertung für die Entwicklung von Gegenmaßnahmen und für eine EM-robuste Verdrahtung nutzen.

Stressanalyse eines Netzes

Zum Untersuchen des Modellverhaltens für eine reale Verdrahtungsstruktur und zum Abschätzen des Diskretisierungseinflusses auf die Ergebnisse ist der statische Stress in Abb. 4.13 gezeigt. Dieser Netzverlauf existiert im Layout der Beispielschaltung aus der 45-nm-Technologie von FreePDK [Nor11] (513 Standardzellen und 344 Netze). Die Synthese erfolgte mit der Standardzellenbibliothek von Silvaco (früher NanGate) [Sil11] und den kommerziellen Werkzeugen von Cadence (RTL Compiler 14.28 & Innovus 17.10).

Abbildung 4.13 enthält zum Vergleich eine Diskretisierungslösung des Standardalgorithmus von ANSYS in (a) und des hier entwickelten Algorithmus in (b). Der Netzverlauf in (c) und (d) ist EM-robuster gestaltet, sodass man die Reduzierung der Stresswerte beider Diskretisierungslösungen von (a) nach (c) bzw. von (b) nach (d) vergleichen kann. Folgende Erkenntnisse kann man aus den Ergebnissen von Abb. 4.13 gewinnen: (1) Die absoluten Werte des minimalen und maximalen Stresses können sich stark unterscheiden, (2) eine Leiterbahn kann einen deutlich höheren Stress erfahren als der Rest des Netzes, (3) die Verringerung der Elementanzahl reduziert die berechneten Stresswerte, (4) die absoluten und relativen Stressunterschiede hängen unwesentlich von der Diskretisierung ab und (5) eine EM-robuste Verdrahtung kann den Stress verringern.

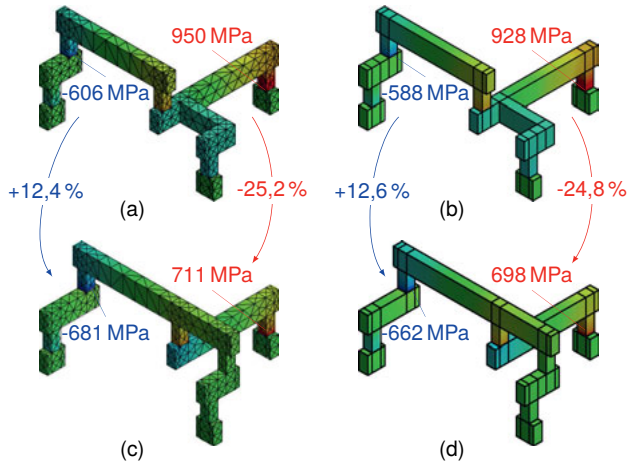


Abb. 4.13: Ermittelter Stress für eine initiale Verdrahtung mit der Standard-Diskretisierung von ANSYS[ANS17] in (a) und der hier entwickelten Diskretisierung in (b). In (c) und (d) ist der Diskretisierungsunterschied für eine EM-berücksichtigende Verdrahtung entsprechend beibehalten. Im Vergleich erkennt man, dass die absoluten und relativen Stresswerte unwesentlich von der Diskretisierung abhängen und man die Erhöhung der EM-Robustheit mit beiden Varianten sehen kann [Big+18a].

Die erste Erkenntnis macht deutlich, dass die Gefahr von Fehlstellen oder Anhäufungen vom Abstand des Stress zum jeweiligen Grenzwert abhängt. Sind die Grenzen für Fehlstellen oder Anhäufungen annähernd gleich, kann man das absolute Stressmaximum als Metrik für die EM-Belastung nutzen.

Der zweite Punkt weist darauf hin, dass innerhalb eines Netzes bereits kleinere Änderungen zu einer signifikanten Reduzierung des Stress führen können und dass die Verbesserung der EM-Robustheit bereits mit wenig Verdrahtungsressourcen gelingen kann.

Punkt drei und vier zeigen, dass die Reduzierung der Elementanzahl durch den hier entwickelten Diskretisierungsalgorithmus die Stressergebnisse unwesentlich beeinflussen. Kleinere Unterschiede sind jedoch nachvollziehbar, da die idealen Leiterbahncken zu einer Abhängigkeit der Stromdichte von der

Elementanzahl führen. Rundungen in der Geometrie könnten diese Abhängigkeit auflösen, würden jedoch wieder zu einer Erhöhung der Elementanzahl führen. Da die relativen Stressänderungen in Abb. 4.13 nur geringfügig zwischen der linken und rechten Spalte abweichen, kann man davon ausgehen, dass der Einfluss der Elementanzahl beim Vergleich von Verdrahtungslösungen vernachlässigt werden kann.

Der letzte Punkt verdeutlicht das Potenzial einer EM-robusten Verdrahtung. Die Auferlegung einer Randbedingung im kommerziellen Verdrahter zur Bevorzugung der Ebenen oberhalb und unterhalb der am stärksten belasteten Leiterbahn ermöglichte bereits in Abb. 4.13 eine deutliche Reduzierung des Stresses. Die Idee dahinter ist, die Erkenntnis aus Abschnitt 4.2.6 zu nutzen und die Leiterbahnlänge zu verkürzen. Leider sind die Möglichkeiten zur Beeinflussung des Verdrahters äußerst begrenzt und die Ergebnisse zu den Randbedingungen unvorhersehbar (Black-Box-Verhalten). Deshalb wird in dieser Arbeit ein eigenständiger Verdrahtungsalgorithmus in Kapitel 6 entwickelt, welcher im vollen Umfang angepasst werden kann.

Der Vergleich von Komplexität, Laufzeit und Ergebnisqualität in Tabelle 4.3 zeigt, dass das hier entwickelte Verfahren aus Abb. 4.1b einen deutlichen Laufzeitvorteil, bei geringfügiger Beeinflussung der Ergebnisqualität, gegenüber dem Standardverfahren aus Abb. 4.1a liefert. Damit stellt das Verfahren eine effektive Vorgehensweise zum Entwickeln von EM-Maßnahmen dar.

Tab. 4.3: Vergleich der Ergebnisse des bisherigen Verfahrens aus Abb. 4.1a mit dem hier neu entwickelten Verfahren (inkl. angepasster Diskretisierung) aus Abb. 4.1b für die initiale Verdrahtung aus Abb. 4.13a und b.

Verfahren	Knoten	Elemente	Laufzeit	min. Stress	max. Stress
Bisher	3453	1596	119 s	−606 MPa	950 MPa
Neu	480	36	9 s	−588 MPa	928 MPa
Reduzierung	86,1 %	97,7 %	92,4 %	3,0 %	2,3 %

Vergleich der Positionen von Stromdichte und Stress

In diesem Abschnitt werden die Positionen der maximalen Stromdichten mit denen des maximalen Stresses für das Beispiellayout aus dem vorherigen Abschnitt untersucht. Zur Berechnung der auftretenden Ströme wurden hier die Netz-Kapazitäten mit Hilfe des kommerziellen Verdrahters extrahiert, sodass die auftretenden Ströme aus den Charakterisierungen der Standardzellenbibliothek von Silvaco [Sil11] entnommen werden konnten.

Zur Kontraststeigerung ist der Hintergrund in Abb. 4.14 schwarz gehalten und die maximalen Stromdichten sowie Stresswerte farbig dargestellt. Außerdem sind die Leiterbahnen mit weniger als 10% des jeweiligen Maximalwertes grau eingefärbt. Ein Vergleich der Positionen von hohen Stromdichten und Stressbelastungen verdeutlicht, dass zwar einige Leiterbahnen auf beiden Seiten von Abb. 4.14 auffällig sind, die Ergebnisse sich jedoch mehrheitlich sichtbar unterscheiden.

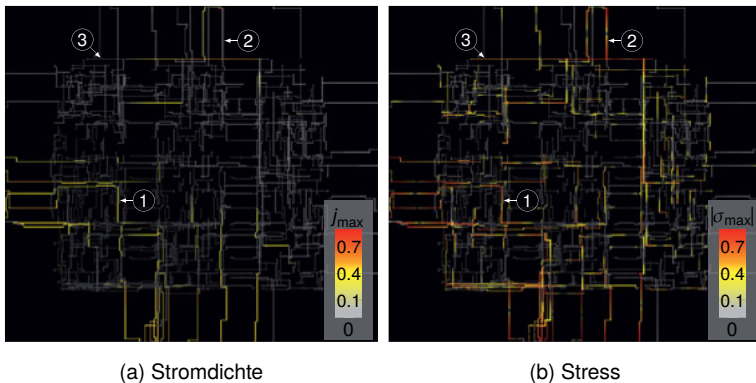


Abb. 4.14: Vergleich zwischen den Positionen der maximalen Stromdichten in (a) und den Positionen des maximalen Stresses in (b) für das mit Cadence erzeugte Layout der Beispielschaltung aus der 45-nm-Technologie von der FreePDK-Gemeinschaft [Nor11] und der Standardzellenbibliothek von Silvaco [Sil11]. Position 1 zeigt eine Leiterbahn, die in beiden Analyse eingefärbt ist. Positionen 2 und 3 verweisen auf Leiterbahnen, die lediglich in der Stressanalyse deutlich zu sehen sind.

Die Leiterbahn an Position 1 in Abb. 4.14 erfährt sowohl eine hohe Stromdichte als auch eine hohe Stressbelastung. Position 2 und 3 zeigen dagegen, dass diese Korrelation nicht immer gegeben ist. Die Stromdichte der Leiterbahn an Position 2 ist zwar relative gering, jedoch erfährt sie durch ihre Länge einen hohen Stress, sodass sie ebenfalls als kritisch einzuschätzen ist. Das gleiche gilt für die Leiterbahn an Position 3. Hier ist die Stromdichte bereits durch die zuvor kontaktierten Pins reduziert, jedoch wirkt der Stress in den Nachbarleiterbahnen auf diese zurück. Dadurch fällt das Ergebnis der Stressanalyse deutlich kritischer aus als das der Stromdichteanalyse.

4.3 Entwicklung einer EM-Analyse für den Layoutentwurf

Die hohe Anzahl an Netzen in digitalen Schaltungen erfordert eine schnellere Abschätzung des EM-Verhaltens einer Leiterbahn als man mit der FEM erzielen kann. Ziel dieses Abschnittes ist es daher, eine geeignete EM-Analyse für die Integration in den Layoutentwurf (Layoutanalyse) zu entwickeln und vorzustellen, sodass eine Abschätzung bereits während der Verdrahtung möglich ist. Der Schwerpunkt liegt dabei in der Laufzeitreduzierung, da bereits eine Analysezeit von wenigen Sekunden pro Netz eine Gesamtlaufzeit von mehreren Stunden bedeuten kann.

4.3.1 Abschätzung der Ströme

Dieser Abschnitt beschreibt das verwendete Vorgehen zur Abschätzung der Leiterbahnströme, welche in dieser Arbeit lediglich als Eingabeparameter dienen. Eine Stromermittlung kann mittlerweile auch mit kommerziellen Werkzeugen wie ANSYS RedHawk [ANS19] erfolgen, die aber aufgrund der hohen Lizenzkosten nicht zur Verfügung stehen. Die entwickelten Maßnahmen und das prinzipielle Vorgehen dieser Arbeit ist jedoch unabhängig von den Stromwerten, sodass an dieser Stelle eine Abschätzung genügt.

Der Strom (i) in der Leiterbahn setzt sich, wie in Abschnitt 2.2.1 beschrieben, aus einem Schaltstrom (i_S) und einem Verluststrom (i_V) zusammen ($i = i_S + i_V$). Nach Gleichung (2.14) ergibt sich die effektive Stromdichte der EM für Wechselstrom durch das Integral des Stromes über die Zeit im Lade- und Entladevorgang (gekennzeichnet durch „+“ und „-“). Der Wert des Entladevorgangs wird zusätzlich um den Wiederherstellungsfaktor (r) verringert ($r = 0,9$ [Lee12]). Das Integral des Stromes über die Zeit ist gleichzusetzen mit der Ladung (Q), wobei diese wiederum das Produkt aus Kapazität (C) und Spannung (U) ist ($Q = CU$). Mit diesem Ansatz lässt sich die Gleichung (2.14) wie folgt umformen:

$$j_{\text{eff,EM}} = \frac{1}{tA} [(Q_{S,+} + Q_{V,+}) - r(Q_{S,-} + Q_{V,-})], \quad (4.2)$$

wobei die Fläche (A) aus der Umrechnung zur Stromdichte (j) stammt und die Zeit (t) einer vollständigen Periode entspricht.

Die Ladung des Schaltstromes lässt sich aus dem Produkt der Spannung und der Summe der Kapazitäten (C) von Leiterbahnen und Eingangspins berechnen ($Q_{S,+} = Q_{S,-} = CU$). Diese Berechnung ähnelt damit dem Vorgehen aus [ITRS].

Aus dem Produkt des Verluststromes und der Zeit lässt sich die Ladung des Verluststromes berechnen ($Q_{V,+} = i_{V,+}t_+$ und $Q_{V,-} = i_{V,-}t_-$). Bei einem Tastverhältnis von 0,5 und einer vollständigen Richtungsumkehrung des Verluststromes vereinfacht sich die Gleichung (4.2) zu ($t_+ = t_- = t/2$ und $i_{V,+} = i_{V,-} = i_V$):

$$j_{\text{eff,EM}} = \frac{1}{tA} [(1 - r)(CU + i_V t/2)], \quad (4.3)$$

wobei die Gesamtkapazität (C) die Summe aus Pinkkapazitäten (C_{In}) und Leiterbahnkapazitäten (C_L) ist.

In der Standardzellenbibliothek findet man die Angaben zu den Pinkkapazitäten. Die Leiterbahnkapazitäten müssen hingegen für jeden Netzverlauf individuell berechnet werden. Dafür sind in den Technologiedaten entsprechende Angaben für die Kapazität pro Leiterbahnfläche und Leiterbahnkante gegeben, sodass sich über die Geometrien der Leiterbahnen deren Kapazitäten berechnen lassen.

Abbildung 4.15 zeigt den Stromverlauf im Lade- und Entladevorgang für ein Zwei-Pin-Netz mit einem Inverter am Ausgang und einer Kapazität am Eingang. Die Leiterbahn ist in diesem Fall als ein einfacher Tiefpass modelliert, da zur Berechnung der Ladung der Widerstand (R) vernachlässigt werden kann.

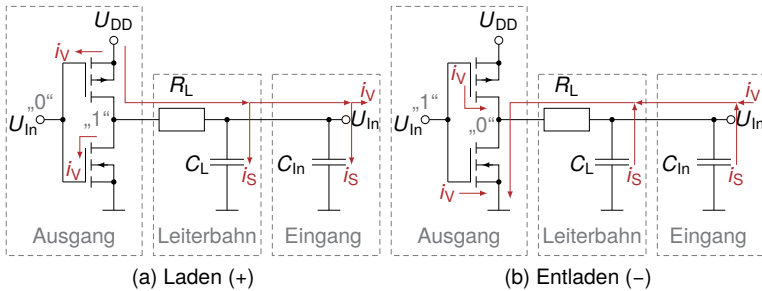


Abb. 4.15: Die roten Pfade in (a) und (b) zeigen die Richtung des Schaltstromes (i_S) und Verluststromes (i_V) zwischen Eingangskapazität (C_{In}) und Ausgang für den Lade- und Entladevorgang an. Zwischen Eingang und Ausgang ist zusätzlich eine Leiterbahn als Tiefpass modelliert (R_L und C_L).

4.3.2 Abbildung von Verdrahtungsstrukturen

Die Layoutanalyse soll dazu dienen, EM-relevante Leiterbahnen bereits während der Verdrahtung zu identifizieren und anschließend die EM-robustere Verdrahtung zu verifizieren. Deshalb muss diese Analyse in der Lage sein, den statischen Stress für einen dreidimensionalen Netzverlauf relativ schnell zu ermitteln.

Für die Abschätzung des statischen Stresses eines verzweigten Netzes existiert das Verfahren in [Sun+18] (vgl. Abschnitt 2.3.4), welches die Basis für die hier entwickelte Layoutanalyse bildet. Dieses Verfahren ist aufgrund seines mathematischen Ansatzes gut implementierbar, da es lediglich ein Aufstellen einer Vergleichsspannung (V) und Leiterbahnfläche (A) für jeden Knoten erfordert.

Die entwickelte Layoutanalyse basiert auf einem dreidimensionalen Graphen, welcher den Netzverlauf abbildet (Abb. 4.16). Dabei befinden sich die Knoten

des Graphen an jedem Pin des Netzes, unterhalb und oberhalb von Vias sowie an Richtungswechseln innerhalb einer Ebene. Die Kanten zwischen den Knoten repräsentieren die zu analysierenden Leiterbahnen, wobei die Richtungen vom Ausgangspin zum Eingangspin zeigen. Somit kann über das Vorzeichen des Stromes, ein richtungsabhängiger Wert zugeordnet werden.

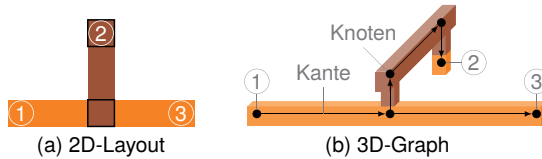


Abb. 4.16: (a) Zweidimensionale Netzstruktur eines 3-Pin-Netzes. (b) Dreidimensionale Abbildung der Netzstruktur in einem Graphen für die Layoutanalyse.

Nachdem der Graph aufgestellt ist, müssen den Knoten und Kanten zusätzliche Information zugeordnet (Abb. 4.17) werden. Zum einen erhalten die Endknoten einer Kante die Leiterbahnkapazitäten und zum anderen werden die Pinkapazitäten in den Eingangsknoten gespeichert. Außerdem werden die Verlustströme den Leiterbahnen zwischen Ein- und Ausgang zugeordnet.

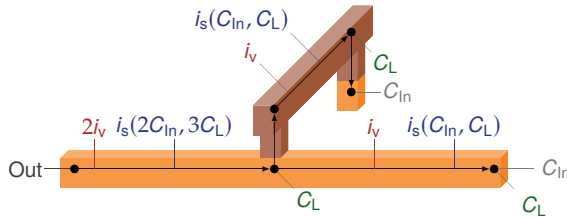


Abb. 4.17: Knoten und Kanten erhalten zusätzliche Informationen zu den Strömen und Kapazitäten. Pinkapazitäten (C_{in}) werden den entsprechenden Knoten zugeordnet. Endknoten einer Kante erhalten die Leiterbahnkapazitäten (C_L). Verlustströme (i_v) werden auf den Leiterbahnen zwischen Ein- und Ausgang hinzugefügt. Schaltströme (i_s) lassen sich aufgrund der angeschlossenen Kapazität entlang der Kanten berechnen. Zur Vereinfachung der Darstellung wird in diesem Beispiel angenommen, dass die Leiterbahn- und Pinkapazitäten sowie Verlustströme gleich sind.

Mit dem in Abb. 4.17 gezeigten Vorgehen ist man in der Lage, den Strom (i) für jede Leiterbahn nach Gleichung (4.3) abzuschätzen. Somit ist es auch möglich, den EM-induzierten Stress an jedem Knoten zu berechnen. Zwischen den Knoten (entlang der Kanten) wird ein linearer Verlauf des Stresses angenommen, welcher sich auch im statischen Zustand einstellt (vgl. Abschnitt 2.1.5).

4.3.3 Verifikation der Layoutanalyse

Die Verifikation der Layoutanalyse erfolgt für eine gerade Leiterbahn zur Lösung von Korhonen aus Abschnitt 2.1.5 und für eine verzweigte Leiterbahn zum entwickelten FEM-Modell aus Abschnitt 4.2. Im ersten Schritt stellt man damit sicher, dass die absoluten Stresswerte für den einfachsten Fall mit einer bekannten Lösung übereinstimmen. Im zweiten Schritt zeigt man, dass die Ergebnisse auch für verzweigte Leiterbahnen vertrauenswürdig sind.

Im Vergleich mit der Lösung von Korhonen in Abb. 4.18 kann man erkennen, dass die Stressverläufe unwesentlich voneinander abweichen (maximale Abweichungen kleiner 0,01 %). Diese sehr geringe Abweichung begründet sich in der Rundung des Betafaktors (β) von Sun [Sun+18], welcher hier mit 2465 Vs/m² für die Leiterbahn von Korhonen angenommen ist.

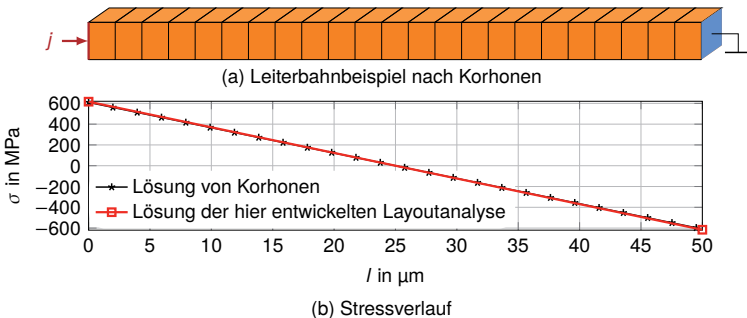


Abb. 4.18: Vergleich zwischen der analytischen Lösung von Korhonen aus [Kor+93] und der hier entwickelten Layoutanalyse für die gerade Leiterbahn in (a). Der Stressunterschied für den statischen Zustand in (b) ist vernachlässigbar gering ($< 0,01\%$).

Zur Verifikation der Layoutanalyse für verzweigte Leiterbahnen sind die Ergebnisse mit dem verifizierten FEM-Modell verglichen, da für diese Geometrie keine analytische Lösung existiert. Abbildung 4.19 zeigt den EM-induzierten Stress aus der Layoutanalyse in (a) und dem Ergebnis der FEM-Analyse in (b). Der Stressverlauf entlang der unteren Leiterbahn für beide Analysen ist zum Vergleich quantitativ in (c) abgebildet.

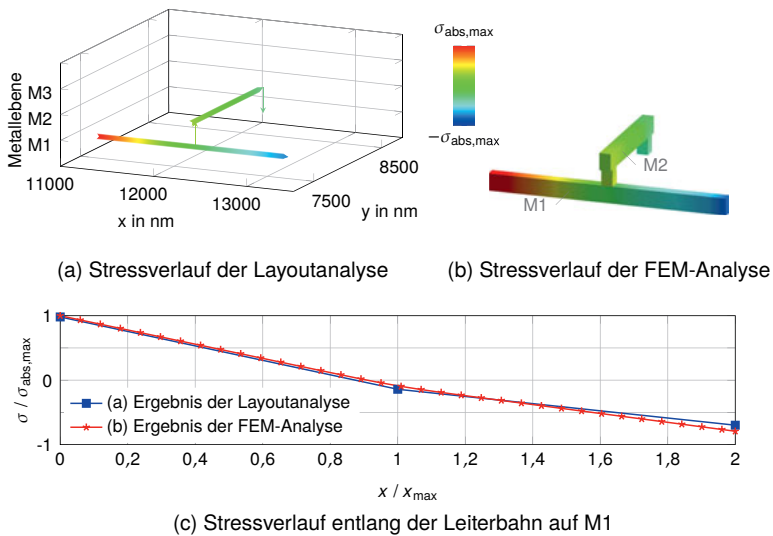


Abb. 4.19: Ermittelter Stress aus der entwickelten Layoutanalyse in (a) und der FEM-Analyse in (b) mit der Normierung auf das gleiche absolute Stressmaximum ($\sigma_{abs,max}$). In (c) ist der Vergleich des Stressverlaufs von (a) und (b) entlang der unteren Leiterbahn auf M1.

Die in Abb. 4.19 aufgezeigten Stressverläufe ähneln sich stark, sodass die mittlere Abweichung nur bei ca. 3 % und die maximal bei ca. 9 % liegt. Der Unterschied begründet sich in der Vereinfachung der Layoutanalyse, welche die Stromdichteerhöhungen durch Richtungswechsel oder die Via-Abmessung vernachlässigt. Es ist zu erwarten, dass die Abweichung bei längeren Leiterbah-

nen abnimmt, da hier der Einfluss der Richtungswechsel und Vias nachlässt. Das Beispiel aus Abb. 4.19 enthält deshalb eine relativ große Abweichung, da das Verhältnis zwischen Via-Abmessung und Leiterbahn gering ist (Faktor 10). Im Ergebnis von Abb. 4.14b kann man erkennen, dass dieses Verhältnis bei besonders gefährdeten Leiterbahnen deutlich höher und somit eine kleinere Abweichung zu erwarten ist. Aus diesem Grund ist davon auszugehen, dass die Ergebnisqualität der Layoutanalyse zufriedenstellend ist.

4.3.4 Laufzeitergebnisse im Layout

Wie bereits erwähnt, ist das Ziel der hier entwickelten Layoutanalyse eine schnelle Abschätzung des Stresses während der Verdrahtung. Deshalb ist hier die Laufzeit der Analyse für das Beispiellayout aus Abb. 4.14 ermittelt. Tabelle 4.4 enthält die Anzahl der Knoten und die Laufzeit für die FEM- und Layoutanalyse, sodass man die Reduzierung der Komplexität und Analysezeit erkennen kann.

Tab. 4.4: Vergleich der Komplexität und Laufzeit zwischen FEM- und Layoutanalyse.

Analyse	Netze	Knoten	Laufzeit pro Netz	Gesamtlaufzeit
FEM	326	149133	~ 8 s	41 min
Layout	326	3598	<1 ms	25 ms
Reduzierungsfaktor		41x		98 400x

Aus den Werten von Tabelle 4.4 kann man schlussfolgern, dass die Layoutanalyse, aufgrund der enormen Beschleunigung der Gesamtlaufzeit um fast sechs Größenordnungen, deutlich geeigneter für eine Integration in die Verdrahtung ist als die FEM-Analyse. Die Berechnungszeit von unter einer Millisekunde pro Netz ermöglicht für eine Million Netze eine Gesamtlaufzeit von wenigen Minuten. Im Vergleich dazu erreicht man bei der Verdrahtung großer Schaltungen leicht Laufzeiten von mehreren Stunden, sodass man hier von einer akzeptablen Verlängerung der Verdrahtung durch die zusätzliche Layoutanalyse ausgehen kann.

4.4 Zusammenfassung

Die Analyse des EM-induzierten Stresses innerhalb von digitalen Verdrahtungsstrukturen kann auf eine unterschiedliche Art und Weise erfolgen. Der Detailgrad bestimmt dabei maßgeblich die Laufzeit der Analyse, sodass man je nach Einsatzgebiet Vereinfachungen treffen muss.

Zur Entwicklung von EM-Gegenmaßnahmen bietet sich die FEM an, da sie physikalische Domänen koppeln und das zeitliche Verhalten bestimmen kann. Die Integration der Diskretisierung und Zuweisung von Randbedingungen in den Layoutentwurf bzw. in das Verdrahtungswerkzeug reduziert erheblich die Laufzeit des Verfahrens, sodass die Entwicklung von Gegenmaßnahmen beschleunigt wird. Ein auf die Verdrahtungsstrukturen zugeschnittener Diskretisierungsalgorithmus bringt dabei den größten Geschwindigkeitsgewinn, wobei die Ergebnisqualität davon nur unwesentlich beeinflusst wird. Im FEM-Modell ist die Berücksichtigung der Diffusionsbarrieren zwischen den Verdrahtungsebenen zur Berechnung des Stresses von besonderer Bedeutung, da dort die Materialwanderung gestoppt wird.

Der Stress sollte die Stromdichte als EM-Indikator ersetzen, damit die Leiterbahnlänge berücksichtigt wird. Eine Reduzierung des Stresses im statischen Zustand ist ein Maß für die Verringerung der EM-Gefahr, sodass das anzustrebende Ziel einer EM-robusten Verdrahtung die Reduzierung des absoluten Stressmaximums ist. Dabei kann die Verdrahtung entweder die Stromdichte oder die Leiterbahnlänge der besonders kritischen Leiterbahnen verringern.

Ein Einsatz der FEM-Analyse im Layoutentwurf ist aufgrund der Laufzeit nicht möglich. Während der Verdrahtung kann die Abschätzung der EM-Gefahr lediglich durch eine schnelle Layoutanalyse zum statischen Stress erfolgen. Hierbei bietet sich eine Repräsentation des Netzes in einem Graphen an, welcher in den Knoten die charakteristischen Punkte des Verlaufs und in den Kanten die Leiterbahnen abbildet. Durch diese Abbildung und die Beschränkung auf den statischen Stress wird die Laufzeit der Analyse drastisch reduziert und die Ergebnisqualität vernachlässigbar beeinflusst. Damit lassen sich Schwachstellen in der Verdrahtung direkt ermitteln und Gegenmaßnahmen ergreifen.

KAPITEL 5

Maßnahmen zur EM-Vermeidung

Dieses Kapitel untersucht Maßnahmen zur Kompensation von Elektromigration (EM), welche sich in der Verdrahtung von digitalen, integrierten Schaltungen (engl. integrated circuits, IC) einsetzen lassen. Der Nachweis zur Steigerung der EM-Robustheit durch diese Gegenmaßnahmen erfolgt an Hand der im vorangegangenen Kapitel vorgestellten EM-Modellierung. Gegenstand der Nachweise sind somit die Stromdichte (j) und vor allem die hydrostatische mechanische Spannung (engl. hydrostatic stress, kurz: Stress, σ) innerhalb verschiedener Verdrahtungsstrukturen. Die vorgestellten EM-Maßnahmen beziehen sich dabei speziell auf die Verdrahtung von digitalen Schaltungen, können jedoch auch in analogen Schaltungen anwendbar sein. Im nachfolgenden Kapitel wird der gezielte Einsatz dieser Gegenmaßnahmen und deren Eignung weiterführend untersucht.

Teile dieses Kapitels sind in [BL16b], [Big+18a], [BL18] und [Big+18b] veröffentlicht.

5.1 Einordnung der Maßnahmen

Wie in Abschnitt 2.5.1 bereits erwähnt, untergliedert sich der Verdrahtungsschritt im digitalen Layoutentwurf in die Global- und Detailverdrahtung. Aufbauend auf den Ergebnissen der Globalverdrahtung sind die hier entwickelten EM-Maßnahmen auf eine Umsetzung in der Detailverdrahtung ausgelegt. Die Optimierung der Verdrahtbarkeit und die Einschränkung des Suchraumes bleiben damit die Ziele der Globalverdrahtung. Eine Verbesserung der EM-Robustheit fällt somit in den Detailverdrahtungsschritt, welcher gleichzeitig die Vorgaben des Globalverdrahters berücksichtigen muss. Durch die Beibehaltung dieser Trennung soll sichergestellt werden, dass die Verdrahtbarkeit eines Layouts weiterhin gewährleistet bleibt und gleichzeitig die EM berücksichtigt wird.

Die in den nächsten Abschnitten aufgezeigten Gegenmaßnahmen sind größtenteils darauf ausgelegt, die EM-Robustheit eines Layouts bereits während der Verdrahtung zu erhöhen. Einige Maßnahmen, wie das Einbringen von Reservoirien oder das Einsetzen von redundanten Vias, können aber auch als abschließender Schritt nach der Verdrahtung aller Netze ausgeführt werden.

Grundsätzlich beeinflussen die Gegenmaßnahmen stets die Reihenfolge der Verdrahtung, den Verlauf der Leiterbahnen oder die Konfiguration der Vias. Speziell die Veränderungen der Leiterbahnen und Vias zielen entweder auf eine Senkung der Stromdichte oder eine Verkürzung der Leiterbahnlänge (l) ab, sodass sich dadurch der Stress innerhalb der Leiterbahnen verringert.

5.2 Änderung der Netzreihenfolge

5.2.1 Ansatz

Die Netzreihenfolge spielt eine wichtige Rolle beim sequentiellen Verdrahten, da zwischen den Netzen Verdrahtungskonflikte existieren können. Deshalb hängt das Verdrahtungsergebnis stark von der gewählten Netzreihenfolge ab [AKZ14]. Schritte wie das Auftrennen und Neuverdrahten von Netzen

dienen der Reduzierung dieser Abhängigkeiten, jedoch bleibt eine geeignete Reihenfolge vorteilhaft. Die Literatur enthält zu deren Ermittlung verschiedene Ansätze, wie beispielsweise die Sortierung der Netze anhand der Pin-Anzahl, der Länge oder einer Kombination aus beiden [Jia+18].

In dieser Arbeit soll die Netzreihenfolge bezüglich der EM-Gefahr ermittelt werden. Die Idee dabei ist, EM-relevante Netze frühzeitig zu verdrahten, sodass deren Lösungsraum möglichst groß ist. Dadurch wird das Umsetzen einer EM-robusten Verdrahtung vereinfacht, da jedes verdrahtete Netz die Möglichkeiten der restlichen einschränkt. Des Weiteren dient ein großer Lösungsraum dafür, dass man aus einer Reihe von EM-Maßnahmen auswählen oder auch mehrere einsetzen kann.

Abbildung 5.1 enthält das Vorgehen zur Abschätzung der EM-Gefahr eines Netzes. Die Verdrahtungsvorhersage erfolgt dabei auf Basis der bekannten

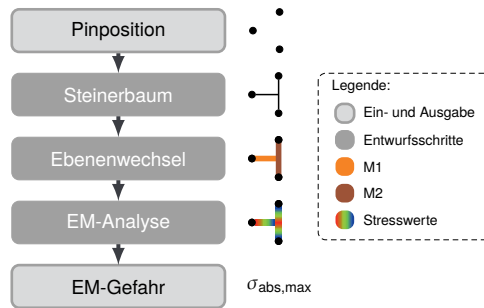


Abb. 5.1: Abschätzung der EM-Gefahr mit den Pinpositionen, welche einer Steinerbaumermittlung übergeben werden. Anschließend verschiebt man die vertikalen und horizontalen Verbindungen des Baumes auf unterschiedliche Ebene und ermittelt mit einer EM-Analyse die Gefahr anhand des absoluten Stressmaximums ($\sigma_{\text{abs,max}}$).

Pinpositionen mit einem rechtlinigen Steinerbaum. Ohne Berücksichtigung der Verdrahtungsressourcen werden anschließend die horizontalen und vertikalen Leiterbahnen des Steinerbaumes auf jeweils separate Ebenen geschoben, sodass EM-relevante Ebenenwechsel simuliert werden. Dieses Vorgehen entspricht einer fiktiven Verdrahtung, welche Überschneidungen innerhalb einer Ebene

erlaubt und strenge Verdrahtungsrichtungen vorgibt. Im Anschluss daran kann der zu erwartende Stress für diese Verdrahtungsvorhersage mit einer EM-Analyse (vgl. Abschnitt 4.3) berechnet und die EM-Gefahr am absoluten Stressmaximum abgelesen werden. Die EM-Reihenfolge der Netze folgt diesem Wert in absteigender Ordnung. Damit werden Netze mit hohem Stress vor denen mit niedrigem Stress verdrahtet.

5.2.2 Ergebnisse

Abbildung 5.2 enthält ein Beispiel mit zwei Netzen, wobei die Verdrahtungsreihenfolge einen Einfluss auf die EM-Robustheit hat. Die Ermittlung der EM-Gefahr für jedes Netz folgt dabei dem Ablauf aus Abb. 5.1.

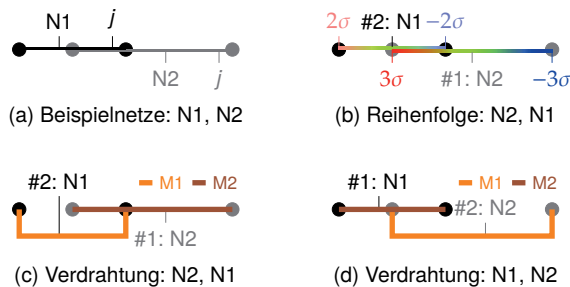


Abb. 5.2: (a) Pinpositionen für das schwarze Netz N1 und das graue Netz N2 sowie deren Verdrahtungsvorhersage ohne Berücksichtigung der Ressourcen. (b) EM-Reihenfolge aufgrund der Verdrahtungsvorhersage und der berechneten Stresswerte (σ) . (c) EM-robustes Verdrahtungsergebnis durch die Berücksichtigung der EM-Reihenfolge. (d) Verdrahtungsergebnis ohne Berücksichtigung der EM-Reihenfolge. Der Vergleich zwischen (c) und (d) zeigt, dass sich aufgrund der ausgeglichenen Längen in (c) ein deutlich geringerer maximaler Stress einstellen wird als in (d).

Beide Netze in Abb. 5.2 erfahren die gleiche Stromdichte, jedoch sind sie in der Verdrahtungsvorhersage unterschiedlich lang. Aus Sicht der EM-Kompensation führt das in diesem Fall dazu, dass das längere Netz vor dem kurzen zu verdrahten ist, weil somit die maximalen Verdrahtungsressourcen für das kritischere

Netz zur Verfügung stehen. Das Verdrahtungsergebnis mit Berücksichtigung der EM-Reihenfolge in Abb. 5.2c liefert ausgeglichene Netzlängen als das Ergebnis ohne Berücksichtigung in Abb. 5.2d. Das zeigt, dass die Berücksichtigung der EM-Reihenfolge zum geringeren Stress und somit zur EM-robusteren Lösung führt. Eine ausführlichere Analyse zur Korrelation zwischen der Schätzung des EM-Ranges vor der Verdrahtung und dem EM-Rang danach ist in Abschnitt 6.5.1 enthalten.

5.3 Verbesserung der Netztopologie

5.3.1 Ansatz

Die Netztopologie hat einen bedeutsamen Einfluss auf die Stressentwicklung und somit auf die EM-Robustheit eines Netzes, da man dadurch sowohl die Stromdichte als auch die Leiterbahnlänge kontrollieren kann. Abbildung 5.3 enthält ein Beispiel bei dem die Stresswerte für die Verdrahtung mittels Steinerbaum und Quelle-Senke miteinander verglichen werden. In diesem Fall halbiert sich annähernd das absolute Stressmaximum und die Verdrahtungslänge (VL) erhöht sich um 60 %, wenn man von der Steinerbaum- zur Quelle-Senke-Verdrahtung wechselt.

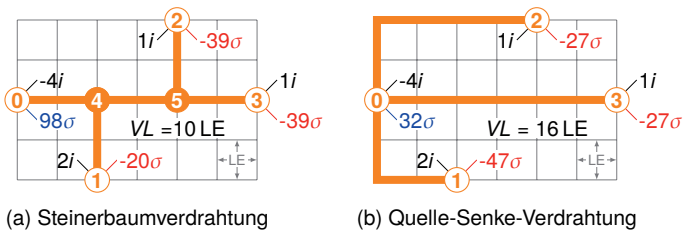


Abb. 5.3: Beispiel verschiedener Netztopologien für ein 4-Pin-Netz mit einer Quelle an Pin 0. In (a) ist die Steinerbaum- und in (b) die Quelle-Senke-Verdrahtung inklusive der resultierenden Stresswerte (σ) sowie Verdrahtungslängen (VL) in Längeneinheiten (LE) gezeigt. Die Quelle-Senke-Verdrahtung reduziert das absolute Stressmaximum um 52 % und erhöht die Verdrahtungslänge um 60 % [BL18].

Um die Abhängigkeit des Stresses von der Netztopologie genauer zu untersuchen, variieren in Abb. 5.4a die Leiterbahnenlängen l_{04} und l_{45} im Bereich von 0 bis 2 Längeneinheiten (LE), sodass sich die horizontale Lage der Steinerpunkte 4 und 5 verschiebt. Damit lässt sich der Stress und die Verdrahtungslänge in Abhängigkeit dieser Variablen in Abb. 5.4b und 5.4c darstellen.

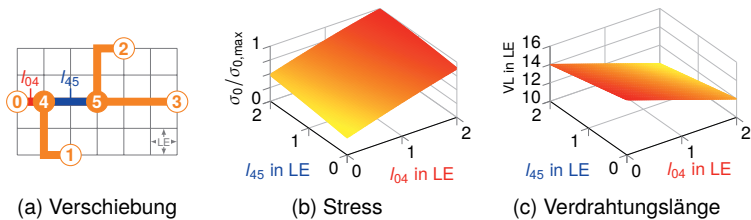


Abb. 5.4: (a) Verschiebung der Steinerpunkte 4 und 5 in Richtung Pin 0, sodass die Leiterbahnenlängen l_{04} und l_{45} verkürzt werden, welche mehrere Pinströme führen. Das reduziert den maximalen Stress (σ) an Pin 0 in (b) und erhöht die Verdrahtungslänge (VL) in (c) [BL18].

Aus den beiden Verläufen in Abb. 5.4b und 5.4c kann man erkennen, dass sich der Stress und die Verdrahtungslänge gegensätzlich entwickeln, sodass eine steigende Verdrahtungslänge unter einer bestimmten Bedingung den Stress reduziert. Diese sagt aus, dass man durch die Erhöhung der Verdrahtungslänge Leiterbahnen ersetzt, welche mehrere Pinströme führen. Den gleichen Effekt erreicht man, wenn man die Anzahl an Steinerpunkte reduziert.

Für typische, digitale Netze mit einer Quelle und mehreren Senken gilt, dass sich der geringste Stress in der Netztopologie mit der Quelle-Senke-Verdrahtung ausbildet, weil diese keine Pinströme innerhalb von Leiterbahnen zusammenführt. Existieren jedoch mehrere Quellen und Senken mit unterschiedlichen Strömen (typisch für analoge Netze) kann die optimale Netztopologie nicht ohne weiteres ermittelt werden [BL18].

5.3.2 Ergebnisse

Der EM-Einfluss einer Netztopologie lässt sich eindrucksvoll mit dem Beispiel aus [LJ03] demonstrieren. Die Autoren von [JCC10] haben das in [LJ03] vorgestellte Problem zuletzt aus Sicht der EM gelöst. Jedoch vernachlässigt ihre Lösung in Abb. 5.5a den EM-induzierten Stress. Abbildung 5.5b zeigt dagegen die hier gefundene EM-optimale Netztopologie mit dem geringsten Stress.

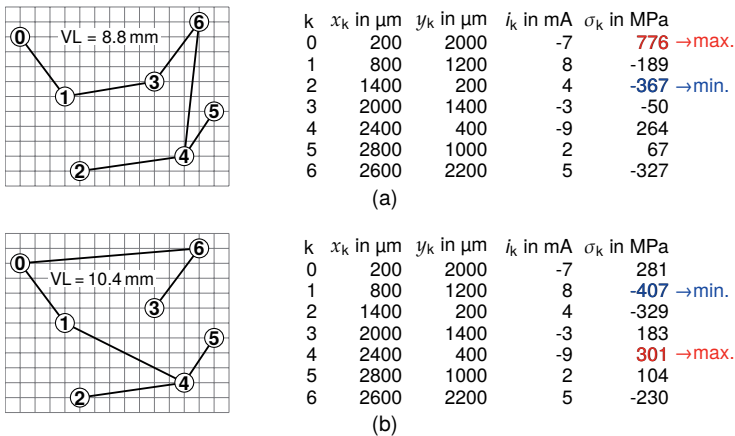


Abb. 5.5: (a) EM-Netztopologie aus [JCC10] mit statischen Stresswerten. (b) Hier gefundene EM-optimale Netztopologie mit dem geringsten Stress (Lösung mit Brute-Force-Algorithmus¹ aus [BL18] ermittelt). Die optimale Lösung reduziert das absolute Stressmaximum um 48 % und erhöht die Verdrahtungslänge (VL) um 18 % [BL18].

Zur Ermittlung einer EM-optimalen Netztopologie ist im Rahmen dieser Arbeit ein Brute-Force-Algorithmus¹ in [BL18] entstanden, der für Netze mit bis zu neun Pins in wenigen Sekunden das optimale Ergebnis ermittelt. Für Netze mit mehr als neun Pins existiert in der gleichen Quelle außerdem ein iterativer Algorithmus, welcher eine Steinerbaumverdrahtung EM-optimiert.

¹Algorithmus, welcher alle Lösungen durchprobiert.

5.4 Einbringung von Reservoiren

Entsprechend dem Stand der Technik in Abschnitt 2.4.2 existieren aktive und passive Reservoirre, welche die EM beeinflussen können. Bei der zuvor vorgestellten Optimierung der Netztopologie kann man von einer Berücksichtigung der aktiven Reservoirre sprechen, da dort der Einfluss von unterschiedlichen, aktiven Verdrahtungen beachtet wird. Die Grundlage für die Einbringung von Reservoiren in dieser Arbeit sind jedoch die passiven Leiterbahnen, da sie deutlich einfacher zu realisieren sind und keine Veränderung der Netzliste oder zusätzliche Standardzellen bzw. Verlustleistung benötigen.

Passive Reservoirre sind zusätzliche Leiterbahnen, welche an einem Ende an ein bestehendes Netz angeschlossen und am anderen Ende offen sind. Oftmals werden bereits in größeren Freiräumen des Layouts Leiterbahnen ohne jede elektrische Verbindung eingebracht, um die Dichte der Leiterbahnen innerhalb einer Ebenen auszugleichen und somit den Herstellungsprozess zu unterstützen. Diese Leiterbahnen könnten damit auch gezielt einseitig an ein Netz angeschlossen werden, sodass sie einen positiven Effekt auf die EM-Robustheit eines Netzes haben und keine zusätzliche Chipfläche benötigen.

5.4.1 Lage

Bei der Betrachtung von Reservoiren fehlt es bisher an einer systematischen Untersuchung zum Einfluss dieser auf den Stressverlauf einer Leiterbahn. Deshalb wird im Folgenden der Einfluss des Anschlusspunktes eines Reservoirs an die Leiterbahn näher untersucht. Wie bereits in Abschnitt 2.1.5 beschrieben, existieren verschiedene Bereiche innerhalb einer EM-belasteten Leiterbahn, in denen entweder Zugstress (σ_Z) oder Druckstress (σ_D) vorherrschen. Abbildung 5.6 zeigt dazu, dass sich der Stressverlauf in Abhängigkeit von der Lage des Reservoiranschlusspunktes verschiebt. Ist ein Reservoir an den Druckstressbereich angeschlossen, verschiebt sich der Stressverlauf in Richtung Zugstress (und umgekehrt).

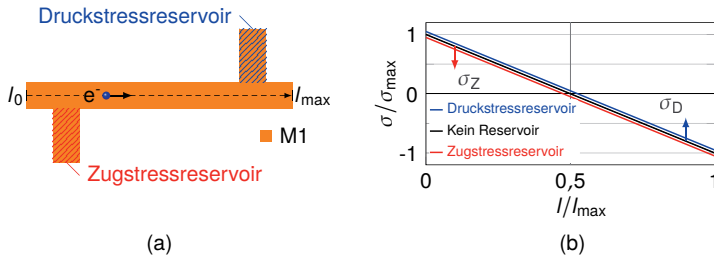


Abb. 5.6: (a) Hinzufügen eines Reservoirs im Bereich von Druckstress (σ_D) und Zugstress (σ_Z) an der Leiterbahn. (b) Verschiebung des Stressverlaufes innerhalb der Leiterbahn durch das Reservoir. Reservoirs an Bereichen mit Zugstress lassen den Stressverlauf in Richtung Druckstress absinken (und umgekehrt) [Big+18b].

Oftmals ist, wie in Abschnitt 2.1.7 angesprochen, der Grenzwert für Fehlstellen (engl. voids) betragsmäßig geringer als der Grenzwert für Materialanhäufungen (engl. hillocks). Deshalb können Reservoirs an der Kathodenseite bzw. im Bereich des Zugstress die Lebensdauer einer Leiterbahn verlängern, weil sie den Stressverlauf in Richtung Druckstress verschieben.

Der Einfluss der Reservoirs hängt ebenfalls von deren Lage innerhalb des Zug- bzw. Druckstress ab (Abb. 5.7). Ein Reservoir wird umso effektiver, desto höher der absolute Stress am Anschlusspunkt ist. Somit haben Reservoirs an den Leiterbahnenenden einen größeren Einfluss als an den Seiten.

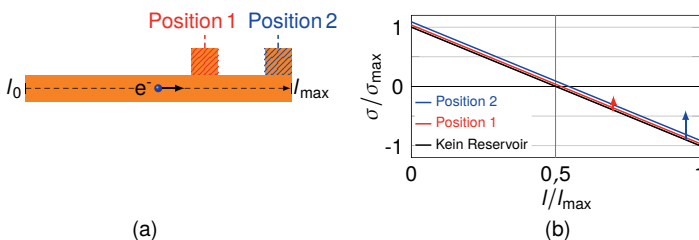


Abb. 5.7: (a) Einfluss der Position des Reservoirs innerhalb eines Bereiches. (b) Verschiebung des Stress in Abhängigkeit der Positionen. Der Reservoirereinfluss steigt mit dem Stress an der Anschlussposition an [Big+18b].

5.4.2 Länge

Die Länge eines Reservoirs beeinflusst den Wert der Verschiebung des Stresses innerhalb der Leiterbahn. Umso länger das Reservoir ist, desto größer ist auch die Verschiebung des Stresses (Abb. 5.8). Diese Abhängigkeit kann man dazu nutzen, um eine gewünschte Verschiebung durch ein Reservoir zu erzielen.

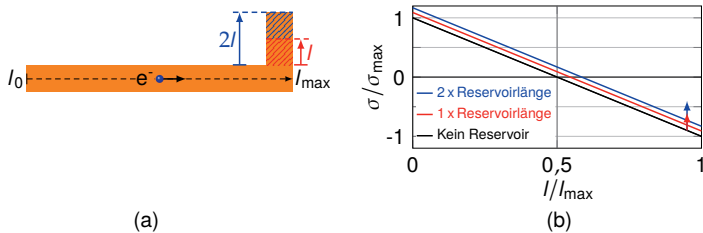


Abb. 5.8: Einfluss der Reservoirlänge auf die Verschiebung des Stressverlaufs. Die doppelte Reservoirlänge (blau) sorgt für die doppelte Verschiebung im Vergleich zur einfachen Reservoirlänge (rot) [Big+18b].

Erweitert man die Methode von [Sun+18], kann man eine Bildungsvorschrift für die Reservoirlänge aufstellen, welche die Absolutwerte des maximalen und minimalen Stresses ausgleichen. Das ist von Vorteil, wenn sich diese Werte deutlich voneinander unterscheiden und somit eine ungleichmäßige Belastung aufzeigen. Gründe dafür können beispielsweise ein Reststress (engl. residual stress, σ_R) aus der Herstellung oder eine Änderung des Stromes innerhalb der Leiterbahn sein. Die folgende Bedingung muss für den Ausgleich erfüllt sein:

$$\sigma_{\max} = -\sigma_{\min}. \quad (5.1)$$

Für den maximalen und minimalen Stress ergibt sich Folgendes in Abhängigkeit eines Reststresses und einer Vergleichsspannungen (V) von [Sun+16]:

$$\sigma_{\max} = \beta(V_g - V_{\min}) + \sigma_R \quad \text{und} \quad (5.2)$$

$$\sigma_{\min} = \beta(V_g - V_{\max}) + \sigma_R. \quad (5.3)$$

Setzt man Gleichung (5.2) und (5.3) in (5.1) ein, erhält man die folgende, erweiterte Ansatzfunktion:

$$\beta(V_g - V_{\min}) + \beta(V_g - V_{\max}) + 2\sigma_R = 0. \quad (5.4)$$

Stellt man anschließend Gleichung (5.4) nach der Grundvergleichsspannung (V_g) um und bezieht deren Abhängigkeit von der Fläche (A) und Vergleichsspannung (V_R) des Reservoirs mit ein, erhält man:

$$V_{\max} + V_{\min} - 2\sigma_R/\beta = 2V_g(V_R, A_R). \quad (5.5)$$

Erweitert man die folgende Grundvergleichsspannung aus [Sun+18] um die Werte des Reservoirs, ergibt sich:

$$V_g(V_R, A_R) = \left(\frac{\sum_{i=0}^n V_i A_i + 2V_R A_R}{\sum_{i=0}^n A_i + 2A_R} \right), \quad (5.6)$$

wobei die Reservoir-Vergleichsspannung (V_R) gleich der Vergleichsspannung der Leiterbahn am Punkt des Reservoiranschlusses ist. Das Reservoir besitzt die gleiche Vergleichsspannung wie der Anschlusspunkt, da im Reservoir kein Strom fließt und damit keine Spannung abfallen kann.

Setzt man Gleichung (5.6) in (5.5) ein und löst nach A_R auf, erhält man die folgende Beziehung zum Ausgleichen des maximalen und minimalen Stresses:

$$A_R = \frac{(V_{\max} + V_{\min} - 2\sigma_R/\beta) \sum_{i=0}^n A_i - 2 \sum_{i=0}^n V_i A_i}{-2(V_{\max} + V_{\min} - 2\sigma_R/\beta - 2V_R)}, \quad (5.7)$$

wobei V_{\max} und V_{\min} jeweils die maximalen bzw. minimalen Vergleichsspannungen des Netzes sind.

Bei einer konstanten Breite (b) der einzelnen Leiterbahnen gelten außerdem die folgenden Bedingungen:

$$A_R = l_R b, \quad (5.8)$$

$$A_i = l_i b. \quad (5.9)$$

Setzt man Gleichung (5.8) und (5.9) in (5.7) ein, kürzt sich die Breite heraus und man erhält die folgende Gleichung zur Berechnung der Reservoirlänge l_R für welche sich der maximale und minimale Stress ausgleichen:

$$l_R = \frac{(V_{\max} + V_{\min} - 2\sigma_R/\beta) \sum_{i=0}^n l_i - 2 \sum_{i=0}^n V_i l_i}{-2(V_{\max} + V_{\min} - 2\sigma_R/\beta - 2V_R)}. \quad (5.10)$$

Falls der absolute, maximale Zugstress größer ist als der absolute, minimale Druckstress, erreicht man die minimale Reservoirlänge indem man das Reservoir an den Punkt mit der minimalen Vergleichsspannung anschließt (und umgekehrt):

$$\min l_R = \begin{cases} V_R = V_{\min}, & \text{falls } |\sigma_{\max}| > |\sigma_{\min}|, \\ V_R = V_{\max}, & \text{sonst.} \end{cases} \quad (5.11)$$

5.4.3 Ergebnisse

Reservoirs können zur Verbesserung der EM-Robustheit beitragen, falls in einer Leiterbahn die Beträge des minimalen Druck- und des maximalen Zugstress stark voneinander abweichen (Abb. 5.9a). Das Ungleichgewicht führt wiederum dazu, dass einer der beiden Werte näher an seinem technologischen Grenzwert liegt und somit schneller zum Ausfall führt als der andere. Ein Angleichen der beiden Absolutwerte ermöglicht eine Erhöhung der EM-Robustheit, da dadurch der Stress gleichweit von den jeweiligen Grenzen entfernt bleibt (Abb. 5.9b). Mit diesem Vorgehen ist es ebenfalls möglich, einen bereits durch den Herstellungsprozess induzierten Reststress innerhalb der Leiterbahn auszugleichen.

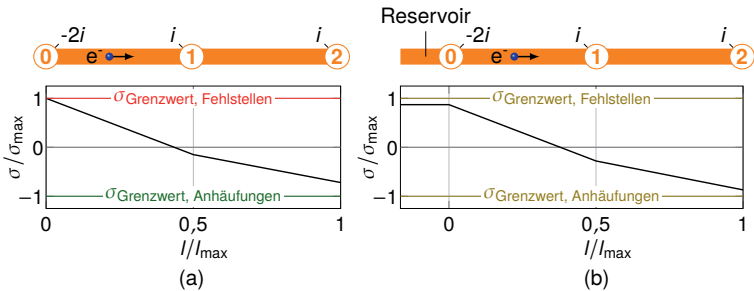


Abb. 5.9: Unausgeglichener Stress innerhalb einer Leiterbahn mit drei Pins. In (a) besteht eine höhere Gefahr für eine Fehlstelle (rot) als für eine Anhäufung (grün), da der Stress näher an seinem Grenzwert liegt. In (b) ist die Entfernung des Stresses zu den beiden Grenzwerten durch das Reservoir ausgeglichen, sodass die Gefahr für Fehlstellen und Anhäufungen (beide gelb) gleich ist.

Ebenfalls kann man das Ergebnis der Netztopologie aus Abb. 5.5b verbessern, indem man ein Reservoir hinzufügt, sodass sich die Absolutwerte des minimalen und maximalen Stresses ausgleichen. Abbildung 5.10 enthält für dieses Beispiel ein mögliches Reservoir, welches die EM-Robustheit erhöht, da es die beiden Absolutwerte angleicht. Die Berechnung der benötigten Reservoirlänge erfolgte nach der Gleichung (5.10).

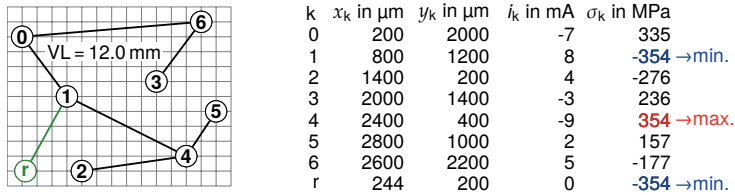


Abb. 5.10: Verbesserung der EM-Robustheit für das Beispiel aus der Netztopologie von Abb. 5.5b mit Hilfe eines Reservoirs. Das Reservoir gleicht die Absolutwerte des minimalen und maximalen Stresses aus und trägt damit dazu bei, die Gefahr für Fehlstellen und Anhäufungen anzugleichen [BL18].

5.5 Einsatz von redundanten Vias

5.5.1 Ansatz

Redundante Vias können die Zuverlässigkeit erhöhen, indem sie Redundanzen für ein vorhandenes Via zur Verfügung stellen (Abb. 5.11a). Die Zuverlässigkeit erhöht sich, da durch ein redundantes Via ein zusätzlicher Pfad für den Stromfluss bereitsteht, falls eines der beiden aufgrund von EM ausfällt. Je nach Lage der redundanten Vias verändern sich Leiterbahnlänge und Stromdichte unterschiedlich. Hierbei kann man zwischen Vias innerhalb der Leiterbahn (engl. on-track) und Vias außerhalb der Leiterbahn (engl. off-track) unterscheiden, wobei erstere die Leiterbahnlänge weniger verlängern und die Stromdichte besser ausgleichen als letztere (Abb. 5.11b).

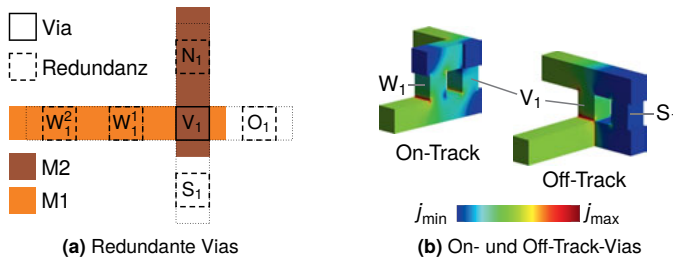


Abb. 5.11: (a) Mögliche Positionen für redundante Vias im Norden (N), Süden (S), Osten (O) und Westen (W) des ursprünglichen Vias (V). (b) Veränderung der Leiterbahnlänge und Stromdichte (j) durch On- und Off-Track-Vias [BL16b].

Meist ist das Ziel beim Einsetzen von redundanten Vias so viele wie möglich einzubringen, wobei in [PBP15] die Stromdichte berücksichtigt wird. Jedoch ist diese als EM-Faktor unzureichend (vgl. Abb. 2.3), sodass hier der Stress beachtet wird. Dazu ist in dieser Arbeit die Via-Belastung (VB) eingeführt, welche sich aus dem Stress (σ) geteilt durch die Viaanzahl ($nVias$) berechnen lässt ($VB = \sigma / nVias$). Umso höher der Stress an einem Via ist, desto wahrscheinlicher fällt es aus und desto wichtiger ist auch eine Redundanz zur Senkung der Via-Belastung.

Abbildung 5.12 zeigt ein Layoutbeispiel, welches exemplarisch für den Schritt des Einsetzens von redundanten Vias unter Berücksichtigung der EM-Gefahr steht. In diesem Beispiel kann eine freie Via-Position für zwei unterschiedliche Netze benutzt werden, wobei die einzelnen Stresswerte innerhalb der Netze verschieden hoch sind. Die freie Position sollte aus diesem Grund dem Via mit dem höheren Stress zugutekommen, da dort die EM-Gefahr höher ist und die Via-Belastung durch ein zweites Via reduziert werden kann.

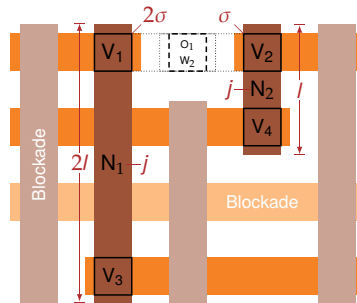


Abb. 5.12: Der Freiraum kann entweder für ein redundantes Via im Osten (O_1) von Via 1 (V_1) in Netz 1 (N_1) oder für ein redundantes Via im Westen (W_2) von Via 2 (V_2) in Netz 2 (N_2) genutzt werden. Aufgrund der doppelten Länge (l) und der gleichen Stromdichte (j) in Netz 1 entsteht am Via 1 der doppelte Stress (σ). Aus diesem Grund ist die EM-Gefahr in Netz 1 größer als in Netz 2, sodass man aus Sicht der EM das redundante Via im Osten von Via 1 realisieren sollte [BL16b].

5.5.2 Ablauf

Basis zum Einsetzen von redundante Vias unter Berücksichtigung der EM-Gefahr ist der Ablauf in Abb. 5.13. Er besteht im Wesentlichen aus drei Schritten, welche auf den Daten der Verdrahtung und der EM-Analyse aufbauen. Diese sind das Suchen von möglichen Positionen für redundante Vias, das Aufstellen eines Abhängigkeitsgraphen und die Überführung dieses Graphens in eine ganzzahlige, lineare Optimierung (engl. integer linear programming, ILP).

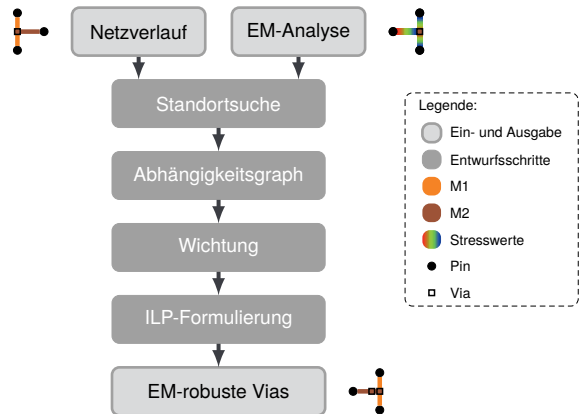


Abb. 5.13: Ablauf zum Einsetzen von redundanten Vias unter Berücksichtigung der EM. Die Standortsuche ermittelt mögliche Positionen und Abhängigkeiten für redundante Vias, welche anschließend im Abhängigkeitsgraphen als Knoten und Kanten abgebildet werden. Der Schritt zur Formulierung als ILP ermöglicht die Ermittlung eines globalen Optimums.

Standortsuche

Zu Beginn findet die Standortsuche mögliche Positionen im Layout, welche für redundante Vias genutzt werden können (Abb. 5.14). Eine mögliche Position muss genügend Freiraum zur Verfügung stellen, sodass ein zusätzliches Vias keine Abstandsregeln zu existierenden Netzen verletzt.

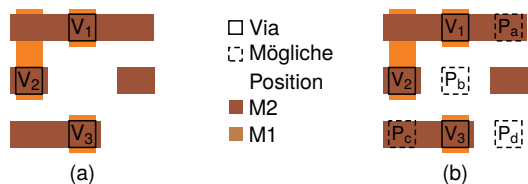


Abb. 5.14: (a) Layout mit möglichen Positionen (P) für redundante Vias in (b) [BL16b].

Abhängigkeitsgraph

Der erste Schritt im Aufstellen des Abhängigkeitsgraphens ist die Zuordnung der möglichen Via-Positionen als Redundanzen für existierende Vias. Für jedes mögliche, redundante Via wird ein Knoten im Graphen erzeugt, wobei beispielsweise der Knoten S_1 das redundante Via südlich von Via 1 darstellt. Ebenfalls möglich sind Kombinationen aus verschiedenen redundanten Vias. Zum Beispiel nutzt der Knoten SO_1 die südlichen und östlichen Redundanzen von Via 1. Zur Wahrung der Übersichtlichkeit wird jedoch auf die Darstellung dieser Mehrfachvias in den folgenden Abbildungen dieses Abschnittes verzichtet.

Überschneidungen zwischen den möglichen, redundanten Vias verursachen Konflikte, welche wiederum als Kanten im Graphen abgebildet werden. Hierbei unterscheidet diese Arbeit, wie in [PBP15] vorgeschlagen, zwischen inneren und äußeren Konflikten bzw. Kanten. Innere Kanten existieren nur zwischen redundanten Vias desselben existierenden Ausgangsvias und äußere Kanten zwischen unterschiedlichen.

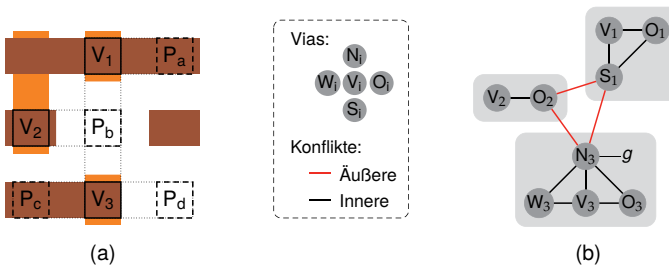


Abb. 5.15: (a) Geometrische Abhängigkeiten (Konflikte) zwischen den möglichen redundanten Vias. (b) Abbildung redundanter Vias als Knoten mit inneren und äußeren Kanten. Innere Kanten existieren bei verschiedenen Redundanzen für ein und dasselbe Ausgangsvia, äußere lediglich zwischen unterschiedlichen. Jeder Knoten erhält zusätzlich ein Gewicht (g), welches die resultierende Via-Belastung abbildet [BL16b].

Wichtung

Ein wichtiger Schritt ist die Wichtung der möglichen, redundanten Vias (Knoten im Graphen), sodass Konflikte aus Sicht der EM-Kompensation gelöst werden können. Das einheitenlose Gewicht (g) eines Knoten repräsentiert dabei eine Via-Belastung nach folgender Gleichung:

$$g = \frac{\left(\max \left(1, \frac{\sigma}{\sigma_{\text{abs,max}}} \cdot 100 \right) \right)^3}{10000} \cdot \frac{1}{nVias} \triangleq \text{Belastung}^3 \text{ pro Via}, \quad (5.12)$$

wobei σ der Stress an der Via-Position, $\sigma_{\text{abs,max}}$ das absolute Stressmaximum im Layout und $nVias$ die Viaanzahl repräsentiert. Die Stresswerte werden zudem auf ein Minimum von einem Prozent beschränkt, um vernachlässigbare Gewichte zu vermeiden. Die Bevorzugung von On-Track-Vias gegenüber Off-Track-Vias erfolgt durch eine einprozentige Erhöhung der Off-Track-Gewichte.

Die dritte Potenz in der Gleichung (5.12) wichtet hohen Stresswerte stärker, sodass diese an Bedeutung gewinnen. Dadurch wird die Reduzierung der Via-Belastung im oberen Stressbereich fokussiert, denn diese fallen wahrscheinlicher aus als Vias an Punkten mit niedrigen Stresswerten.

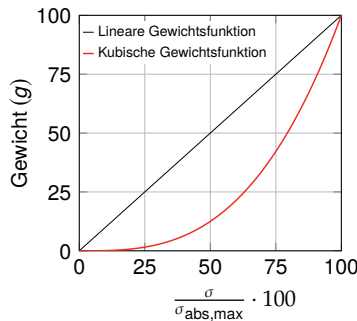


Abb. 5.16: Vergleich der kubischen Gewichtungsfunktion von Gleichung (5.12) zu einer linearen Funktion (für ein Via). Der kubische Anteil sorgt für eine stärkere Wichtung der hohen Stresswerte.

ILP-Formulierung

Ist der Abhängigkeitsgraph vollständig konstruiert, kann das Problem in eine ganzzahlige, lineare Optimierung (engl. integer linear programming, ILP) mit booleschen Werten übertragen werden. Die Zielfunktion (z) ist dabei die Minimierung der gesamten Via-Belastung im Layout, welche wie folgt ausgewiesen werden kann:

$$\text{Minimierung: } z = \sum_i g_i k_i \quad | \quad \forall i \in \text{Knoten}, \quad k_i \in \{0, 1\}, \quad (5.13)$$

wobei g_i das Gewicht des Knoten i ist und k_i dessen Benutzung angibt.

Die inneren Kanten aus dem Graphen werden durch Randbedingungen ausgedrückt, welche vorgeben, dass mindestens ein Knoten für ein Ausgangsvia auszuwählen ist, welcher sich im Netzwerk der inneren Kanten befindet:

$$\sum_i k_i \geq 1 \quad | \quad \forall i \in K, \quad (5.14)$$

wobei K alle Knoten der inneren Kanten für ein Ausgangsvia repräsentiert.

Die Randbedingungen für die äußeren Kanten geben vor, dass maximal ein Knoten dieser Kanten eingesetzt werden kann:

$$k_i + k_j \leq 1 \quad | \quad \forall i, j \in K, \quad (5.15)$$

wobei hier k für die Knoten der äußeren Kanten steht.

5.5.3 Ergebnisse

Abbildung 5.17a enthält ein einfaches Layoutbeispiel, welches das hier entwickelte Einsetzen von redundanten Vias mit EM-Berücksichtigung zeigt. Bei diesem Beispiel ist die Via-Belastung besonders hoch an Via 1, sodass das redundante Via im Süden von Via 1 den redundanten Vias im Osten und Westen von Via 2 und 3 vorzuziehen ist. Dieses Ergebnis unterstreicht erneut die stärkere Wichtung von hohen Stresswerten durch die dritte Potenz in der Gewichtsfunktion.

Eine lineare Funktion, wie beispielsweise die Via-Belastung, hätte hier für eine ausgeglichene Wichtung zwischen dem redundanten Via im Süden von Via 1 und den beiden Vias im Osten und Westen von Via 2 und 3 geführt, sodass nicht zwangsläufig Via 1 ein redundantes Via bekommen hätte.

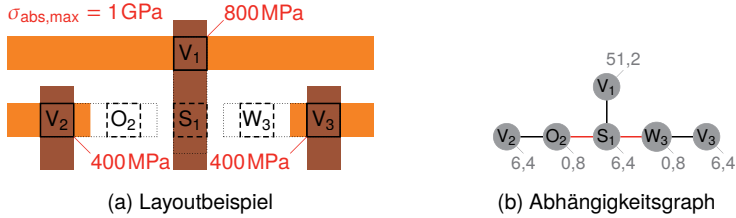


Abb. 5.17: (a) Ergebnis für ein Layoutbeispiel für das hier entwickelte Einsetzen von redundanten Vias mit Berücksichtigung der EM. (b) Abhängigkeitsgraph für die verschiedenen Möglichkeiten der redundanten Vias mit den inneren und äußeren Kanten in schwarz und rot. An jedem Knoten sind die Gewichte in grau annotiert (Beispiel: $g_{S_1} = \frac{80^2}{10000} \cdot \frac{1}{2}$).

Die Zielfunktion (z) und Randbedingungen der Optimierung lauten für den Graph aus Abb. 5.17 wie folgt:

Minimierung:

$$z = g_{V_1}k_{V_1} + g_{S_1}k_{S_1} + g_{V_2}k_{V_2} + g_{O_2}k_{O_2} + g_{V_3}k_{V_3} + g_{W_3}k_{W_3} \quad (5.16)$$

Randbedingungen:

$$k_{V_1} + k_{S_1} \geq 1, \quad k_{V_2} + k_{O_2} \geq 1, \quad k_{V_3} + k_{W_3} \geq 1 \quad (5.17)$$

$$k_{S_1} + k_{O_2} \leq 1, \quad k_{S_1} + k_{W_3} \leq 1 \quad (5.18)$$

Das Ergebnis der ILP-Optimierung für das Beispiel aus Abb. 5.17 und den dazugehörigen Gleichungen ist die Benutzung der Knoten k_{S_1} , k_{V_2} und k_{V_3} , sodass sich für die Zielfunktion ein Wert von 19,2 ergibt. Die mittlere und maximale Via-Belastung beträgt hier jeweils 40 % des absoluten Stressmaximums.

5.6 Begrenzung der Leiterbahnlänge

5.6.1 Ansatz

Eine vielversprechende Maßnahmen zur Reduzierung der EM-Auswirkungen ist die Begrenzung der Leiterbahnlänge. Wie bereits in Abschnitt 2.3.3 gezeigt, beeinflusst die Länge einer Leiterbahn entscheidend den maximalen Stress. Dabei gilt, dass je länger die Leiterbahn innerhalb einer Verdrahtungsebene ist, desto höher wird der Stress. Mit Zunahme des maximalen Stresses wird es immer wahrscheinlicher, dass der statische Zustand nicht mehr erreicht wird, da die Leiterbahn vorher ausfällt.

Die EM-relevante Leiterbahnlänge ist die zurückgelegte Distanz der Elektroden zwischen zwei Migrationsbarrieren innerhalb einer Verdrahtungsebene. Jeder Ebenenwechsel begrenzt diese Länge und somit auch die Auswirkungen der EM. Wie in Abschnitt 2.3.3 beschrieben, ist eine Leiterbahn EM-robust, wenn ihre Stromdichte und Leiterbahnlänge zu einem maximalen Stress im statischen Zustand führen, welcher geringer als der Grenzwert für Fehlstellen oder Anhäufungen ist.

Eine vollständige Kompensation von EM erfolgt, wenn die Leiterbahnlänge unterhalb der von der Stromdichte abhängigen Blech-Länge liegt. Die Blech-Länge bzw. das Blech-Produkt sind bevorzugt experimentell zu ermitteln, da diese Werte stark von der jeweiligen Technologie abhängen können.

Im Gleichungssystem der Methode von Sun kann man einen linearen Einfluss der Leiterbahnlänge auf den absoluten, maximalen Stress einer geraden Leiterbahn erkennen (vgl. Abschnitt 2.3.4 oder [Sun+18]). Das heißt, eine Halbierung der Leiterbahnlänge verringert auch den Stress um die Hälfte.

Der Ansatz dieser Arbeit zur effektiven Anwendung des Längeneffektes ist ein gezieltes Verkürzen der Leiterbahnlänge durch Ebenenwechsel, sodass die Verdrahtbarkeit weiterhin gewährleistet und eine EM-Kompensierung für die Zukunft geschaffen wird. Damit soll lediglich die Länge von EM-relevanten Leiterbahnen begrenzt werden, um möglichst wenig zusätzliche Verdrahtungsressourcen zu benötigen.

5.6.2 Ergebnisse

Abbildung 5.18 zeigt ein Beispiel, in dem ein Anpassen der Leiterbahnlängen auf den verschiedenen Verdrahtungsebenen zu einem Angleichen der Stressverläufe je Leiterbahn führt. Somit erhöht sich die EM-Robustheit des Netzes und damit auch die Zuverlässigkeit.

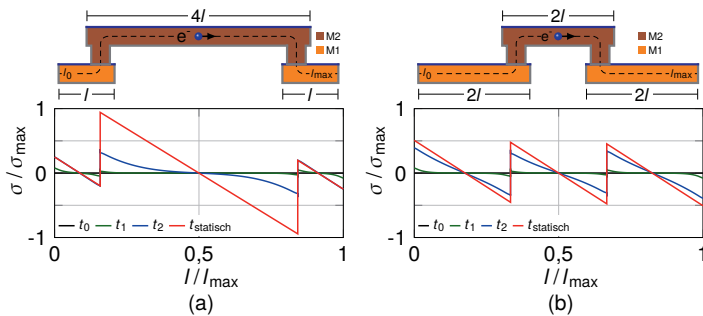


Abb. 5.18: Das Ergebnis in (a) weist durch die unterschiedlichen Längen (l) einen höheren Stress (σ) auf als der ausgeglichene Verlauf in (b). Die Stressverläufe entstehen entlang der gestrichelten Linien und sind auf den Maximalwert normiert [Big+18b].

Das Beispiel in Abb. 5.19 enthält eine Variante, bei der eine Leiterbahn durch vier eingebrachte Ebenenwechsel EM-robust gestaltet wird. Durch die Verkürzung deren Länge bleibt der Stress unterhalb der Grenzwerte. Nachteilig dabei ist jedoch, dass die Verdrahtungslänge, Kapazitäten und Widerstände des Netzes vergrößert werden. Das kann dazu führen, dass sich das Zeitverhalten des Netzes verschlechtert. Der Verbrauch von zusätzlichen Verdrahtungsressourcen kann außerdem im schlechtesten Falle zu einer Unverdrahtbarkeit des Layouts führen. Ebenfalls ungünstig sind zusätzliche Vias, da diese ein Unsicherheitsfaktor im Layout darstellen. Bereits ein kleiner Versatz in der Herstellung würde eine Verringerung der Querschnittsfläche bedeuten, welcher wiederum den Widerstand und die Stromdichte ansteigen lässt und damit die EM-Gefahr erhöht. Redundante Vias können diesen Nachteil kompensieren (vgl. Abschnitt 5.5), benötigen jedoch erneut zusätzliche Ressourcen.

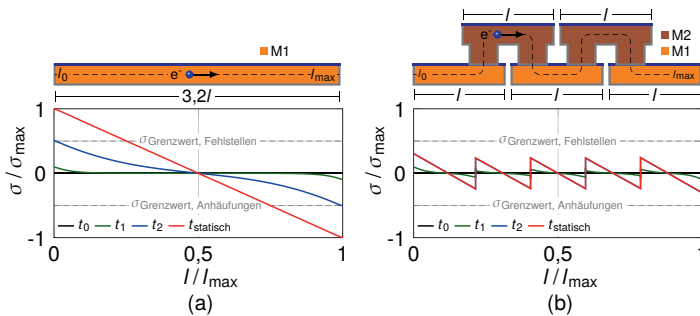


Abb. 5.19: Reduzierung der Leiterbahnlänge von (a) durch zusätzliche Ebenenwechsel in (b). Dadurch lässt sich der Stress unterhalb der Grenzwerte halten, sodass diese Leiterbahnen EM-robust sind [Big+18b].

5.7 Verbreiterung des Leiterbahnquerschnittes

5.7.1 Ansatz

Im digitalen Layoutentwurf werden die Signalleitungen oft mit minimaler Breite und Abstand zueinander realisiert, sodass eine Leiterbahn-Verbreiterung mehrere Verdrahtungsspuren blockiert (Abb. 5.20). Aus diesem Grund ist es empfehlenswert, Verbreiterungen lediglich an EM-kritischen Stellen einzubringen, um eine Blockade von Verdrahtungsressourcen zu vermeiden.

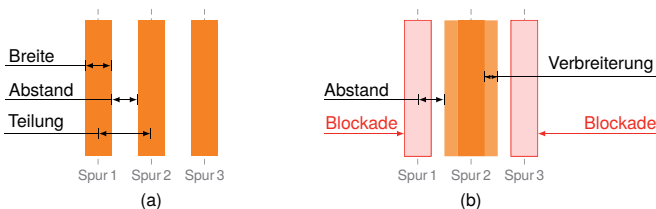


Abb. 5.20: (a) Minimale Abstände und Breiten passen in die Verdrahtungsspuren. (b) Leiterbahn-Verbreiterungen führen zu Blockaden von benachbarten Spuren.

Der Ansatz für die Reduzierung von EM durch Leiterbahn-Verbreiterungen ist die Senkung der Stromdichte und somit auch des EM-induzierten Stresses. In Abb. 5.21 ist zu erkennen, dass die Verdoppelung der Leiterbahnbreite den Stress halbiert. Interessant hierbei ist, dass sich der maximale Stress trotz der unveränderten Stromdichte in den Vias absenkt. Möchte man die Stromdichte innerhalb der Vias ebenfalls absenken, muss man besonders breite oder mehrere Vias einsetzen, welche in vielen Technologien bereits zur Verfügung stehen. Abbildung 5.21 zeigt auch, dass die Verbreiterung der Leiterbahn die zeitliche Entwicklung des Stresses verlangsamt.

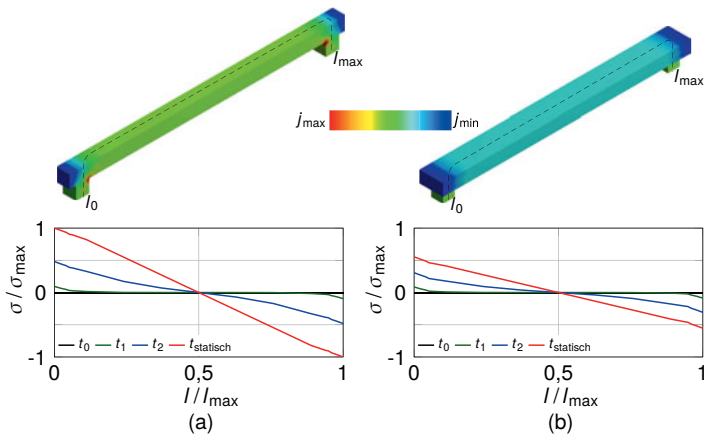


Abb. 5.21: In (a) und (b) sind die Stromdichte und der Stress einer Leiterbahn mit einfacher und doppelter Breite gezeigt. In (b) reduziert sich die Stromdichte und der Stress baut sich nicht nur langsamer auf, sondern stoppt deutlich früher als in (a).

Möchte man den positiven Effekt einer verbreiterten Leiterbahn, ohne den Nachteil der Blockierung von Verdrahtungsressourcen, ausnutzen, muss man die EM-relevanten Leiterbahnen auf höhere Verdrahtungsebenen verschieben. In den bestehenden Technologien existieren üblicherweise unterschiedliche Leiterbahndimensionen pro Verdrahtungsebene, wobei sich in der Regel die Leiterbahnquerschnitte mit dem Abstand zu den Standardzellen vergrößern.

Tabelle 5.1 enthält beispielhaft die verschiedenen Leiterbahnquerschnitte der 14-nm-Technologie von Intel [Fis+15]. Oftmals werden die niedrigen Ebenen für kurze und die höheren für lange Verbindungen genutzt. Die obersten Ebenen sind für die Versorgungsnetze vorgesehen und besitzen deshalb die größten Dimensionen. Durch die verschiedenen Anwendungsgebiete einer Technologie existieren meist mehrere Konfigurationen des sogenannten Leiterbahnstapels (engl. metal stacks). Diese unterscheiden sich in der Ebenenanzahl und in der Vielfalt der Abmessungen. Meist bestimmt die jeweilige Anwendung den zum Einsatz kommenden Leiterbahnstapel.

Tab. 5.1: Dicke (d), Breite (b), Aspekt-Verhältnis (AV) und Querschnittsfläche (A) der Leiterbahnen in der 14-nm Technologie von Intel [Fis+15].

Ebene	d in nm	b in nm	$AV = d/b$	A in nm ²
1	40	28	1,4	1120
2	42	35	1,2	1470
3	40	26	1,5	1040
4	37	28	1,3	1036
5	75	40	1,9	3000
6	110	50	2,2	5500
7	180	80	2,3	14400
8	200	80	2,5	16000
9	200	80	2,5	16000
10	260	126	2,1	32760
11	375	126	3,0	47250
12	1080	540	2,0	583200

5.7.2 Ergebnisse

Das Potenzial der Maßnahme von breiteren Querschnittsflächen in den Leiterbahnen ist hier an einem unspezifischen Stapel von Verdrahtungsebenen analysiert, sodass die Ergebnisse unabhängig von einer Technologie sind. Als Untersuchungsbeispiel dienen die in Abb. 5.22 gezeigten Leiterbahndimensionen, welche sich an [Tat18] orientieren.

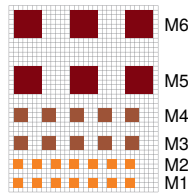


Abb. 5.22: Beispiel eines unspezifischen Leiterbahnstapels, welches die Querschnittsflächen der Leiterbahnen je Verdrahtungsebene zeigt (nach [Tat18]).

Die Reduzierung des EM-induzierten Stresses durch eine Verschiebung von stark belasteten Leiterbahnen auf höhere Verdrahtungsebenen mit größeren Abmessungen ist näher in Abb. 5.23 untersucht. In diesem Beispiel ist die längste

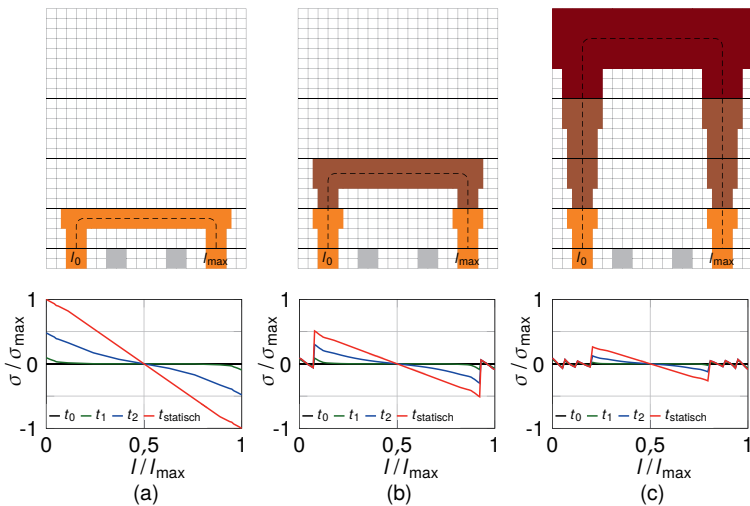


Abb. 5.23: In (a), (b) und (c) ist die längste Leiterbahn entsprechend auf der zweiten, dritten und fünften Verdrahtungsebene realisiert. Beim Vergleich fällt auf, dass sich der Stress von (a) zu (b) und von (b) zu (c) jeweils annähernd halbiert. Anhand der zeitlichen Stressentwicklung kann man außerdem erkennen, dass sich dieser mit der Verschiebung der Leiterbahn in höhere Ebenen langsamer aufbaut [Big+18b].

Leiterbahn des Netzes auf der zweiten, dritten und fünften Verdrahtungsebene positioniert, sodass drei verschiedene Querschnitte zur Verfügung stehen. Dabei ist zu erkennen, dass ein Verschieben dieser Leiterbahn auf die höheren Ebenen eine deutliche Reduzierung des Stresses ermöglicht. Jedoch muss man dafür mehr Verdrahtungsressourcen in Form von Vias und Leiterbahnen investieren, sodass man diese Maßnahme auch nur gezielt für EM-relevante Leiterbahnen einsetzen sollte. Zusammengefasst kann man sagen, dass Abb. 5.23 deutlich das Potenzial der Verschiebung von EM-relevanten Leiterbahnen auf höhere Verdrahtungsebenen belegt, da dadurch die Stromdichte und der EM-induzierte Stress verringert werden.

5.8 Ausnutzung von Via-Below-Konfigurationen

In den heutigen Leiterbahnen aus dem Dual-Damaszene-Prozess (DDP) verläuft, wie in Abschnitt 2.1.2 beschrieben, der Hauptdiffusionspfad der Atome entlang der Leiterbahnoberfläche bzw. zwischen Deckschicht und Leiterbahn. Der ebenfalls erwähnte Vorteil der höheren Lebenszeit von Via-Below-Konfigurationen kann jedoch verschwinden, wenn die Fehlstellen vermehrt in der Leiterbahnmittel liegen. Die Autoren von [LCH90] zeigten bereits, dass dieser Fall bei Belastungen mit Wechselstrom eintreten kann. Damit verfehlt diese Maßnahme ihre EM-kompensierende Wirkung in den Signalleitungen und deshalb wird hier auf deren Verwendung verzichtet.

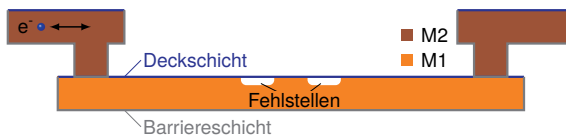


Abb. 5.24: Die Fehlstellen können bei einer Wechselstrombelastung in der Mitte der Leiterbahn liegen [LCH90]. In diesem Fall fehlt der EM-Vorteil einer Via-Below-Konfiguration gegenüber einer Via-Above-Konfiguration in den Signalleitungen [Big+18b].

5.9 Einbringung von Lower-Lead-Konfigurationen

Wie in Abschnitt 2.4.4 diskutiert, können Lower-Lead-Konfigurationen dafür sorgen, dass die Zuverlässigkeit der Netze erhöht wird, indem sie zusätzliche Diffusionsbarrieren in den Hauptdiffusionspfad der Atome einbringen. Bei dieser Maßnahme ist jedoch ungeklärt, ob die Atome der zusätzlichen Diffusionsbarriere in den Lower-Lead-Konfigurationen ausweichen und sich dadurch die Migration innerhalb der Leiterbahn verstärkt. Außerdem beschränkt sich die Nutzungsmöglichkeit auf ein Netz mit mehr als zwei Pins und zusätzlich muss eine EM-relevante Leiterbahn durch ein drittes Via kontaktiert sein.

Um die Nutzbarkeit dieses Effektes zu erhöhen, könnten Blind-Vias² auf EM-relevante Leiterbahnen eingesetzt werden, welche diese von oben kontaktieren und somit zusätzliche Barriereschichten einbringen (Abb. 5.25). Jedoch kann sich durch das zusätzliche Einbringen dieser Vias die Signalintegrität verschlechtern, sodass man dafür eventuell eine Kompensationsmöglichkeit benötigt.

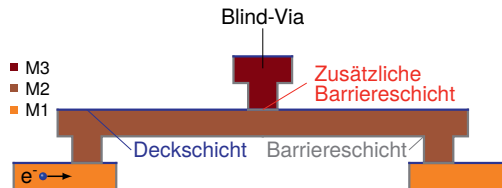


Abb. 5.25: Einsatz eines Blind-Vias, um den Hauptdiffusionspfad mit einer zusätzlichen Barriereschicht zu unterbrechen und somit eine ähnlich hohe EM-Robustheit wie die der Lower-Lead-Konfiguration zu erzielen.

Es ist erkennbar, dass die Möglichkeiten zur Ausnutzung dieses Effektes geringer einzuschätzen sind als die zuvor vorgestellten Maßnahmen. Außerdem kann die EM-Kompensationswirkung nicht mit denen der anderen Maßnahmen verglichen werden, da ungewiss ist, ob sich die Migration durch die zusätzliche Diffusionsbarriere entlang der restlichen Diffusionspfade verstärkt. Aus diesen Gründen wird hier von der Verwendung dieser Maßnahme abgesehen.

²Via ohne elektrischen Kontakt.

5.10 Zusammenfassung

Für die Verdrahtung der Signalleitungen von digitalen ICs stehen verschiedene EM-Maßnahmen zur Verfügung, welche bis auf die Änderung der Netzreihenfolge versuchen, entweder die Stromdichte oder die Leiterbahnlänge zu reduzieren, um dadurch eine Senkung des EM-induzierten Stresses hervorzurufen.

Die Änderung der Netzreihenfolge zur Berücksichtigung der EM kann die verfügbaren Verdrahtungsressourcen für EM-relevante Netze verbessern. Dazu muss die Verdrahtung abgeschätzt, die EM-Gefahr daraus abgeleitet und die Reihenfolge der Netze anhand der Gefahr vorgegeben werden.

Die Verbesserung der Netztopologie zielt auf die Reduzierung der maximalen Stromdichte und damit den EM-induzierten Stress innerhalb des Netzes ab, indem diese Maßnahme unabhängige Pfade für die einzelnen Ströme findet.

Der Stressverlauf der Leiterbahnen kann sich in Abhängigkeit von der Lage und Länge der eingebrachten Reservoirs verändern. Reservoirs können zum Angleichen der Absolutwerte von Zug- und Druckstress eingesetzt werden, sodass dadurch der dominierende Stress reduziert und gleichzeitig die EM-Gefahr herabgesetzt wird.

Redundante Vias reduzieren die EM-Gefahr, wenn beim Einsetzen die Belastungen der existierenden Vias und Leiterbahnen berücksichtigt werden.

Das Einbringen von zusätzlichen Ebenenwechsel kann direkt die EM-relevante Leiterbahnlänge begrenzen und damit den EM-induzierten Stress reduzieren.

Eine Verbreiterung der Leiterbahn senkt die Stromdichte und damit den EM-induzierten Stress. Zum Ausnutzen dieser Maßnahme können EM-kritische Leiterbahnen auf höhere Verdrahtungsebenen mit größeren Querschnitten verschoben werden, sodass die zusätzlichen Verdrahtungsressourcen minimiert werden.

Zusammengefasst enthält dieses Kapitel Gegenmaßnahmen, welche die EM-Robustheit eines Layouts durch eine angepasste Verdrahtung erhöhen können. Diese EM-kompensierenden Maßnahmen benötigen oftmals zusätzliche Verdrahtungsressourcen, sodass sie gezielt für EM-relevante Leiterbahnen einzusetzen sind.

KAPITEL 6

EM-robuste Verdrahtung

In diesem Kapitel wird eine angepasste Verdrahtung entwickelt, welche die Robustheit eines Layouts gegenüber Elektromigration (EM) erhöht, indem es die vorgestellten EM-Analysen und -Maßnahmen aus Kapitel 4 und 5 einsetzt. Im Mittelpunkt stehen die Anpassungen des aktuellen Layoutentwurfs, sodass neben der Layoutanalyse auch eine EM-robuste Detailverdrahtung zum Einsatz kommt. Die Detailverdrahtung setzt wiederum die vorgestellten Gegenmaßnahmen ein, sodass die Robustheit der Leiterbahnen und Vias gezielt verbessert wird.

Der allgemeine Aufbau der EM-robusten Detailverdrahtung ist Gegenstand des ersten Teils. Im zweiten Teil stehen sowohl die Integrierung der einzelnen EM-Maßnahmen in die Detailverdrahtung im Vordergrund als auch die damit erzielten Ergebnisse. Die Erhöhung der EM-Robustheit im Layout wird an verschiedenen Benchmarks verifiziert und miteinander verglichen, sodass die Stärken und Schwächen der einzelnen Gegenmaßnahmen bewertbar sind.

Teile dieses Kapitels sind in [BL16b], [BL18] und [Big+18b] veröffentlicht.

6.1 Schritte der EM-robusten Verdrahtung

Die hier entwickelte EM-robuste Verdrahtung baut auf die etablierte Trennung zwischen Global- und Detailverdrahtung auf, wobei lediglich der Ablauf der Detailverdrahtung zur Berücksichtigung der EM verändert wird (Abb. 6.1). Das hat den Vorteil, dass der Entwurfsablauf lediglich am Detailverdrahtungsschritt verändert werden muss. Die Schnittstellen zwischen Global- und Detailverdrahtung können somit bestehen bleiben.

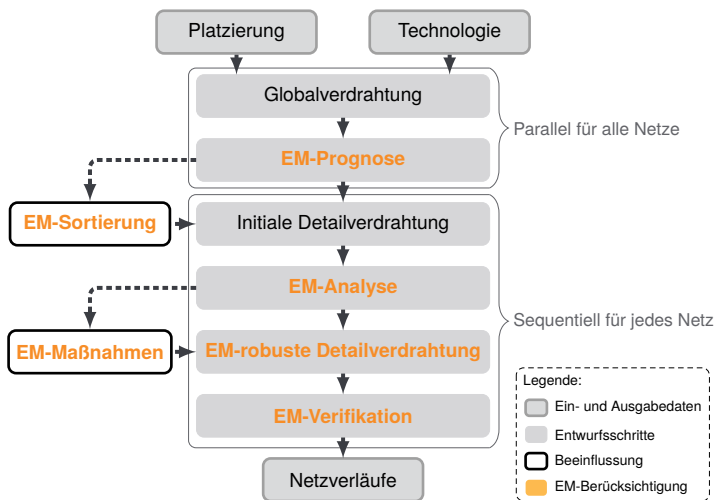


Abb. 6.1: Änderungen des Verdrahtungsablaufs zur EM-Berücksichtigung. Mehrere Schritte wie die EM-Prognose, EM-Analyse oder EM-robuste Detailverdrahtung sind hinzugefügt. Zusätzlich beeinflusst die EM-Sortierung die Verdrahtungsreihenfolge und die EM-Maßnahmen die Detailverdrahtung.

Ausgangspunkt für die Verdrahtung sind die Platzierungs- und Technologiedaten, welche zu Beginn an die Globalverdrahtung übergeben werden. Diese ermittelt, wie in Abschnitt 2.5.1 beschrieben, eine Verdrahtungsregion für jedes Netz, welche die Verdrahtbarkeit des Layouts optimiert und den Lösungsraum des Detailverdrahters einschränkt.

Nachdem die Globalverdrahtung abgeschlossen ist, erfolgt eine erste EM-Berücksichtigung im Prognoseschritt, welcher die Reihenfolge der Netze entsprechend ihrer EM-Gefahr ermittelt (vgl. Abschnitt 5.2). Anhand dieser Reihenfolge erfolgt die sequentielle Verdrahtung der Netze, sodass möglichst viele Verdrahtungsressourcen für die kritischsten Netze zur Verfügung stehen.

Nach der Festlegung der Reihenfolge erfolgt die initiale Detailverdrahtung, welche einen gültigen Netzverlauf ohne EM-Berücksichtigung ermittelt. Die anschließende EM-Analyse untersucht diesen Verlauf bezüglich der hydrostatischen mechanischen Spannung (engl. hydrostatic stress, kurz: Stress, σ) in den Leiterbahnen und vergleicht die Ergebnisse mit dem absoluten Stressmaximum im Layout. Findet die Analyse Leiterbahnen, welche über 90 % des Stressmaximums im Layout liegen, wird in der EM-robusten Detailverdrahtung versucht, diese Leiterbahnen durch den Einsatz von Gegenmaßnahmen zu entlasten. Der Grenzwert von 90 % fängt Unsicherheiten der Analyse ab und eliminiert Leiterbahnen, welche nahe am absoluten Stressmaximum des Layouts liegen. Abschließend wird die Verringerung des Stresses im Verifikationsschritt erneut analysiert und wenn notwendig werden die Schritte wiederholt.

Der Grund für die Existenz einer initialen Verdrahtung ist die Annahme, dass nur wenige Leiterbahnen im Netzverlauf wirklich kritisch sind. Das heißt, dass man die Ergebnisse der initialen Verdrahtung größtenteils übernehmen kann und nur teilweise eine EM-robuste Detailverdrahtung ausführen muss. Damit spart dieses Vorgehen vor allem Verdrahtungsressourcen, welche kritisch für eine erfolgreiche Verdrahtung sind.

6.2 Aufbau einer EM-robusten Detailverdrahtung

Aufgrund der unterschiedlichen Ansätze der vorgestellten EM-Maßnahmen benötigt eine EM-robuste Detailverdrahtung einen möglichst flexiblen Lösungsalgorithmus, welcher sich auf verschiedene Ziele zur Laufzeit einstellen kann. Dieses Maß an Flexibilität ist oft nicht über die Schnittstellen der kommerziellen Verdrahter zu erzielen, sodass hier ein eigener Ansatz zur Umsetzung eines Detailverdrahters realisiert wird.

Die Basis des hier entwickelten Ansatzes bildet eine C++-Implementierung, welche externe Bibliotheken einbindet. Eine dieser Hilfen ist der Parser von [LD-SI2], welcher zum Einlesen und Herausschreiben der Layoutdaten genutzt wird. Außerdem kommt die boost-Bibliothek zum Einsatz, welche wichtige Grundfunktionen zur Verfügung stellt [Boo17]. Beispielsweise wird die boost::adjacency_list-Bibliothek für einige Graphen benutzt. Außerdem erfolgt die Aufbereitung der Layoutgeometrien mit der boost::polygon-Programmierschnittstelle, welche Funktionen zur Berechnung von geometrischen Operationen bereitstellt. Für effiziente geometrische Abfragen bietet sich zusätzlich der Einsatz der boost::rtree-Bibliothek an.

6.2.1 Auswahl des Verdrahtungskonzeptes

Das hier ausgewählte Verdrahtungskonzept basiert auf einem sequentiellen Rasterverdrahter, welcher mittels Wegsuchealgorithms die Netzverläufe in einem Graphen ermittelt. Der Vorteil dieses Konzeptes ist die gute Anpassungsfähigkeit beispielsweise durch eine dynamische Veränderung des Graphens oder der Kostenfunktion. Oftmals kann man bei einer sequentiellen Verdrahtung keine optimale Verdrahtungsreihenfolge festlegen. Dieser Nachteil verschwindet jedoch durch die EM-Berücksichtigung, weil dadurch die gewünschte Netzreihenfolge anhand der EM-Gefahr ermittelbar ist. Das bedeutet, der sequentielle Ansatz kann ein Vorteil für eine EM-robuste Detailverdrahtung sein, da für kritische Netze deutlich mehr Verdrahtungsressourcen zur Verfügung stehen.

Ein Rasterverdrahter ermöglicht ebenfalls eine größere Variabilität in der Lösungsfindung als beispielsweise ein Linienverdrahter, sodass die Umsetzung der einzelnen EM-Maßnahmen unterstützt wird. Außerdem sorgt die weite Verbreitung der Rasterverdrahter dafür, dass die hier gefundenen Implementierungslösungen leicht in anderen Verdrahtern umsetzbar sind.

6.2.2 Ermittlung der Verdrahtungsressourcen

Ein wichtiger Schritt beim Detailverdrahten ist die Ermittlung der vorhandenen Verdrahtungsressourcen. Diese ergeben sich aus den zur Verfügung stehenden

Spuren pro Verdrahtungsebene abzüglich eventueller Blockaden (Abb. 6.2). Blockaden können beispielsweise vordefinierte Funktionsblöcke (Macroblöcke) sein, welche eine Verdrahtung teilweise untersagen. Außerdem besitzt jede Verdrahtungsebene eine Vorzugsrichtung, sodass die Leiterbahnen nur im Einzelfall entgegen der Vorzugsrichtung verlaufen dürfen.

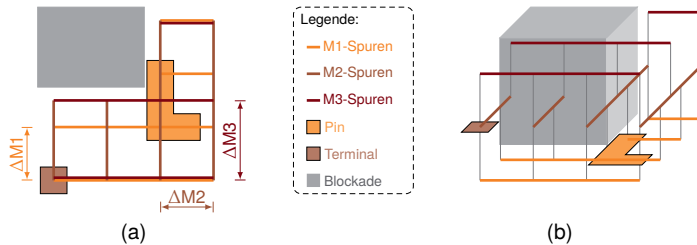


Abb. 6.2: Die Verdrahtungsressourcen ergeben sich aus den einzelnen Spuren auf den Verdrahtungsebenen abzüglich eventueller Blockaden. In (a) sind die Verdrahtungsressourcen zweidimensional und in (b) dreidimensional aufgezeigt. Pins sind Kontaktflächen einer Standardzelle und Terminals Außenanschlüsse des Chips.

Die Verdrahtung stellt letztendlich eine elektrische Verbindung zwischen den Kontaktflächen der Standardzellen (Pins) und den Außenanschlüssen des Chips (Terminals), durch die partielle Belegung der Spuren mit Leiterbahnen und Vias, her. Beim horizontalen Bewegen innerhalb einer Ebene werden Leiterbahnen und beim vertikalen Wechsel zwischen zwei Ebenen Vias verwendet.

6.2.3 Abbildung des Detailverdrahtungsgraphen

Die Abbildung der Verdrahtungsressourcen erfolgt in dieser Arbeit in einem Detailverdrahtungsgraphen, welcher unterschiedliche Spurenabstände auf den einzelnen Ebenen ermöglicht (Abb. 6.3). Die Knoten im Graphen repräsentieren dabei Punkte im Layout, in denen sich zwei Spuren von benachbarten Ebenen virtuell kreuzen. Für diese Kreuzungen entstehen auf den beteiligten Ebenen ein Knoten mit einem eindeutigen Knotenindex (K) und einer vertikalen Kante. Außerdem ist in jedem Knoten der Unterschied zwischen den Indizes zum

darüber- und darunterliegenden Nachbarn gespeichert (siehe beispielsweise Knoten 15 in Abb. 6.3b). Das Fehlen eines Nachbarknotens wird durch den Wert Null ausgedrückt. Zusätzlich wird beim hier entwickelten Detailverdrahtungsgraph implizit davon ausgegangen, dass alle horizontalen Kanten zwischen benachbarten Knoten existieren, solange sie nicht explizit in einer separaten Schlüssel-Wert-Paar-Liste ausgeschlossen sind.

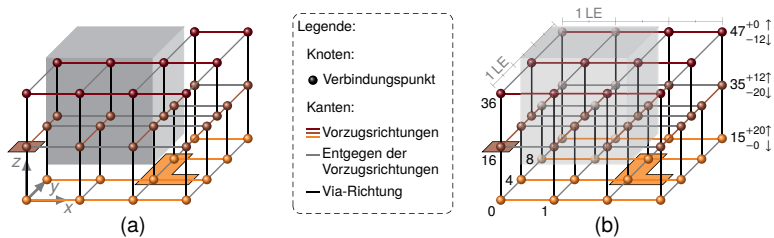


Abb. 6.3: (a) Abbildung der Verdrahtungsressourcen durch Knoten und Kanten im Detailverdrahtungsgraphen. Knoten entstehen an virtuellen Kreuzungen zweier Spuren auf beiden Ebenen und Kanten zwischen benachbarten Knoten. (b) Jeder Knoten speichert seinen Index und die Deltas zu den darüber- und darunterliegenden Nachbarn (gezeigt an Knoten 15, 35 und 47).

Die horizontale Navigation im Graphen in x -Richtung erfolgt durch ein In- und Dekrementieren des Indexes. Den Knoten in positiver und negativer y -Richtung erreicht man durch eine Erhöhung bzw. Verringerung des Indexes mit der maximalen Anzahl an Knoten auf einer Spur in der jeweiligen Ebene. Die vertikale Navigation erfolgt durch die Addition des Indexes mit den im Knoten gespeicherten Deltas.

Der Detailverdrahtungsgraph kann aufgrund der Größe eines Layouts mehrere Gigabyte an Arbeitsspeicher einnehmen. Zur Reduzierung des Speicherbedarfs werden die Knotenreferenzen und -instanzen in zwei verschiedenen Vektoren gespeichert (Abb. 6.4). Der Referenzvektor enthält für jeden möglichen Knoten eine Referenz an der Position seines Knotenindex (K), welche auf die Instanz im Instanzvektor zeigt. Ein ungültiger Eintrag im Referenzvektor bedeutet, dass der Knoten nicht existiert und somit kein Eintrag im Instanzvektor

vorhanden ist (siehe beispielsweise Knoten 8 in Abb. 6.4). Man spart mit dieser Methode Arbeitsspeicher, weil eine Instanz dreimal mehr Speicher benötigt als eine Referenz und viele Knoten aufgrund von Blockaden nicht instanziiert werden. Weiterhin spart die implizite Annahme aller horizontalen Kanten zwischen existierenden Knoten Arbeitsspeicher, da deutlich mehr horizontale Kanten vorhanden sind als explizit verboten werden.

$$\begin{array}{l} \text{Referenzen} = \{ K_0, K_1, K_2, K_3, K_4, K_5, K_6, K_7, \textcolor{red}{K_8}, \textcolor{red}{K_9}, K_{10}, K_{11}, \dots \} \\ \text{Instanzen} = \{ I_0, I_1, I_2, I_3, I_4, I_5, I_6, I_7, I_{10}, I_{11}, \dots \} \end{array}$$

Abb. 6.4: Unterscheidung zwischen den theoretisch möglichen Knoten im Referenzvektor und den tatsächlich existierenden Knoten im Instanzvektor. Die Einträge 8 und 9 im Referenzvektor sind ungültig, da diese Knoten nicht existieren (instanziiert sind).

Zusätzlich zu den zwei Vektoren werden noch drei weitere Vektoren benötigt, um die Indizes zu den absoluten Positionen im Layout zuzuordnen zu können (Abb. 6.5). Die zweidimensionalen x - und y -Vektoren enthalten die absoluten x - und y -Koordinaten für jede Ebene. Der eindimensionale $startZi$ -Vektor beinhaltet die aufsteigenden Startindizes der Knoten pro Ebene.

	M1	M2	M3
$x = \{$	$\{0, 1, 2, 3\},$	$\{0, 1, 2, 3\},$	$\{0, 1, 2, 3\} \}$
$y = \{$	$\{0, 1, 2, 3\},$	$\{0, 1, 1.5, 2, 3\},$	$\{0, 1.5, 3\} \}$
$startZi = \{$	$0,$	$16,$	$36 \}$

Abb. 6.5: Zusätzliche Vektoren des Detailverdrahtungsgraphen, um die Knotenindizes mit den Layoutkoordinaten zu verknüpfen. Die x - und y -Vektoren enthalten die absoluten x - und y -Koordinaten und der $startZi$ -Vektor die Startindizes der Knoten pro Verdrahtungsebene (M1, M2, M3).

Zur Ermittlung der Layoutkoordinaten muss man den maximalen Wert zi im $startZi$ -Vektor finden, welcher kleiner gleich dem Knotenindex ki ist:

$$zi = \max(m \in startZi \mid m \leq ki). \quad (6.1)$$

Der ermittelte Index dieses Wertes entspricht gleichzeitig dem ersten Vektorindex des x - und y -Vektors:

$$x_{i,1} = y_{i,1} = \text{Index}(z_i). \quad (6.2)$$

Zur Ermittlung des zweiten Vektorindex muss der Knotenindex stets um den z_i -Wert reduziert werden. Der zweite Vektorindex des y -Vektors ergibt sich aus der ganzzahligen Division vom reduzierten Knotenindex mit der Anzahl an möglichen x -Koordinaten:

$$y_{i,2} = \text{Floor} \left(\frac{ki - z_i}{\text{Länge}(x[x_{i,1}])} \right). \quad (6.3)$$

Der zweite Vektorindex des x -Vektors ergibt sich aus dem Rest der ganzzahligen Division vom reduzierten Index mit der Anzahl an x -Koordinaten:

$$x_{i,2} = \text{Modulo} \left(\frac{ki - z_i}{\text{Länge}(x[x_{i,1}])} \right) \quad (6.4)$$

Die x - und y -Koordinaten ergeben sich letztendlich aus den Werten im x - und y -Vektor für die berechneten Indizes ($x[x_{i,1}][x_{i,2}]$ bzw. $y[y_{i,1}][y_{i,2}]$).

6.2.4 Zuweisung und Reservierung von Knoten

Nach dem der Detailverdrahtungsgraph vollständig konstruiert ist, bekommen einzelne Knoten eine besondere Bedeutung zugewiesen. Diese Zuweisungen sind notwendig, um beispielsweise die Pins und Terminals eines Netzes im Detailverdrahtungsgraphen wiederzufinden. Die Speicherung dieser Zuweisung erfolgt erneut über separate Listen mit Schlüssel-Wert-Paaren, da deutlich weniger Knoten eine zusätzliche Bedeutung bekommen als im Graphen existieren.

Die Zuweisung der Pins und Terminals zu den Knoten erfolgt geometrisch (Abb. 6.6). Dazu werden die Kontaktflächen vergrößert (hier: um die Breite des Mindestabstandes), sodass auch naheliegende Knoten den Kontaktflächen zugewiesen werden. Die zugewiesenen Knoten dienen in der späteren Wagsuche als Start- und Zielknoten für die Ermittlung des Netzverlaufs.

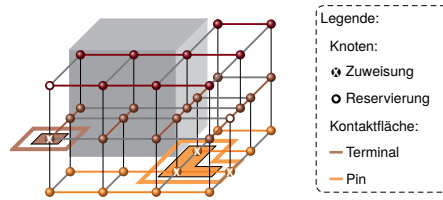


Abb. 6.6: Zuweisung (weißes Kreuz) und Reservierung (weißer Punkt) von Knoten zu den Kontaktflächen der Pins oder Terminals. Zugewiesene Knoten agieren als Start- bzw. Zielknoten für die Wertsuche. Reservierte Knoten verbessern die Erreichbarkeit.

Zusätzlich zu den Zuweisungen wird ein Knoten pro Kontaktfläche in der darüberliegenden Ebene reserviert, sodass man die Erreichbarkeit verbessert. Steht oberhalb der Kontaktfläche nur eine oder keine Ebene zur Verfügung, erfolgt die Reservierung in der darunterliegenden Ebene.

6.2.5 Wertsuche mit dem A*-Algorithmus

Die Wertsuche im Detailverdrahtungsgraphen erfolgt in dieser Arbeit mit dem A*-Algorithmus. Dieser bietet den Vorteil, dass die Kostenfunktion $f(K)$ für die Knoten (K) sich aus den bisherigen Wegkosten $g(K)$ plus den abgeschätzten Restkosten $h(K)$ zusammensetzt [HNR68]:

$$f(K) = g(K) + h(K). \quad (6.5)$$

Die Heuristik zur Abschätzung der Restkosten beeinflusst beim A*-Algorithmus die Geschwindigkeit und Ergebnisqualität. Eine Überschätzung der Restkosten führt zu einer Abnahme der untersuchten Knoten, sodass die Geschwindigkeit zunimmt und die Ergebnisqualität abnimmt [HNR68].

Wegkosten setzen sich aus den bisherigen Kosten und den Kosten für den Schritt zum nächsten Knoten zusammen. Dabei gleichen die Schrittkosten in der horizontalen Ebene der zurückgelegten Distanz. Jedoch werden sie verdreifacht, falls der Schritt entgegen der Vorzugsrichtung erfolgt. Ein vertikaler Schritt kostet

doppelt so viel wie die minimale, horizontale Distanz, sodass Vias vermieden werden, jedoch billiger sind als ein Schritt entgegen der Vorzugsrichtung.

Die Restkosten berechnen sich hier aus der Summe der Distanzen in x -, y - und z -Richtungen, wobei die horizontalen Kosten verdoppelt werden. Durch diese Verdoppelung bevorzugt die Wegsuche eine zielgerichtete Ausbreitung innerhalb einer Ebene, sodass Ebenenwechsel ungünstig erscheinen. Diese Überschätzung der Restkosten resultiert aus einem empirisch ermittelten Kompromiss zwischen Laufzeit und Ergebnisqualität.

Bei der Wegsuche für ein Mehr-Pin-Netz werden die bereits gefundenen Wege als alternative Ziele bereitgestellt. Die Abschätzung der Restkosten erfolgt deshalb zum nächstgelegenen Knoten, sodass auch eine Anbindung an eine bestehende Leiterbahn möglich wird.

Ist ein gültiger Weg für ein Netz gefunden, müssen die Leiterbahnen und Vias in der Rückverfolgung extrahiert werden. Jede Unstetigkeitsstelle des Netzverlaufes durch beispielsweise Richtungswechsel oder Vias führt zur Erzeugung einer neuen Leiterbahn. Die benutzten Knoten werden durch eine Schlüssel-Wert-Paar-Liste gespeichert, sodass sie effizient abfragbar sind. Ein Beispiel für die gefundenen Leiterbahnen und Vias ist in Abb. 6.7 gezeigt.

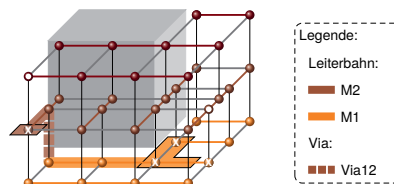


Abb. 6.7: Resultierende Leiterbahnen und Vias für die Wegsuche mit dem A*-Algorithmus und der zuvor beschriebenen Kostenfunktion.

6.2.6 Lösen von Verdrahtungskonflikten

Besonders in Regionen mit hohen Verdrahtungsdichten können Verdrahtungskonflikte zwischen den Netzen entstehen. Aus diesem Grund ist es wichtig Maßnahmen bereitzustellen, welche diese lösen können.

Jedes Netz wird im ersten Versuch mit der strikten Einhaltung der Vorzugsrichtungen verdrahtet. Schlägt diese Verdrahtung fehl, können anschließend auch Kanten entgegen der Vorzugsrichtung genutzt werden, sodass sich die Verdrahtungsressourcen erhöhen.

Führt die Wegsuche nach wie vor zu keinem Ergebnis, wird als weitere Maßnahme die globale Zelle ermittelt, in der die Suche stockt. Ist diese gleich der Start- oder Zielzelle, werden deren Nachbarn in den Suchraum mitaufgenommen. Liegt die Blockade zwischen Start und Ziel werden die Nachbarn jeder globalen Zelle in den Suchraum hinzugefügt, sodass ein großzügiger Umweg möglich ist.

Sollten der Konflikt weiterhin bestehen, werden im nächsten Schritt Netze entfernt und später neuverdrahtet (engl. rip-up and re-route). Die Basis für die Entfernung von Netzen bildet der reservierte Knoten über (bzw. unter) der Kontaktfläche. Ist dieser nicht erreichbar, wird das Netz entfernt, welches oberhalb (bzw. unterhalb) des reservierten Knotens verläuft. Nach der Entfernung wird die Reservierung nach oben (bzw. unten) ausgedehnt, sodass der Zugang zur Kontaktfläche verbessert wird. Dieses Vorgehen wird erst am Zielknoten und anschließend am Startknoten angewandt.

6.3 Integration der EM-Maßnahmen in die Detailverdrahtung

In den folgenden Abschnitten wird gezeigt, wie man die einzelnen EM-Maßnahmen aus Kapitel 5 in die hier vorgestellte Detailverdrahtung einbauen kann.

6.3.1 Änderung der Netzreihenfolge

Die Umsetzung zur Veränderung der Netzreihenfolge folgt der im Abschnitt 5.2 vorgestellten Theorie. Der hier entwickelte Detailverdrahter nutzt zur Ermittlung des rechtlinigen Steinerbaumes die weit verbreitete FLUTE-Bibliothek aus [CW08]. Dieser Bibliothek werden die Pin- und Terminal-Positionen eines Netzes übergeben, sodass man den Steinerbaum zurückbekommt.

Der erhaltene Steinerbaum wird anschließend in Leiterbahnen aufgeteilt, welche entsprechend der Vorzugsrichtungen auf der ersten oder zweiten Ebene verlaufen. Dazwischen werden Vias eingesetzt, um die elektrische Verbindung zu vervollständigen. Die nachfolgende EM-Analyse ermittelt das absolute Stressmaximum für diesen Verlauf und ordnet die Netze in absteigender Reihenfolge zur EM-Gefahr. Die ermittelte EM-Reihenfolge wird am Ende dem Detailverdrahter übergeben, sodass dieser mit den kritischsten Netzen beginnt.

6.3.2 Verbesserung der Netztopologie

Zur Verbesserung der Netztopologie wird die im Rahmen dieser Arbeit entwickelten FLUTE-EM-Bibliothek eingesetzt [BL18]. Wie bereits erwähnt, ist eine EM-robuste Netztopologie für Signalnetze die Quelle-Senke-Verbindung, da diese das Zusammenführen von verschiedenen Strömen verhindert.

Durch die Änderung der Netztopologie in Abb. 6.8 kann es notwendig sein, die vorgegebenen Regionen der Globalverdrahtung zu vernachlässigen, sodass die Verdrahtungsressourcen und -zeit ansteigen. Deshalb existiert hier eine

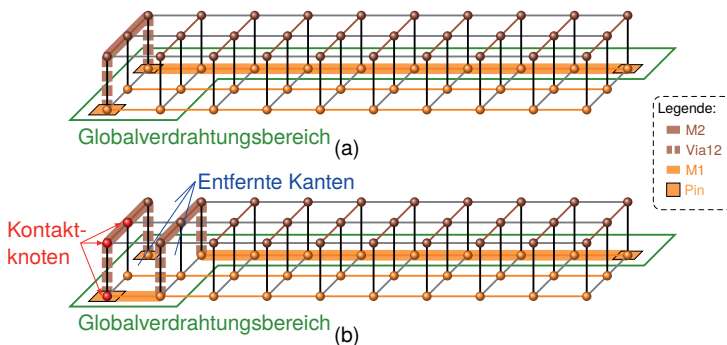


Abb. 6.8: Die Verdrahtung von (a) wird durch die Verbesserung der Netztopologie in (b) EM-robuster realisiert. Die entfernten Kanten weisen darauf hin, dass man von einer Kontaktierung der Leiterbahn an dieser Stelle absieht, sodass keine Ströme zusammengeführt werden. Eine Ausnahme sind die Kontaktknoten, welche die erhöhte Verdrahtungsdichte am Quellpin (linker, vorderer Pin) abfangen.

Abbruchbedingung in der Wegsuche, welche die Verschlechterungen der Kosten zum bereits gefundenen Minimum zählt. Sollte dieser Zähler den Wert von zehn Prozent aller Knoten überschreiten, wird die Suche abgebrochen, da sie sich über einen längeren Zeitraum vom Ziel entfernt hat.

Außerdem muss bei der Verdrahtung der Netztopologie auf die Kontaktierung von bereits gefundenen Leiterbahnen verzichtet werden, da dies erneut die Ströme zusammenführen würde. Es kann jedoch erforderlich sein, einen Teil der Knoten um die Quelle freizugeben, da dort die Anschlussdichte sehr hoch ist (vgl. linker, vorderer Pin in Abb. 6.8). In dieser Arbeit skalieren die zusätzlich freigegebenen Knoten mit der Pinanzahl eines Netzes.

6.3.3 Begrenzung der Leiterbahnlänge

Die Begrenzung der Leiterbahnlänge kann, wie in Abschnitt 4.2.6 gezeigt, den EM-induzierten Stress deutlich verringern. Um den Netzverlauf möglichst geringfügig zu verändern, werden lediglich die kritischen Leiterbahnen partiell in der Mitte aufgetrennt (Abb. 6.9). Für jede kritische Leiterbahn entstehen drei neue, deren Längen ausgeglichen sind, wenn jede Leiterbahn ungefähr ein Drittel der ursprünglich genutzten Knoten veranschlagt.

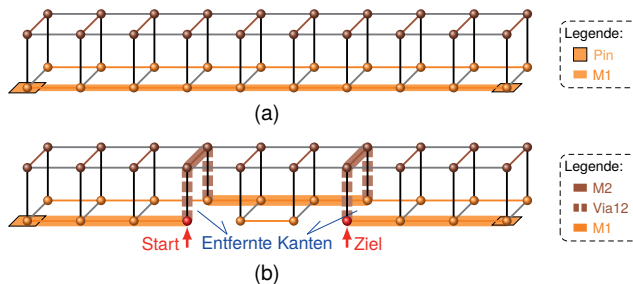


Abb. 6.9: (a) Verdrahtung mit einer langen Leiterbahn, welche zu einem hohen EM-induzierten Stress führt. (b) Durch die Entfernung des mittleren Leiterbahnabschnittes und der horizontalen Kanten am Start- und Zielknoten werden zusätzliche Ebenenwechsel erzwungen. Diese verringern die EM-relevante Leiterbahnlänge, sodass sich die EM-Robustheit erhöht.

Die Suche nach einem Start- und Zielknoten beginnt jeweils im Abstand von einem Drittel zu den Leiterbahnnenden und beinhaltet eine Abfrage zu gültigen, vertikalen Nachbarn. Ein Knoten kann nur als Start oder Ziel genutzt werden, wenn dessen darüber- oder darunterliegender Nachbar erreichbar ist. Sollte dies nicht der Fall sein, werden rekursiv die horizontalen Nachbarn des aktuell betrachteten Knotens als möglicher Start- bzw. Zielknoten geprüft.

Sind Start und Ziel gefunden, kann der Leiterbahnabschnitt dazwischen gelöscht werden. Außerdem muss man die horizontalen Kanten des Start- und Zielknotens entfernen, sodass eine erneute Wegsuche mindestens zwei Ebenenwechsel beinhaltet. Durch diese reduziert sich die EM-relevante Leiterbahnlänge und somit auch der Stress. Die Wegsuche darf dabei keine bereits verdrahteten Leiterbahnen kontaktieren, sodass die Verbindung zwischen Start und Ziel wiederhergestellt wird.

6.3.4 Verbreiterung des Leiterbahnquerschnittes

Neben der Begrenzung der Leiterbahnlänge führt auch die Reduzierung der Stromdichte zur Abschwächung der EM. Die Stromdichte kann reduziert werden, indem man, wie in Abschnitt 5.7 beschrieben, EM-relevante Leiterbahnen auf höhere Ebenen mit größeren Querschnitten verschiebt.

Zur Umsetzung dieser EM-Maßnahme werden zunächst alle Leiterbahnen gefunden, die auf derselben Ebene liegen und im direkten Kontakt zur kritischen Leiterbahn stehen. Der Grund dafür ist, dass alle diese Leiterbahnen zu verschieben sind, sodass die Leiterbahnlänge konstant bleibt und kein zusätzlicher Ebenenwechsel eingebracht wird.

Um den in Abb. 6.10 gezeigten Ebenenwechsel realisieren zu können, muss zunächst geprüft werden, ob eine höhere Ebene mit größeren Querschnitten zur Verfügung steht. Existiert eine solche Ebene, ist die Breite (b) der Leiterbahnen an die höhere Ebene anzupassen. Mit der vergrößerten Leiterbahn muss anschließend geprüft werden, ob alle Knoten auf der höheren Ebene verfügbar sind. Ist dies der Fall, kann die Leiterbahn endgültig verschoben werden.

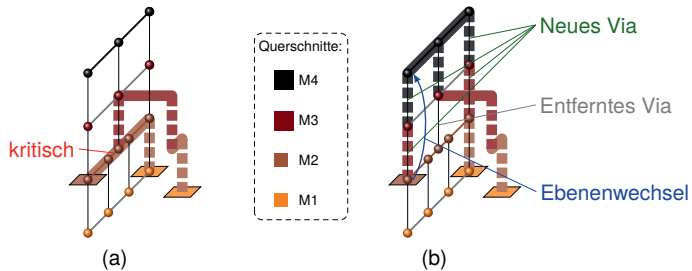


Abb. 6.10: (a) Ausgangsverlauf des Netzes mit einer EM-kritischen Leiterbahn auf M2. (b) Verschiebung der kritischen Leiterbahn von M2 auf M4, da die größere Querschnittsfläche auf M4 die Stromdichte senkt und somit auch die EM-Gefahr reduziert. Die Vias müssen teilweise angepasst werden.

Vias müssen bei dieser Gegenmaßnahme teilweise entfernt oder neu eingebracht werden (vgl. Abb. 6.10). Zur Korrektur werden alle ursprünglichen Vias mit Kontakt zur Leiterbahn nach der Verschiebung entfernt und zwischengespeichert. Anschließend wird für jedes entfernte Via geprüft, welche Ebene es neben der ursprünglichen Leiterbahnebene kontaktiert. Als nächstes muss man einen Kontakt durch Vias zwischen dieser Ebene und der neuen Leiterbahnebene herstellen. Ein ähnliches Vorgehen erfolgt auch an den Enden der Leiterbahnen, sodass die Kontakte zu Pins oder Terminals ebenfalls wiederhergestellt werden.

6.3.5 Einbringung von Reservoiren

Reservoirs können den maximalen und minimalen Stress einer Leiterbahn ausgleichen, sodass der maximale Absolutwert und damit auch die EM-Gefahr reduziert wird (vgl. Abschnitt 5.4). Beim Einsetzen der Reservoirs werden erneut zunächst alle Leiterbahnen gefunden, die auf derselben Ebene liegen und im direkten Kontakt zur kritischen Leiterbahn stehen. Anschließend werden für diesen Verbund der maximale und minimale Stress ermittelt. Das Einsetzen eines Reservoirs erfolgt, wenn die beiden Absolutwerte merklich voneinander abweichen (hier: $> 2\%$) und einer der beiden Werte kritisch ist. Sind diese

Bedingungen erfüllt, wird als Nächstes der Knoten und die Länge für das Reservoir, wie in Abschnitt 5.4 beschrieben, ermittelt. Damit ist der Startknoten bekannt und der Endknoten ist lediglich noch entsprechend der gewünschten Länge zu ermitteln.

Zur Ermittlung von möglichen Endknoten wird mehrfach vom Startknoten in alle Richtungen losgelaufen. Jede Suche kann dabei einmal eine rechtwinklige Richtungsänderung nach einer beliebigen Anzahl an Schritten ausführen (Abb. 6.11). Die maximale Anzahl der Schritte ist durch die gewünschte Reservoirlänge festgeschrieben.

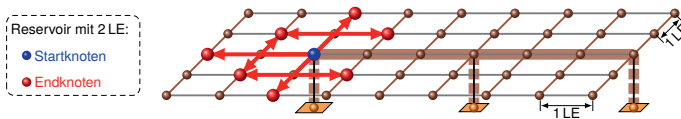


Abb. 6.11: Suche von möglichen Endknoten (rot) für ein Reservoir am Startknoten (blau), welches zwei Längeneinheiten (LE) benötigt.

Beginnt man beispielsweise die Suche mit einem Schritt nach Norden und führt direkt danach den Richtungswechsel nach Osten aus, darf man nur noch so viele Schritte nach Osten laufen, bis man die benötigte Reservoirlänge erreicht oder auf Hindernisse stößt. Beginnt man jedoch mit zwei Schritten in Richtung Norden, verkürzt sich die Suche in Richtung Osten um einen Schritt. Die Richtungen und Schrittzahlen werden dabei variiert, sodass jeder mögliche Endknoten gefunden wird.

Sind Start und Ziel bekannt, wird die Wegsuche für diese Knoten ausgeführt. Dabei sind Ebenenwechsel und bereits benutzte Knoten unzulässig, da die Suche nur freie Knoten innerhalb einer Ebene nutzen kann.

Falls die Verdrahtung für das Reservoir fehlschlägt, wird zunächst ein anderer Startknoten innerhalb der Leiterbahn gesucht, welcher ein Nachbar vom aktuellen Start ist. Anschließend werden die Endknoten zum neuen Start gesucht und die Wegsuche erneut ausgeführt. Dieser Vorgang wird bis zu fünf Mal wiederholt, bevor nur die mögliche Länge des Reservoirs realisiert wird.

6.3.6 Einsatz von redundanten Vias

Das Einsetzen von redundanten Vias erfolgt in dieser Arbeit nach der Detailverdrahtung. Dieser Schritt nutzt den verbleibenden Freiraum zwischen den Leiterbahnen, um EM-robuste redundante Vias nach dem Vorgehen aus Abschnitt 5.5 einzusetzen.

Die Basis bildet eine eigenständige C++-Implementierung, welche die gleichen Bibliotheken wie der entwickelte Detailverdrahter verwendet. Zusätzlich erfolgt die Berechnung der ganzzahligen, linearen Optimierung (engl. integer linear programming, ILP) mit der Gurobi-Bibliothek [Gur16], welche unter anderem eine C++-Programmierschnittstelle mitbringt. Dieser Bibliothek werden die Abhängigkeit aus dem Konfliktgraphen und das Optimierungsziel von Abschnitt 5.5 übergeben, sodass eine Lösung für die größtmögliche Verringerung der EM-Gefahr durch den Einsatz von redundanten Vias ermittelt wird.

6.4 Benchmarks zum Nachweis der EM-Kompensation

In dieser Arbeit kommen zwei verschiedene Sets von Benchmarks zum Einsatz, um die Kompensationswirkung der EM-Maßnahmen nachzuweisen. Zum einen werden die ISPD-Benchmarks aus dem Wettbewerb zur Detailverdrahtung von [Man+18] genutzt, um die Wirkung der einzelnen EM-Maßnahmen in der Detailverdrahtung von digitalen Schaltungen differenziert nachzuweisen. Zum anderen kommen die MCNC-Benchmarks zum Einsatz (bereitgestellt von Chen u. a. in [Che+08]), um das Potential einer EM-Berücksichtigung beim Einsetzen von redundanten Vias nachzuweisen.

Die Nutzung von zwei verschiedenen Sets begründet sich durch die unterschiedlichen Standards. Seit wenigen Jahren werden vor allem die Benchmarks der ISPD zum Ausführen einer Detailverdrahtung genutzt. Aus diesem Grund kommen für alle Gegenmaßnahmen, außer für das Einsetzen von redundanten Vias, diese Benchmarks zum Einsatz. Das Einsetzen von redundanten Vias hingegen wird hier und im Stand der Technik anhand der MCNC-Benchmarks durchgeführt.

6.4.1 Verdrahtung von Signalnetzen

Die EM-Kompensation der einzelnen Gegenmaßnahmen wird zusätzlich zu den ISPD-Benchmarks am Layout des multiplyadd-Benchmarks aus Abschnitt 4.2.6 untersucht. Teil der Untersuchungen ist die Stressentwicklung in allen Netzen und die Veränderung des Netzverlaufs für das kritischste Netz. Zusätzlich wird für jede EM-Maßnahme die Verdrahtungslänge (VL), die Viaanzahl (n_{Vias}), das absolute Stressmaximum, die Verdrahtungszeit und die prozentuale Anzahl an EM-robust verdrahteten Netzen angegeben. Außerdem dienen die ISPD-Benchmarks in Tabelle 6.1 dem Nachweis, dass die EM-Maßnahmen auch für größere Layouts einsetzbar sind.

Tab. 6.1: Eingangsdaten und Ergebnisse der ISPD-Benchmarks für die hier entwickelte Detailverdrahtung ohne Einsatz von EM-Maßnahmen.

Benchmark	Eingangsdaten				Ergebnisse		
	Netze	Ebenen	Fläche in mm ²	Techn.	Zeit	VL	nVias
ispd18_test1	3153	9	0,20 × 0,19	45 nm	1 min	0,2 m	50997
ispd18_test2	36834	9	0,65 × 0,57	45 nm	26 min	3,8 m	540132
ispd18_test3	36700	9	0,99 × 0,70	45 nm	28 min	3,6 m	520558
ispd18_test4	72401	9	0,89 × 0,61	32 nm	190 min	5,4 m	1063324
ispd18_test5	72394	9	0,93 × 0,92	32 nm	138 min	5,6 m	1202174
ispd18_test6	107701	9	0,86 × 0,53	32 nm	169 min	7,3 m	1815816
ispd18_test7	179863	9	1,36 × 1,33	32 nm	318 min	13,3 m	2925102
ispd18_test8	179863	9	1,36 × 1,33	32 nm	365 min	13,3 m	2942577
ispd18_test9	178857	9	0,91 × 0,78	32 nm	358 min	11,1 m	2925102
ispd18_test10	182000	9	0,91 × 0,87	32 nm	409 min	13,8 m	3308221

Jeder ISPD-Benchmark bringt zudem eine Globalverdrahtungslösung mit, welche hier nur teilweise berücksichtigt wird. Diese Arbeit nutzt davon lediglich die horizontalen Verdrahtungsregionen (globalen Zellen), um den Lösungsraum der Detailverdrahtung einzuschränken. Dagegen werden die empfohlenen Ebenen der globalen Zellen vernachlässigt, da sie den Lösungsraum für eine EM-robuste Detailverdrahtung zu stark einschränken.

In Tabelle 6.1 sind in den letzten zwei Spalten die Ergebnisse zur Verdrahtungslänge und zur Viaanzahl ohne den Einsatz einer EM-Maßnahme gegeben. Diese Werte sind Ausgangspunkt für die Einflussanalyse zu den einzelnen EM-Maßnahmen. Der Einfluss wird jeweils anhand der Veränderung des absoluten Stressmaximums, der Verdrahtungslänge und der Viaanzahl bestimmt.

Ein Vergleich der Ergebnisse aus Tabelle 6.1 mit dem Stand der Technik aus [SCC18] zeigt, dass die Verdrahtungslänge und Viaanzahl in der gleichen Größenordnung liegen, sodass die hier erzielten Ergebnisse realistisch sind. Die Verdrahtungslänge weicht zwischen den Arbeiten um ca. 4 % ab, was gemessen an den unterschiedlichen Optimierungszielen ein relativ geringer Wert ist. Sie unterscheiden sich insofern, dass diese Arbeit vorrangig versucht den Stress durch eine anpassbare Detailverdrahtung zu reduzieren, wohingegen die Arbeit in [SCC18] die Verringerung der Verdrahtungslänge und Viaanzahl anstrebt. Aus diesem Grund wird auch hier auf weitere Vergleiche verzichtet.

Zum besseren Vergleich der Ergebnisse wird nachfolgend die Stressverteilung in den Netzen ohne den Einsatz von EM-Maßnahmen (Standardverdrahtung) näher beleuchtet. Die Verteilung der Stresswerte für den multiplyadd-Benchmark im Histogramm von Abb. 6.12 zeigt, dass nur ein kleiner Teil der Netze an das absolute Stressmaximum des Layouts heranreichen. Der Großteil der

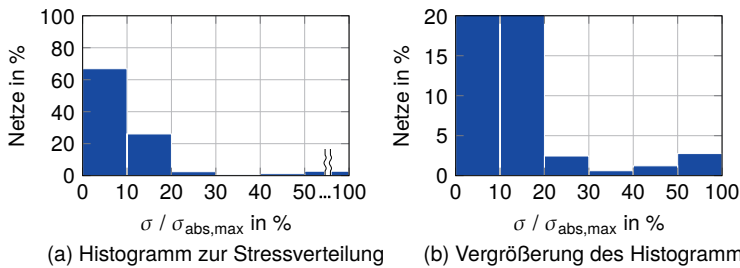


Abb. 6.12: (a) Histogramm zur Stressverteilung in den Netzen für den multiplyadd-Benchmark. (b) Vergrößerung des Bereiches unter 20 % zur besseren Darstellung der weniger gefüllten Balken. Der letzte Balken fasst die Stresswerte von 50 % bis 100 % des absoluten, maximalen Stresses ($\sigma_{\text{abs,max}}$) im Layout zusammen.

Netze erfährt lediglich einen Bruchteil dieses Wertes. Daraus lässt sich schlussfolgern, dass eine EM-robuste Detailverdrahtung nur wenige Netze EM-robust verdrahten muss, um das absolute Stressmaximum zu reduzieren.

Tabelle 6.2 enthält die Häufigkeit der Stressverteilungen in den Netzen für die ISPD-Benchmarks (analog zur grafischen Darstellung aus Abb. 6.12). Die Werte zeigen auch hier, dass nur ein kleiner Prozentsatz der Netze hohen Stress erfährt, wobei hier der Anteil noch geringer ist als beim multiplyadd-Benchmark. Der Grund dafür könnte die spezielle Tarnung der ISPD-Benchmarks sein, welche die Funktion der Schaltung verschleiert. Dadurch entstehen fragwürdige Netze mit sehr hohen Pinanzahlen (> 200) oder mit unrealistischen Verbindungen (z.B.: zwischen mehreren Terminals).

Tab. 6.2: Stressverteilung in den ISPD-Benchmarks. Die Netzanzahl gibt den prozentualen Anteil der Netze an, welche in die gegebenen Stressbereiche fallen.

$\sigma / \sigma_{\text{abs,max}} \rightarrow$	Netzanzahl in %					
	0...10%	10...20%	20...30%	30...40%	40...50%	50...100%
ispd18_test1	92,037	3,648	2,411	1,110	0,412	0,381
ispd18_test2	96,421	2,246	0,685	0,280	0,121	0,247
ispd18_test3	96,880	2,436	0,224	0,033	0,016	0,410
ispd18_test4	98,059	1,527	0,282	0,076	0,025	0,030
ispd18_test5	98,026	1,544	0,278	0,087	0,036	0,028
ispd18_test6	99,357	0,582	0,042	0,012	0,003	0,005
ispd18_test7	99,269	0,581	0,087	0,031	0,022	0,010
ispd18_test8	99,082	0,691	0,132	0,053	0,018	0,023
ispd18_test9	98,120	1,620	0,188	0,044	0,015	0,014
ispd18_test10	98,323	1,474	0,145	0,037	0,011	0,010

6.4.2 Einsatz von redundanten Vias

Das Einsetzen von redundanten Vias unter Berücksichtigung der EM-Belastung in den Leiterbahnen wird anhand der MCNC-Benchmarks aus Tabelle 6.3 durchgeführt. Die Anzahl der eingesetzten Vias in Tabelle 6.3 ähneln den Ergebnisse aus [Che+08], da die mittlere Abweichung der Viaanzahl lediglich 2 % beträgt.

Der Grund dafür liegt in den unterschiedlichen Optimierungszielen, sodass auf weitere Vergleiche verzichtet wird. Infolge der Ähnlichkeit der Ergebnisse kann man davon ausgehen, dass die Implementierung vertrauenswürdige Ergebnisse liefert.

Tab. 6.3: Eingangsdaten und Ergebnisse der MCNC-Benchmarks des hier entwickelten Einsetzens von redundanten Vias.

Benchmark	Eingangsdaten					Ergebnisse	
	Netze	Ebenen	Fläche in mm ²	VL	Einzelvias	Zeit	nVias
mcc1	802	4	45,0 × 39,0	28,3 m	5948	4 s	11594
mcc2	7118	4	152 × 152	406,4 m	34376	22 s	66425
primary1	904	3	7,52 × 4,99	1,0 m	5536	3 s	11018
primary2	3029	3	10,4 × 6,49	4,2 m	23154	15 s	45932
s5378	1694	3	0,44 × 0,24	0,1 m	6739	5 s	13253
s9234	1486	3	0,40 × 0,23	0,1 m	5365	4 s	10558
s13207	3781	3	0,66 × 0,37	0,2 m	13972	11 s	27506
s15850	4472	3	0,71 × 0,39	0,2 m	16922	14 s	33247
s38417	11309	3	1,14 × 0,62	0,5 m	40942	46 s	80647
s38584	14754	3	1,30 × 0,67	0,7 m	55381	120 s	108897
struct	1920	3	4,90 × 4,90	0,9 m	7598	5 s	15175

6.5 Ergebnisse der EM-robusten Detailverdrahtung

In diesem Abschnitt werden die Ergebnisse der einzelnen EM-Maßnahmen nach der Integrierung in den hier entwickelten Detailverdrahter untersucht. Die Metriken für die Untersuchungen der Gegenmaßnahmen sind stets die Veränderung der Verdrahtungslänge, der Viaanzahl und des EM-induzierten Stresses für die Verdrahtung ohne und mit EM-Maßnahmen. Lediglich der Nachweis zur EM-Berücksichtigung in der Netzreihenfolge nutzt eine andere Metrik, welche die Korrelation zwischen der EM-Gefahr vor und nach der Verdrahtung abbildet. In dieser Arbeit stand zur Ermittlung aller Ergebnisse ein Ausführungsthread eines Intel Xenon 6136 Prozessors mit 3 GHz und 48GB Arbeitsspeicher zur Verfügung.

6.5.1 Änderung der Netzreihenfolge

Die Änderung der Netzreihenfolge ist ein elementarer Bestandteil des EM-robusten Verdrahtens, da dadurch die Verdrahtungsressourcen für die kritischen Netze verbessert werden. Jedoch ist dabei ein wichtiger Punkt die Korrelation zwischen dem Rang in der Vorhersage und dem nach der Verdrahtung. Eine gute Korrelation bedeutet, dass die Verdrahtungsreihenfolge der Netze die EM-Gefahr gut abbildet.

Der Nachweis einer Korrelation zwischen der Reihenfolge von zwei Datenreihen kann mit der Methode von Spearman aus [Spe04] erfolgen. Der Rangkorrelationskoeffizient von Spearman (r_s) gibt dabei an, inwieweit die Korrelation durch eine monotone Funktion abgebildet wird. Umso näher dieser Wert an Eins liegt, desto höher ist die Korrelation. Zur Ermittlung der Korrelation sei an dieser Stelle auf die Quelle [Spe04] verwiesen.

Abbildung 6.13 enthält die Korrelation der Ränge für die Vorhersage und nach der Verdrahtung. Dargestellt sind jeweils die zwei Benchmarks mit den geringsten Korrelationen. Man kann bereits erkennen, dass die Netzreihenfolge aus der Vorhersage sehr gut mit dem Verdrahtungsergebnis korreliert.

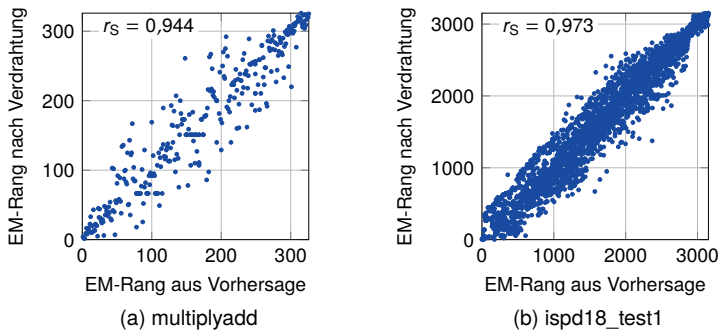


Abb. 6.13: Korrelation der EM-Reihenfolge der Netze aus der Vorhersage und nach der Verdrahtung für den multiplyadd-Benchmark in (a) und dem ispd18_test1-Benchmark in (b). Die Rangkorrelationskoeffizienten (r_s) nahe Eins bestätigen die sehr gute Korrelation zwischen der Vorhersage und dem Verdrahtungsergebnis.

Tabelle 6.4 enthält die Rangkorrelationskoeffizienten für die ISPD-Benchmarks. Da der niedrigste Wert bei 0,973 liegt, kann man von einer sehr guten Korrelation zwischen der EM-Reihenfolge aus der Vorhersage und der Reihenfolge aus der Verdrahtung ausgehen. Letztendlich ermöglichen diese Ergebnisse auch eine sinnvolle Änderung der Netzreihenfolge, um die Verdrahtungsressourcen für EM-kritische Netze zu erhöhen.

Tab. 6.4: Rangkorrelationskoeffizienten (r_S) der ISPD-Benchmarks für die EM-Reihenfolge der Netze aus der Vorhersage und dem Verdrahtungsergebnis.

Benchmarks	r_S	Benchmarks	r_S
ispd18_test1	0,973	ispd18_test6	0,979
ispd18_test2	0,975	ispd18_test7	0,981
ispd18_test3	0,973	ispd18_test8	0,981
ispd18_test4	0,980	ispd18_test9	0,980
ispd18_test5	0,982	ispd18_test10	0,981

6.5.2 Verbesserung der Netztopologie

Die Ergebnisse zur Verbesserung der Netztopologie in Abb. 6.14 zeigen, dass diese Maßnahme die EM-Gefahr reduziert. Der maximale Stress wird für den

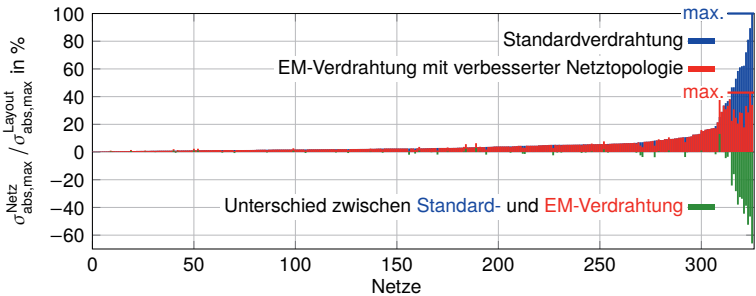


Abb. 6.14: Absolutes Stressmaximum pro Netz für die Standardverdrahtung (blau) und EM-robuste Verdrahtung mit verbesserter Netztopologie (rot). Das absolute Stressmaximum im Layout reduziert sich um ca. 57 %. Der Stressunterschied (grün) beträgt im besten Fall –66 % und im schlechtesten Fall +13 %.

multiplyadd-Benchmark um ca. 57 % gesenkt. Außerdem erfahren die meisten Netze eine Reduzierung des Stresses. Für wenige Netze erhöht er sich, da die Leiterbahnlänge aufgrund von Umwegen verlängert wird.

In Tabelle 6.5 werden die Ergebnisse zwischen der Standardverdrahtung und der EM-robusten Verdrahtung mit Verbesserung der Netztopologie verglichen, sodass man die Auswirkungen dieser Gegenmaßnahme beurteilen kann. Dabei fällt auf, dass der Stress deutlich reduziert und die Verdrahtungslänge (VL) wesentlich erhöht wird. Außerdem steigen die Vianzahl und die Verdrahtungszeit merklich an und das obwohl die Verbesserung der Topologie nur für 3,4 % zum Einsatz kam. Das bedeutet, dass diese Maßnahme relativ viele Verdrahtungsressourcen einsetzen muss, um die EM-Robustheit zu erhöhen.

Tab. 6.5: Vergleich der Verdrahtungslänge, der Vianzahl, des absoluten Stressmaximums, der Zeit und der EM-verdrahteten Netze für die Standardverdrahtung und EM-robuste Verdrahtung mit verbesserter Netztopologie im multiplyadd-Benchmark.

Verdrahtung	VL	Vias	$\sigma_{\text{abs,max}}$	Zeit	EM-Netze
Standard	1,61 mm	1885	6,28 MPa	6,3 s	0,0 %
EM-robust	2,41 mm	2154	2,69 MPa	7,0 s	3,4 %
Unterschied	49,5 %	14,3 %	-57,1 %	11,1 %	3,4 %

Abbildung 6.15 zeigt, dass eine EM-robuste Verdrahtung des kritischsten Netzes eine deutlich komplexere Lösung liefert. Außerdem erkennt man den gesteigerten Bedarf an Verdrahtungsressourcen in der EM-robusten Verdrahtung. Der Grund dafür ist das Quellen-Senken-Modell, welches den Bedarf an Verdrahtungsressourcen mit der Anzahl an Pins ansteigen lässt. Außerdem kann man in Abb. 6.15 sehen, dass die Leiterbahnen sich selber ausweichen müssen, da die Verdrahtungsdichte in manchen Bereichen zu hoch ist. Die unterschiedliche Einfärbung der Leiterbahnen lässt auch auf einen starken Rückgang des Stresses in der EM-robusten Verdrahtung schließen.

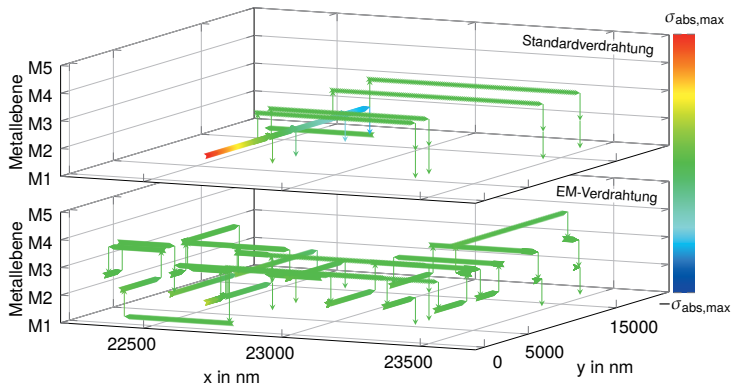


Abb. 6.15: Netzverläufe für das kritischste Netz im multiplyadd-Benchmark aus der Standardverdrahtung (oben) und der EM-robusten Verdrahtung (unten), welche die Netztopologie verbessert. Erkennbar ist, dass die EM-robuste Verdrahtung mehr Verdrahtungsressourcen einsetzt als die Standardverdrahtung, jedoch der Stress sich dadurch sichtbar reduziert.

Die EM-robuste Verdrahtung mit verbesserter Netztopologie zeigt bei den ISPD-Benchmarks eine deutliche Reduzierung des Stresses (Tabelle 6.6). Jedoch

Tab. 6.6: Veränderung von Verdrahtungslänge, Viaanzahl und absolutem Stressmaximum von der Standard- zur EM-robusten Verdrahtung mit verbesserter Netztopologie.

Benchmarks	ΔVL	$\Delta Vias$	$\Delta \sigma_{abs,max}$
ispd18_test1	7,48 %	3,45 %	-49,16 %
ispd18_test2	3,03 %	1,65 %	-29,81 %
ispd18_test3	1,18 %	0,09 %	-9,98 %
ispd18_test4	10,96 %	2,64 %	-49,36 %
ispd18_test5	14,14 %	3,71 %	-28,47 %
ispd18_test6	17,83 %	4,41 %	-61,77 %
ispd18_test7	2,04 %	0,01 %	-38,74 %
ispd18_test8	0,62 %	0,13 %	4,20 %
ispd18_test9	1,25 %	0,24 %	-24,42 %
ispd18_test10	0,22 %	0,22 %	-31,39 %
Mittelwert	5,88 %	1,66 %	-31,89 %

hängt diese stark vom Benchmark ab. Beim achten ISPD-Benchmark erhöht sich sogar das absolute Stressmaximum, da hier das kritischste Netz wesentlich durch seine Länge beeinflusst wird und nicht durch die Zusammenführung des Stromes. In diesem Fall erhöht sich der Stress, weil sich die Leiterbahnlänge zwischen einer Quellen-Senken-Verbindung im Vergleich zur Standardverdrahtung erhöht. Der Bedarf an Verdrahtungsressourcen schwächt sich im Mittel für die ISPD-Benchmarks im Vergleich zum multiplyadd-Benchmark ab, da die EM-robuste Verdrahtung weniger ins Gewicht fällt.

6.5.3 Begrenzung der Leiterbahnlänge

Die Begrenzung der Leiterbahnlänge kann, wie in Abb. 6.16 zu sehen, den EM-induzierten Stress in den Netzen stark reduzieren. Damit schafft man es, das absolute Stressmaximum im Layout des multiplyadd-Benchmarks um ca. 48 % zu reduzieren. Außerdem fällt in Abb. 6.16 auf, dass diese Gegenmaßnahme die niedrig belasteten Netze unwesentlich beeinflusst. Dieser Punkt deutet darauf hin, dass sich die EM-robust verdrahteten Netze nur geringfügig verändern.

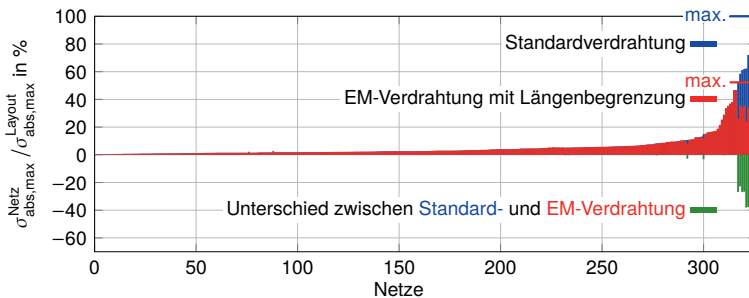


Abb. 6.16: Absolutes Stressmaximum pro Netz für die Standardverdrahtung (blau) und EM-robuste Verdrahtung mit Begrenzung der Leiterbahnlänge (rot). Das absolute Stressmaximum im Layout reduziert sich um ca. 48 %. Der Stressunterschied (grün) beträgt im besten Fall -67 % und im schlechtesten Fall +1 %.

Die Ergebnisse in Tabelle 6.7 belegen ebenfalls, dass die Begrenzung der Leiterbahnlänge den Stress deutlich und die Verdrahtungslänge sowie die

Viaanzahl nur unwesentlich verändert. Außerdem ist die zeitliche Verlängerung der Verdrahtung mit ca. 5 % sehr gering.

Tab. 6.7: Vergleich der Verdrahtungslänge, der Viaanzahl, des absoluten Stressmaximums, der Zeit und der EM-verdrahteten Netze für die Standardverdrahtung und EM-robuste Verdrahtung mit Längenbegrenzung im multiplyadd-Benchmark.

Verdrahtung	VL	Vias	$\sigma_{\text{abs,max}}$	Zeit	EM-Netze
Standard	1,61 mm	1885	6,28 MPa	6,3 s	0,0 %
EM-robust	1,62 mm	1931	3,28 MPa	6,6 s	2,5 %
Unterschied	0,5 %	2,4 %	-47,7 %	4,8 %	2,5 %

Abbildung 6.17 zeigt, dass die Standardverdrahtung und EM-robuste Verdrahtung für das kritischste Netz nur geringfügig voneinander abweichen. Lediglich die am stärksten belastete Leiterbahn nutzt teilweise eine zusätzliche Spur. Jedoch verringert sich die EM-relevante Leiterbahnlänge und somit auch das absolute Stressmaximum durch die eingeführten Ebenenwechsel signifikant.

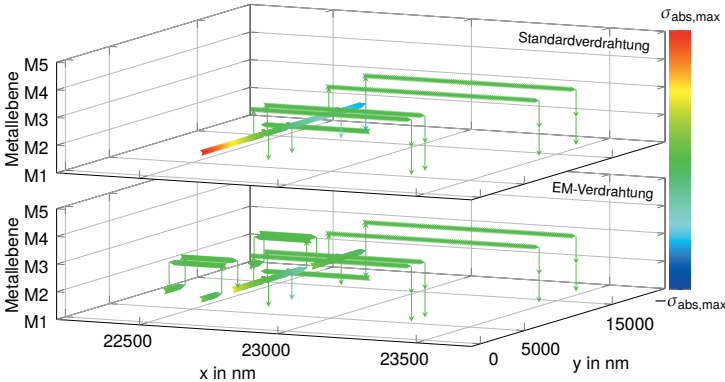


Abb. 6.17: Netzverläufe für das kritischste Netz im multiplyadd-Benchmark aus der Standardverdrahtung (oben) und der EM-robusten Verdrahtung (unten), welche die Länge für kritische Leiterbahnen begrenzt. Die EM-robuste Verdrahtung unterbricht die stark belastete Leiterbahn zweimal, sodass der Stress deutlich reduziert wird.

Die Ergebnisse in den ISPD-Benchmarks aus Tabelle 6.8 für das EM-robuste Verdrahten bestätigen, dass die Längenbegrenzung mit sehr wenig zusätzlichen Verdrahtungsressourcen auskommt. Außerdem ist die Reduzierung des absoluten Stressmaximums in allen Benchmarks relativ hoch, sodass diese Maßnahme als robust einzuschätzen ist. Die geringe Erhöhung der Verdrahtungslänge und Viaanzahl im Vergleich zur sehr hohen Reduzierung des Stresses ist ein Zeichen für die Effektivität dieser EM-Maßnahme.

Tab. 6.8: Veränderung von Verdrahtungslänge, Viaanzahl und absolutem Stressmaximum von der Standard- zur EM-robusten Verdrahtung mit Längenbegrenzung.

Benchmarks	ΔVL	$\Delta Vias$	$\Delta \sigma_{abs,max}$
ispd18_test1	0,02 %	0,43 %	−68,49 %
ispd18_test2	0,00 %	0,00 %	−59,80 %
ispd18_test3	0,00 %	0,38 %	−76,29 %
ispd18_test4	0,01 %	0,12 %	−33,62 %
ispd18_test5	0,01 %	0,06 %	−43,33 %
ispd18_test6	0,00 %	0,00 %	−39,59 %
ispd18_test7	0,00 %	0,04 %	−36,55 %
ispd18_test8	0,00 %	0,04 %	−48,81 %
ispd18_test9	0,01 %	0,08 %	−67,36 %
ispd18_test10	0,00 %	0,04 %	−66,43 %
Mittelwert	0,01 %	0,12 %	−54,03 %

6.5.4 Verbreiterung des Leiterbahnquerschnittes

Abbildung 6.18 zeigt, dass die Verbreiterung des Leiterbahnquerschnittes das absolute Stressmaximum in den Netzen ebenfalls erheblich senken kann. Die Stressreduzierung folgt aus der Verringerung der Stromdichte und diese wiederum aus der Vergrößerung des Leiterbahnquerschnittes. Das Ausmaß ist jedoch stark von den Unterschieden in den Querschnitten abhängig. Auffällig in Abb. 6.18 ist, dass die Reduzierung des Stresses für ein Netz fehlschlägt. Gründe dafür können sein, dass die kritische Leiterbahn bereits auf der höchsten Ebene verläuft oder dass die Verschiebung aufgrund von darüberliegenden Leiterbahnen nicht möglich ist.

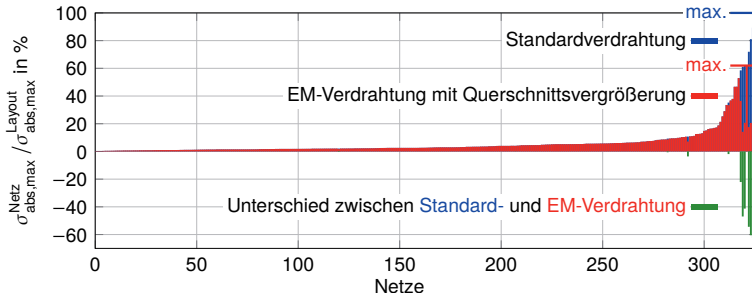


Abb. 6.18: Absolutes Stressmaximum pro Netz für die Standardverdrahtung (blau) und die EM-robuste Verdrahtung mit Vergrößerung der Querschnittsfläche (rot). Das absolute Stressmaximum im Layout reduziert sich um ca. 38 %. Der Stressunterschied (grün) beträgt im besten Fall –74 % und Verschlechterungen sind nicht erkennbar.

Tabelle 6.9 belegt, dass die Maßnahme zur Erhöhung der Querschnittsfläche nur unwesentlich die Verdrahtungslänge erhöht. Theoretisch dürfte diese Maßnahme lediglich die Via-Konfigurationen und nicht die Leiterbahnlängen verändern. In der Realität beeinflussen jedoch die veränderten Netzverläufe auch die Ressourcen der restlichen Netze, sodass sich die Verdrahtungslänge geringfügig erhöht.

Tab. 6.9: Vergleich der Verdrahtungslänge, der Viaanzahl, des absoluten Stressmaximums, der Zeit und der EM-verdrahteten Netze für die Standardverdrahtung und EM-robuste Verdrahtung mit Querschnittsverbreiterung im multiplyadd-Benchmark.

Verdrahtung	VL	Vias	$\sigma_{\text{abs,max}}$	Zeit	EM-Netze
Standard	1,61 mm	1885	6,28 MPa	6,3 s	0,0 %
EM-robust	1,62 mm	1944	3,92 MPa	6,9 s	2,5 %
Unterschied	0,2 %	3,1 %	–37,6 %	9,5 %	2,5 %

Im Netzverlauf des kritischsten Netzes vom multiplyadd-Benchmark aus Abb. 6.19 kann man die Reduzierung des Stresses deutlich erkennen, welche auf der Verschiebung einer Leiterbahn um zwei Ebenen nach oben basiert. Jedoch

ist auch anhand der Vias zu sehen, dass man in der EM-robusten Verdrahtung davon mehr als in der Standardverdrahtung einsetzen muss.

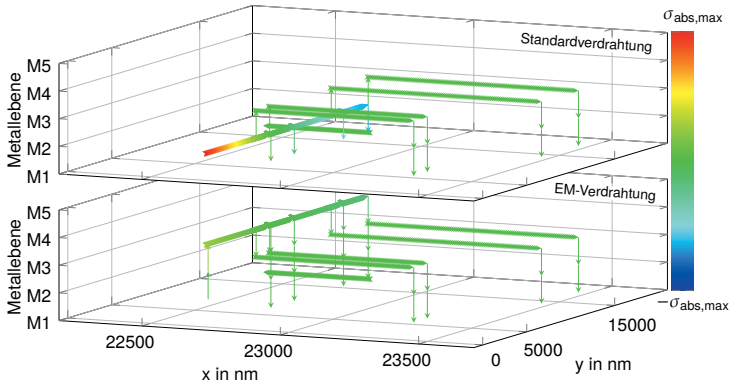


Abb. 6.19: Netzverläufe für das kritischste Netz im multiplyadd-Benchmark aus der Standardverdrahtung (oben) und der EM-robusten Verdrahtung (unten), welche die Querschnittsfläche vergrößert. Die EM-robuste Verdrahtung verschiebt die stark belastete Leiterbahn auf eine höhere Ebene mit größerem Querschnitt, sodass sich der Stress durch die Reduzierung der Stromdichte verringert.

Die Anwendung der EM-Maßnahme zur Vergrößerung der Querschnittsfläche auf die ISPD-Benchmarks zeigt, dass die Verdrahtungslänge dadurch größtenteils konstant bleibt. Der Einfluss von vereinzelt verschobenen Leiterbahnen nimmt somit ab, wenn die Verdrahtungslänge ansteigt. Auffallend ist, dass sich die Viaanzahl für einige Benchmarks reduziert. Das deutet darauf hin, dass die frühzeitige Verschiebung von Leiterbahnen auf höhere Ebenen eine günstigere Verdrahtungslösung für spätere Netze ermöglichen kann. Auffällig in Tabelle 6.10 ist auch, dass die Abnahme des Stresses für die ersten drei Benchmarks deutlich geringer ausfällt als bei den nachfolgenden. Das liegt an dem eingeschränkten Leiterbahnstapel in diesen Benchmarks, welcher lediglich eine Vergrößerung des Querschnittes um 17 % von der ersten zur zweiten Verdrahtungsebene zulässt.

Tab. 6.10: Veränderung von Verdrahtungslänge, Viaanzahl und absolutem Stressmaximum von der Standard- zur EM-robusten Verdrahtung mit Querschnittsverbreiterung.

Benchmarks	ΔVL	$\Delta Vias$	$\Delta \sigma_{abs,max}$
ispd18_test1	0,00 %	0,00 %	0,00 %
ispd18_test2	0,00 %	0,01 %	−4,74 %
ispd18_test3	0,00 %	0,00 %	0,00 %
ispd18_test4	0,00 %	0,00 %	−33,62 %
ispd18_test5	0,00 %	−0,01 %	−26,84 %
ispd18_test6	0,00 %	−0,06 %	−49,52 %
ispd18_test7	0,00 %	0,00 %	−50,16 %
ispd18_test8	0,00 %	−0,01 %	−49,88 %
ispd18_test9	0,00 %	−0,06 %	−60,02 %
ispd18_test10	0,00 %	−0,03 %	−53,95 %
Mittelwert	0,00 %	−0,02 %	−32,87 %

6.5.5 Einbringung von Reservoiren

Das Einbringen von Reservoiren kann die EM-Robustheit für Netze mit un- ausgeglichenen Zug- und Druckstress erhöhen (Abb. 6.20). Dabei fällt auf, dass die Reduzierung des Stresses pro Netz relativ gering ist. Das absolute Stressmaximum im Layout verändert sich somit ebenfalls nur leicht.

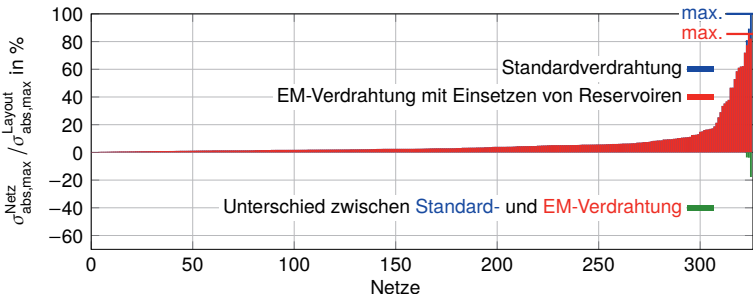


Abb. 6.20: Absolutes Stressmaximum pro Netz für die Standardverdrahtung (blau) und EM-robuste Verdrahtung mit Reservoiren (rot). Das absolute Stressmaximum im Layout reduziert sich um ca. 15 %. Der Stressunterschied (grün) beträgt im besten Falle −18 % und eine Verschlechterung ist nicht wahrnehmbar.

Tabelle 6.11 zeigt, dass zwar die Stressreduzierung gering ist, jedoch die eingesetzten Ressourcen ebenfalls vernachlässigbar sind. Positiv ist, dass die Vianzahl nicht durch zusätzliche Ebenenwechsel erhöht wird. Die Verdrahtungszeit nimmt ebenfalls nur geringfügig zu, da sich der Suchraum auf eine Ebene beschränkt. Der kleine Prozentsatz an Netzen mit EM-robuster Verdrahtung begründet sich in der geringen Reduzierung des Stressmaximums, sodass ein Einsatz für weniger stark belastete Netze überflüssig wird.

Tab. 6.11: Vergleich der Verdrahtungslänge, der Vianzahl, des absoluten Stressmaximums, der Zeit und der EM-verdrahteten Netze für die Standardverdrahtung und EM-robuste Verdrahtung mit Einsatz von Reservoirern im multiplyadd-Benchmark.

Verdrahtung	VL	Vias	$\sigma_{\text{abs,max}}$	Zeit	EM-Netze
Standard	1,61 mm	1885	6,28 MPa	6,3 s	0,0 %
EM-robust	1,62 mm	1885	5,37 MPa	6,4 s	0,9 %
Unterschied	0,5 %	0,0 %	-14,4 %	1,6 %	0,9 %

In der Einfärbung des EM-robusten Verlaufes für das kritischste Netz aus dem multiplyadd-Benchmark in Abb. 6.21 erkennt man, dass das Reservoir den roten Zugstress abschwächt und den blauen Druckstress anhebt. Das heißt, das absolute Stressmaximum reduziert sich, da sich der Leiterbahnstress in Richtung Druckstress verschiebt. Die Erhöhung der EM-Robustheit erfordert auch hier einen geringfügigen Einsatz von zusätzlichen Verdrahtungsressourcen, welcher sich ausschließlich auf die Verdrahtungslänge beschränkt.

Tabelle 6.12 enthält die Ergebnisse für den Einsatz der Reservoirre in den ISPD-Benchmarks. Die Verdrahtungslänge und die Vianzahl verändern sich nur unwesentlich und ohne erkennbaren Trend, da diese Maßnahme zwar die Ergebnisse beeinflusst, aber nicht merklich mehr Verdrahtungsressourcen benötigt. Auffällig in Tabelle 6.12 ist, dass sich der Stress nur für weniger als die Hälfte der Benchmarks verringern lässt. Der Grund dafür liegt in der Anwendbarkeit der Maßnahme, welche unausgeglichene Absolutwerte von Zug- und Druckstress erfordert. Dieser Fall tritt selten auf, da sich dafür der Strom innerhalb der Leiterbahn ändern muss.

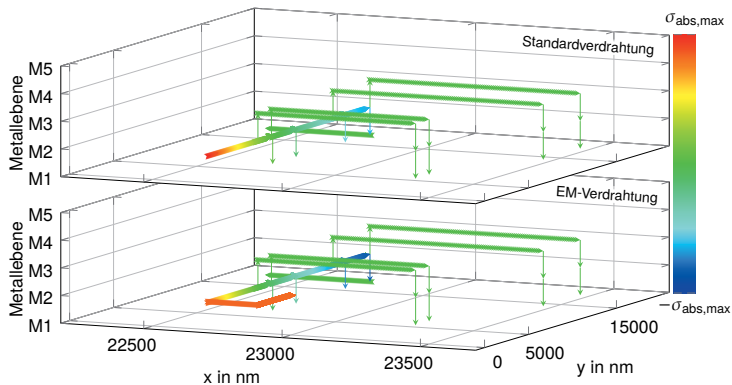


Abb. 6.21: Netzverläufe für das kritischste Netz im multiplyadd-Benchmark aus der Standardverdrahtung (oben) und der EM-robusten Verdrahtung (unten), welche Reservoirs einsetzt. Durch das am Leiterbahnende eingesetzte Reservoir gleicht sich der absolute Stress an beiden Enden der Leiterbahn an.

Tab. 6.12: Veränderung von Verdrahtungslänge, Viaanahl und absolutem Stressmaximum von der Standard- zur EM-robusten Verdrahtung mit Reservoirs.

Benchmarks	ΔVL	$\Delta Vias$	$\Delta \sigma_{abs,max}$
ispd18_test1	0,01 %	0,02 %	-3,71 %
ispd18_test2	-0,01 %	-0,06 %	-3,23 %
ispd18_test3	0,00 %	0,00 %	0,00 %
ispd18_test4	0,00 %	0,00 %	0,00 %
ispd18_test5	0,00 %	-0,03 %	0,00 %
ispd18_test6	0,00 %	0,00 %	0,00 %
ispd18_test7	0,00 %	0,01 %	-4,23 %
ispd18_test8	0,00 %	0,01 %	0,00 %
ispd18_test9	0,00 %	0,01 %	-1,94 %
ispd18_test10	0,00 %	-0,03 %	0,00 %
Mittelwert	0,00 %	-0,01 %	-1,31 %

Berücksichtigt man beim Einsetzen der Reservoire beispielsweise Reststress (engl. residual stress, σ_R) aus der Herstellung (vgl. Abschnitt 2.1.7), erhöht sich die Effektivität dieser EM-Maßnahme. Tabelle 6.13 enthält dazu die Werte für die ISPD-Benchmarks, wenn man von einem angenommenen Reststress von 200 MPa ausgeht. Dadurch verbessert sich der Nutzen dieser Gegenmaßnahme deutlich im Vergleich zu Tabelle 6.12. Verdrahtungslänge und Viaanzahl lassen aufgrund des geringen Einflusses der Reservoire weiterhin keine systematische Verschlechterung erkennen. Jedoch zeigt die konstante Reduzierung des absoluten Stressmaximums, dass diese Gegenmaßnahme gut geeignet ist, um externe Stressquellen zu kompensieren.

Tab. 6.13: Veränderung von Verdrahtungslänge, Viaanzahl und absolutem Stressmaximum von der Standard- zur EM-robusten Verdrahtung mit Reservoire und Reststress.

Benchmarks	ΔVL	$\Delta Vias$	$\Delta \sigma_{abs,max}$
ispd18_test1	0,60 %	0,67 %	−28,71 %
ispd18_test2	0,00 %	−0,03 %	−11,85 %
ispd18_test3	0,02 %	0,02 %	−6,10 %
ispd18_test4	0,00 %	−0,02 %	−2,61 %
ispd18_test5	0,01 %	0,00 %	−3,65 %
ispd18_test6	0,00 %	0,00 %	−2,67 %
ispd18_test7	0,00 %	0,00 %	−5,60 %
ispd18_test8	0,00 %	−0,01 %	−2,71 %
ispd18_test9	0,00 %	0,01 %	−6,66 %
ispd18_test10	0,00 %	−0,05 %	−2,83 %
Mittelwert	0,06 %	0,06 %	−7,34 %

6.5.6 Einsatz von redundanten Vias

Die Ergebnisse zum Gewinn an EM-Robustheit durch redundante Vias sind anhand der MCNC-Benchmarks und der Theorie zur Via-Belastung (VB) aus Abschnitt 5.5 entstanden. Wie bereits genannt, ist die Via-Belastung ein Maß für die Stressbelastung der Leiterbahn pro Via. Eine hohe Via-Belastung bedeutet deshalb auch eine hohe EM-Gefahr.

Abbildung 6.22 zeigt das Layout des mcc1-Benchmarks mit der eingefärbten Via-Belastung für den Einsatz von redundanten Vias ohne und mit Kompensation der EM. Speziell in den eingerahmten Bereichen lassen sich die hohen Via-Belastungen durch die hier entwickelten Maßnahmen reduzieren.

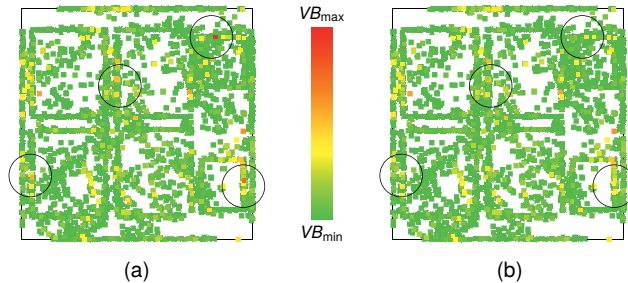


Abb. 6.22: Via-Belastung (VB) des mcc1-Benchmarks ohne Berücksichtigung der EM in (a) und mit Berücksichtigung in (b). Eingerahmt sind Bereiche mit einer hohen Via-Belastung, welche sich durch die hier entwickelte Gegenmaßnahme zum Einsetzen von redundanten Vias abschwächen lässt. Der Mittelwert der Via-Belastung konnte für dieses Layout um 2,7 % und der Maximalwert um 33,5 % gesenkt werden [BL16b].

Die Via-Belastungen der 300 kritischsten Vias des mcc1-Benchmarks in Abb. 6.23 konnte durch das hier entwickelte Einsetzen von EM-robusten redundanten Vias deutlich gesenkt werden. Für die verwendeten Benchmarks stehen lediglich Einzel- oder Doppelvias zur Verfügung, sodass sich die Via-Belastungen maximal halbieren können. Dreifach- oder Vierfachvias würden es ermöglichen, diese Belastung noch weiter zu reduzieren.

Tabelle 6.14 zeigt, dass eine EM-Berücksichtigung beim Einsetzen von redundanten Vias für alle Benchmarks die mittlere Via-Belastung im Layout senkt. Außerdem lassen sich in einigen Fällen die maximalen Via-Belastungen verringern. Reduzierungen um ca. 1 % entstehen bei einem Wechsel von einem Off- zu einem On-Track-Via. Größere Werte lassen sich beim Ersetzen von einem Einzel- durch ein Doppellvia erzielen. Gemessen über alle MCNC-Benchmarks reduziert sich die mittlere Via-Belastung (VB_{mittel}) um ca. 3,2 % und die maximale Via-Be-

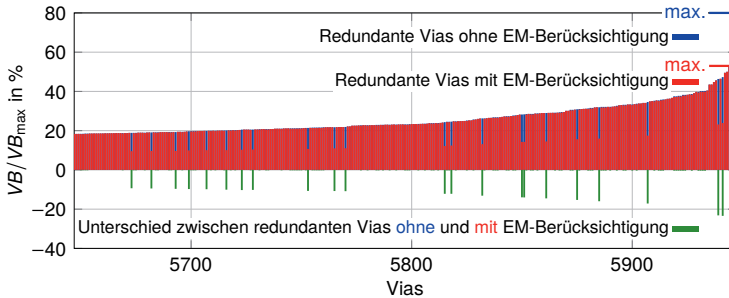


Abb. 6.23: Reduzierung der Via-Belastung durch die EM-Berücksichtigung beim Einsetzen von redundanten Vias in den mcc1-Benchmark. Dargestellt sind zur Wahrung der Übersichtlichkeit die 300 kritischsten Vias. Der ausgelassene Verlauf von Via 1 bis 5647 nähert sich asymptotisch der Nulllinie an.

lastung (VB_{\max}) um ca. 9,6 %. Durch die hier vorgeschlagene Gegenmaßnahme kann somit relativ einfach und ohne zusätzliche Kosten ein bereits bestehender Schritt des Layoutentwurfs dazu genutzt werden, eine deutlich robustere Lösung im Layout zu erzeugen.

Tab. 6.14: Via-Belastung in den MCNC-Benchmarks für die Lösung aus [Che+08] und der hier entwickelt EM-Maßnahme zum Einsetzen von redundanten Vias.

Benchmark	Arbeit [Che+08]		Diese Arbeit		$\Delta VB / VB_{[Che+08]}$	
	VB_{mittel}	VB_{max}	VB_{mittel}	VB_{max}	VB_{mittel}	VB_{max}
mcc1	5,11	79,70	4,97	53,02	-2,71 %	-33,48 %
mcc2	4,71	63,37	4,60	63,37	-2,32 %	0,00 %
primary1	1,93	50,50	1,91	50,00	-0,91 %	-1,00 %
primary2	1,24	67,62	1,23	67,62	-0,76 %	0,00 %
s5378	1,54	65,21	1,47	50,00	-5,02 %	-23,32 %
s9234	1,61	50,50	1,54	50,00	-4,68 %	-1,00 %
s13207	0,97	62,86	0,94	50,00	-3,45 %	-20,46 %
s15850	1,31	71,76	1,25	71,76	-4,58 %	0,00 %
s38417	0,48	67,02	0,46	50,00	-4,16 %	-25,39 %
s38584	0,46	56,80	0,43	56,80	-4,79 %	0,00 %
struct	2,16	50,50	2,13	50,00	-1,39 %	-1,00 %

6.5.7 Bewertung der Ergebnisse

In der Bewertung der Ergebnisse ist festzustellen, dass alle EM-Maßnahmen mit Ausnahme der Netzreihenfolge direkt den EM-induzierten Stress senken und damit zur Kompensation von EM führen. Jedoch unterscheiden sich die Gegenmaßnahmen in ihren Vor- und Nachteilen. Die größten Stressreduzierungen lassen sich mit der Verbesserung der Netztopologie, der Begrenzung der Leiterbahnlänge und der Verbreiterung des Leiterbahnquerschnittes erzielen. Bei der Verbesserung der Netztopologie werden mehr Verdrahtungsressourcen eingesetzt als bei den anderen zwei Maßnahmen. Die Verbreiterung des Leiterbahnquerschnittes kommt hingegen ohne eine wesentliche Erhöhung der Verdrahtungslänge aus. Jedoch ist sie nicht so allgemein anwendbar wie die Begrenzung der Leiterbahnlänge.

Durch die Einbringung der Reservoirs und durch das Einsetzen von EM-robusten redundanten Vias fällt die Stressreduzierung geringer aus als bei den anderen Gegenmaßnahmen. Jedoch benötigen sie im Vergleich auch deutlich weniger Ressourcen. Diese zwei EM-Maßnahmen können bereits eine Robustheitserhöhung durch geringfügige Änderungen erwirken. Die Verbesserung des Layouts durch das Einsetzen von EM-robusten redundanten Vias kann bereits durch die Anpassung eines bestehenden Entwurfsschrittes umgesetzt werden. Im Gegensatz dazu benötigt die Einbringung der Reservoirs eine tieferliegende Änderung und einen Unterschied zwischen dem absoluten Zug- und Druckstress in den Leiterbahnen der kritischen Netze.

Die einzelnen Maßnahmen lassen sich auch miteinander kombinieren, um eine größere Stressreduzierung zu erreichen. Grenzen für die Kombination der Maßnahmen werden lediglich durch die zur Verfügung stehenden Verdrahtungsressourcen und die Einhaltung von Entwurfsregeln gesetzt. Dabei entsteht jedoch ein weiteres Optimierungsproblem, welches die maximale Reduzierung des Stresses mit dem minimalen Einsatz an Verdrahtungsressourcen anstrebt. Eine Lösung zur Senkung der Stromdichte wäre beispielsweise die Kombination aus der Verbesserung der Netztopologie und der Verbreiterung des Leiterbahnquerschnittes, da beide Maßnahmen diesen Faktor adressieren.

6.6 Zusammenfassung

Die Erhöhung der EM-Robustheit eines Layouts kann durch die Berücksichtigung der EM-Maßnahmen in der Detailverdrahtung umgesetzt werden. Eine EM-robuste Detailverdrahtung muss dabei in der Lage sein, einen Netzverlauf durch EM-Maßnahmen verändern zu können, sodass die Robustheit von kritischen Leiterbahnen verbessert wird. Deshalb ist es wichtig, dass die Detailverdrahtung möglichst beeinflussbar ist, sodass sich die Gegenmaßnahmen während der Verdrahtung umsetzen lassen.

Die Detailverdrahtung mittels Wegsuche in einem Graphen, welcher die Verdrahtungsressourcen abbildet, ermöglicht die Integration der EM-Maßnahmen. Dieses Vorgehen ist außerdem kompatibel zu einem breiten Feld von Verdrahtern, sodass die hier vorgestellten Gegenmaßnahmen leicht in anderen Verdrahtern umsetzbar sind. Oftmals hilft bereits eine gezielte Anpassung des Graphen, beispielsweise durch die Entfernung von Kanten, um eine EM-robustere Lösung zu erzeugen.

Die Ergebnisse zeigen, dass die hier entwickelte EM-robuste Detailverdrahtung die EM-Gefahr durch die Berücksichtigung der Gegenmaßnahmen reduzieren kann. Alle hier entwickelten EM-Maßnahmen kompensieren dabei die EM auf unterschiedliche Weise, sodass diese Vor- und Nachteile haben. Die größte Kompensation ist mit der Verbesserung der Netztopologie, der Reduzierung der Leiterbahnlänge und der Vergrößerung des Leiterbahnquerschnittes möglich. Im Vergleich dazu senkt das Einsetzen von Reservoiren und EM-robusten redundanten Vias die EM-Gefahr in geringerem Umfang, jedoch benötigen diese Maßnahmen dafür auch weniger Ressourcen. Außerdem ermöglicht die hohe Korrelation zwischen der Vorhersage der EM-Gefahr und dem Ergebnis eine Erhöhung der Verdrahtungsressourcen für kritische Netze.

Zusammenfassend kann man sagen, dass selbst die Anwendung einer einzelnen Maßnahme bereits deutlich die EM-Gefahr eines Layouts reduzieren kann. Eine Kombination der Maßnahmen würde die EM-Robustheit noch weiter erhöhen, jedoch muss man dabei ein Optimum zwischen der Reduzierung der EM-Gefahr und dem Einsatz zusätzlicher Ressourcen finden.

KAPITEL 7

Gesamtzusammenfassung, Schlussfolgerung und Ausblick

7.1 Gesamtzusammenfassung und Schlussfolgerung

Die Zuverlässigkeit integrierter Schaltungen (engl. integrated circuits, ICs) ist zunehmend durch das Auftreten von Elektromigration (EM) gefährdet. Der Grund ist die anhaltende Strukturverkleinerung, welche zum einen die EM-Auswirkung verstärkt und zum anderen die Grenzwerte für EM-Schäden reduziert. Besonders betroffen sind die lange Zeit in dieser Hinsicht vernachlässigten digitalen Schaltungen, da für diese in Zukunft keine Lösungen zur Verfügung stehen.

Aus diesem Grund ist es wichtig, einen Paradigmenwechsel im Layoutentwurf durchzuführen, welcher den traditionellen EM-Verifikationsschritt nach der Layouterstellung durch einen proaktiven EM-robusten Layoutentwurf ersetzt. Das größte Potenzial zur Kompensation der EM bietet der Verdrahtungsschritt, da dieser die Geometrie der Leiterbahnen festlegt. Deshalb enthält diese Arbeit die notwendigen Anpassungen und Neuentwicklungen für den Paradigmenwechsel in der Verdrahtung, um den Anstieg der EM-Probleme abzufangen.

Die drei benötigten Schritte zum Erreichen dieses Zieles sind (1) die Erstellung eines EM-Modells für digitale Verbindungsstrukturen, (2) die Ableitung von EM-Maßnahmen aus dem Modell und (3) die Umsetzung der Maßnahmen in einer EM-robusten Verdrahtung (Abb. 7.1).

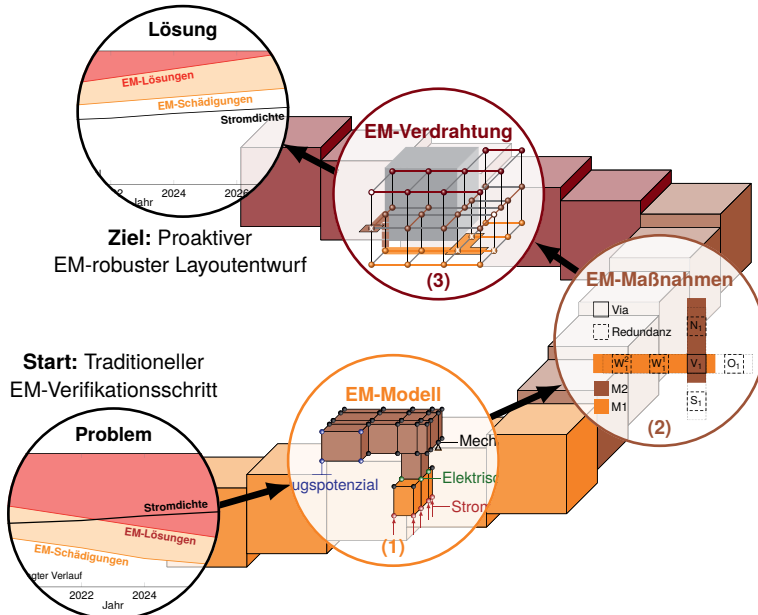


Abb. 7.1: Die drei folgenden (und dargestellten) Schritte sind die Beiträge dieser Arbeit, um eine Lösung für die aufkommenden EM-Probleme zu finden, welche die Robustheit des Layouts in der Verdrahtung digitaler Schaltungen erhöht: (1) Aufstellen eines EM-Modells für digitale Verbindungsstrukturen, (2) Ableiten von EM-Maßnahmen und (3) Berücksichtigung der Gegenmaßnahmen in einer EM-robusten Verdrahtung.

Die Finite-Elemente-Methode (FEM) bietet aufgrund ihrer Vielseitigkeit eine gute Möglichkeit, um ein EM-Modell für die Ableitung von Gegenmaßnahmen aufzustellen. Dabei kann die Integration einiger FEM-Schritte in die Werkzeuge des Layoutentwurfs eine deutlich Beschleunigung der Analyse bewirken. Der

größte Vorteil lässt sich durch einen angepassten Diskretisierungsalgorithmus erzielen, welcher auf die geradlinigen Verdrahtungsstrukturen eingeht. Die hier entwickelte Analyse für digitale Verbindungsstrukturen zeigte bei der Verifikation zu bekannten analytischen Lösungen sehr gute Übereinstimmungen. Der Vergleich zwischen der Stromdichte und der hydrostatischen mechanischen Spannung (engl. hydrostatic stress, kurz: Stress) belegte, dass die Identifizierung von EM-Problemen nicht anhand der Stromdichte, sondern des Stresses erfolgen sollte. Außerdem hat sich gezeigt, dass die Reduzierung des statischen Stresses als Nachweis zur Verringerung der EM-Gefahr geeignet ist. Es besteht deshalb die Möglichkeit, dafür eine schnelle Layoutanalyse aufzubauen und diese in den Layoutentwurf zu integrieren.

Untersuchungen mit dem FEM-Modell führten zu EM-Maßnahmen, welche den Stress in den Leiterbahnen senken und gleichzeitig die Anforderung bei der Verdrahtung von Signalnetzen erfüllen. Diese Gegenmaßnahmen reduzieren größtenteils die Stromdichte oder Leiterbahnlänge, da sich dadurch die EM-Gefahr verringern lässt. Eine Ausnahme stellt die Veränderung der Verdrahtungsreihenfolge dar, welche (im Gegensatz zu allen anderen Maßnahmen) die Verdrahtungsressourcen für kritische Netze erhöht. Die Verbesserung der Netztopologie kann den Stress eines Netzes deutlich reduzieren, indem sie die Stromdichte verringert. Eine besonders gute Maßnahme zur Senkung des Stresses stellt auch die Begrenzung der Leiterbahnlänge dar, welche durch ein Einfügen von Ebenenwechseln die EM-relevante Leiterbahnlänge verringert. Ebenfalls in dieser Hinsicht zielführend ist die Verschiebung von kritischen Leiterbahnen auf höhere Ebenen mit größeren Querschnitten, da dadurch die Stromdichte reduziert wird. Das Einsetzen von Reservoirien und EM-robusten redundanten Vias trägt ebenfalls zur Kompensation der EM bei. Vorteile dieser Maßnahmen sind die geringfügigen Netzveränderungen und deren leichte Umsetzbarkeit.

Die Integration der genannten EM-Maßnahmen kann ausschließlich in einer EM-robusten Detailverdrahtung erfolgen. Der Aufbau dieser Detailverdrahtung mit einem Rasterverdrahter bietet den Vorteil, dass bereits kleine Anpassungen im Verdrahtungsgraphen die Umsetzung der Gegenmaßnahmen gewährleistet.

Außerdem sind Rasterverdrahter sehr flexibel und weit verbreitet, sodass die Integrierung unterstützt und eine leichte Übernahme in andere Arbeiten ermöglicht wird. In den Benchmark-Tests zur Anwendbarkeit der EM-Maßnahmen hat sich gezeigt, dass diese in der Lage sind, die EM-Robustheit eines Layouts zu erhöhen. Jedoch müssen dafür mehr Verdrahtungsressourcen eingesetzt werden als ohne die Berücksichtigung der EM. Deshalb bietet sich eine initiale Detailverdrahtung an, welche im Anschluss punktuell verbessert wird. Aus den Ergebnissen für die einzelnen Gegenmaßnahmen geht hervor, dass diese unterschiedliche Vor- und Nachteile besitzen. Jede Maßnahme trägt jedoch dazu bei, die EM-Gefahr im Layout zu reduzieren. Eine Kombination der Maßnahmen kann zur weiteren Erhöhung der EM-Robustheit führen, wobei dies ein Optimierungsproblem darstellt. Die optimale Lösung dieses Problems ist die maximale Reduzierung der EM-Gefahr durch den minimalen Einsatz von zusätzlichen Verdrahtungsressourcen.

In dieser Arbeit erwies sich das Vorgehen vom Aufstellen eines Modells, über die Ableitung von Gegenmaßnahmen bis hin zur Anpassung des Layoutentwurfs als äußerst zielführend für die Erhöhung der Layoutrobustheit. Die Anwendung dieser drei Schritte führte zu einer deutlichen Reduzierung der EM-Gefahr. Damit liefert diese Arbeit nicht nur einen wichtigen Beitrag zum Abfangen der aufkommenden EM-Probleme, sondern stellt zusätzlich eine Vorgehensweise bereit, welche sich ebenfalls zur Kompensation anderer Schädigungseffekte einsetzen lässt.

7.2 Ausblick

Diese Arbeit vollzieht bereits erfolgreich den Wechsel von einem traditionellen EM-Verifizierungsschritt hin zum proaktiven EM-robusten Layoutentwurf bei der Verdrahtung von digitalen Schaltungen. Die aufkommende dreidimensionale Integration der Schaltungen kann dafür sorgen, dass eine Betrachtung zur Thermomigration (TM) erforderlich wird. Diese Anordnungen sind für eine schlechte Abführung von Wärme bekannt, sodass dort vermehrt mit TM zu rechnen ist. In Zukunft können neben diesem Effekt auch noch andere, wie

beispielsweise externe Stressquellen aufgrund von Durchkontaktierungen, an Bedeutung gewinnen.

Ein möglicher erster Schritt zur Weiterführung dieser Arbeit wäre eine Erweiterung des aufgebauten FEM-Modells, um die angesprochenen Schädigungseffekte, wie TM, separat und auch im Kontext der EM zu berücksichtigen. Anhand des erweiterten Modells können anschließend die Auswirkungen und Interaktionen untersucht werden, sodass das Migrationsverhalten der Leiterbahnen in den neuen Technologien besser verstanden wird.

Im zweiten Schritt sind mit dem erweiterten Modell auch die bestehenden Maßnahmen auf deren Eignung zu untersuchen und gegebenenfalls neue Strategien zur EM-Kompensation abzuleiten. Diese können auch andere Punkte des Layoutentwurfs, wie die Platzierung, adressieren.

Abschließend kann man die Anpassung des Layoutentwurfs zur Berücksichtigung der erweiterten Maßnahmen ausbauen, sodass der proaktive Ansatz dieser Arbeit weitergeführt wird. Denkbar ist auch, dass man die Berücksichtigung der EM auf die Platzierung erweitert, sodass die Verbindungslängen zwischen kritischen Pins reduziert werden. Außerdem kann eine Optimierung zum gleichzeitigen Einsetzen von mehreren Gegenmaßnahmen die Robustheit weiterhin verbessern. Dieser Punkt gewinnt sogar noch an Bedeutung, wenn sich deren Anzahl durch beispielsweise die Berücksichtigung von TM erhöht.

Zukünftige Arbeiten sollten sich am Ausbau des hier entwickelten, proaktiven Layoutentwurfs beteiligen, sodass man auch in Zukunft zuverlässige Schaltungen entwerfen kann. Die aufgebaute Vorgehensweise kann dabei als Leitfaden für zukünftige Untersuchungen dienen, da die erzielten Erfolge für eine Wiederverwendung sprechen.

Glossar

Chemische Diffusion ist ein Stofftransport, welcher durch einen Konzentrationsgradienten ausgelöst wird.

Chemisch-mechanisches Polieren ist ein Schritt zum Entfernen von überschüssigem Kupfer in der Herstellung.

Damaszene-Prozess ist ein additives Herstellungsverfahren für integrierte Kupferleiterbahnen und Vias.

Dual-Damaszene-Prozess ist eine Weiterentwicklung des Damaszene-Prozesses, bei welchem die Vias und die darüberliegenden Leiterbahnen gemeinsam abgeschieden werden.

Elektromigration ist ein Stofftransport, welcher durch hohe Stromdichten ausgelöst wird und Stress in Leiterbahnen verursacht.

Fehlstelle (engl. void) ist eine Ansammlung von Leerstellen, welche zu Unterbrechungen in den Leiterbahnen führen.

Generierungs- und Zerstörungsprozess beschreibt das Entstehen oder Vernichten von Leerstellen in Leiterbahnen durch eine Veränderung der Gitterstruktur.

Integrierte Schaltung besteht aus Transistoren innerhalb eines Halbleiters mit aufgetragenen Leiterbahnen und Vias.

International Roadmap for Devices and Systems ist eine Vorhersage zur Entwicklung für elektronische Geräte und Systeme zusammengestellt von den führenden Forschungs- und Industrieinstitutionen.

International Technology Roadmap for Semiconductors ist eine Vorhersage zur Entwicklung der Halbleiterindustrie zusammengestellt von den führenden Forschungs- und Industrieinstitutionen.

Materialanhäufung (engl. hillock) ist eine Ansammlung von Atomen, welche zu Kurzschlüssen zwischen den Leiterbahnen führen.

Nicht-planarer Feldeffekttransistor ist ein Transistor mit einem aufrecht stehenden Gate, welches von der Isolationsschicht an drei Seiten umschlossen wird.

Prozess-Design-Kit ist eine Sammlung von entwurfswichtigen Informationen, die zur Prozessbeschreibung einer Technologie im Layoutentwurf benötigt werden.

Rangkorrelationskoeffizient von Spearman gibt an, wie gut die Korrelation zweier sortierter Datenreihen durch eine monotone Funktion beschrieben werden kann.

Stress ist die mittlere hydrostatische mechanische Spannung (engl. stress, σ) aus allen Richtungen des Bezugssystems ($\sigma = (\sigma_1 + \sigma_2 + \sigma_3)/3$).

Stressmigration ist ein Stofftransport, welcher durch einen Stressgradienten ausgelöst wird.

Strom-Erholungsmodell berechnet aus einem Wechselstrom den vergleichbaren Gleichstrom für die Elektromigration mit Berücksichtigung einer unvollständigen Selbstheilung.

Thermomigration ist ein Stofftransport, welcher durch einen Temperaturgradienten ausgelöst wird.

Verdrahtungslänge ist die Summe aller Leiterbahnlängen eines Netz oder einer Schaltung, welche eine elektrische Verbindung herstellen.

Via-Belastung ist der Stress an der Via-Position geteilt durch die Anzahl der zur Verfügung stehenden Vias.

Index

- Aktivierungsenergie 9, 11, 23
Aspekt-Verhältnis 95
Atomvolumen 14
Ausdehnungskoeffizient 18

Betafaktor 67
Blech-Länge 25
Blech-Produkt 25
Boltzmann-Konstante 11, 23
Breite 82, 95, 113

Chemisch-mechanische Politur 10
Chemische Diffusion 15

Damascene-Prozess 17
Dicke 95
Dielektrische Zwischenschicht 18
Diffusionsgleichung 11
Diffusionskoeffizient 11
Diffusionskonstante 11
Drift-Geschwindigkeit 11
Druckstress 13, 55, 78, 79
Dual-Damascene-Prozess 10, 49, 97

Effektive Ladungszahl 9, 11
Elektrische Feldkraft 8, 9
Elektrische Feldstärke 9, 11

Elektromigration 2, 8, 39, 43, 71, 100, 138
Elektromigrationskraft 9
Elektronenwindkraft 8, 9
Elementarladung 9, 11

Fehlstelle 14, 18
Finite-Elemente 46
Finite-Elemente-Methode 28, 44
Fläche 11, 64, 65, 81
Frequenz 21

Ganzzahlige lineare Optimierung 36, 85, 89, 116
Generierungs- und Zerstörungsterm 12
Gewicht 87, 88
Globale Zelle 35
Grundvergleichsspannung 81

Integrierte Schaltung 34, 39, 43, 71, 138
IRDS 3
ITRS 3

Kapazität 64
Knoten 104, 105, 108

- Kompressionsmodul** 12
Konzentration 11, 12
Kostenfunktion 108
- Ladung** 64
Länge 58, 72, 85
- Materialanhäufung** 14, 18
Materialparameter 23, 24
Mittlere Lebensdauer 5, 21
- Off-Track-Via** 84
On-Track-Via 84
- Prozess-Design-Kit** 21, 47
- Randbedingung** 89
Rangkorrelationskoeffizient 121
Restkosten 108
Reststress 18, 51, 80, 133
- Schaltstrom** 64–66
Spannung 28, 64
Spezifischer Widerstand 9, 11
Stress 12, 44, 71, 102, 140
Stressmigration 13, 52
- Strom** 30, 64, 67
Stromdichte 9, 11, 23, 44, 58, 64, 71, 84, 85
Stromdichteerholungswert 20
Stromdichteexponent 23, 24
Strom-Erholungsmodell 20
- Teilchenstromdichte** 11
Temperatur 11, 23
Thermomigration 15, 42, 44, 141
Transportwärme 16
- Verdrahtungslänge** 75–77, 117, 123
Vergleichsspannung 65, 80
Viaanzahl 84, 88, 117
Via-Belastung 84, 133, 134
- Wegkosten** 108
Widerstand 65
Wiederherstellungsfaktor 20, 64
- Zeit** 11, 20, 64
Zielfunktion 89, 90
Zugstress 13, 55, 78, 79

Literatur

- [Abe72] L. C. Abel. "On the ordering of connections for automatic wire routing". In: *IEEE Trans. on Computers* C-21.11 (Nov. 1972), S. 1227–1233. doi: 10.1109/T-C.1972.223482.
- [AKZ14] C. Ababei, R. G. Kavasseri und M. A. Zare. "Net reordering and multicommodity flow based global routing for FPGAs". In: *Proc. of the 2014 Int. Conf. on ReConfigurable Computing and FPGAs (ReConFig)*. Dez. 2014, S. 1–6. doi: 10.1109/ReConFig.2014.7032540.
- [ANS17] ANSYS. *Multiphysics simulation*. 2017. URL: <https://www.ansys.com/products/platform/multiphysics-simulation>.
- [ANS19] ANSYS. *RedHawk*. 2019. URL: <https://www.ansys.com/products/semiconductors/ansys-redhawk>.
- [BGH71] J. C. Blair, P. B. Ghate und C. T. Haywood. "Concerning electromigration in thin films". In: *Proc. of the IEEE* 59.6 (Juni 1971), S. 1023–1024. doi: 10.1109/PROC.1971.8315.
- [Big+18a] S. Bigalke, T. Casper, S. Schöps und J. Lienig. "Increasing EM robustness of placement and routing solutions based on layout-driven discretization". In: *Proc. of the 14th Conf. on PhD Research in Microelectronics and Electronics (PRIME)*. Juli 2018, S. 89–92. doi: 10.1109/PRIME.2018.8430323.
- [Big+18b] S. Bigalke, J. Lienig, G. Jerke, J. Scheible und R. Jancke. "The need and opportunities of electromigration-aware integrated circuit design". In: *Proc. of the 2018 Int. Conf. on Computer Aided Design (ICCAD)*. Nov. 2018, 96:1–96:8. doi: 10.1145/3240765.3265971.

- [BK75] I. Blech und E. Kinsbron. "Electromigration in thin gold films on molybdenum surfaces". In: *Thin Solid Films* 25.2 (1975), S. 327–334. doi: 10.1016/0040-6090(75)90052-8.
- [BL16a] S. Bigalke und J. Lienig. "Electro-, stress- and thermomigration: Three forces, one problem". In: *Proc. of the 2016 Design, Automation and Test in Europe Conf. (DATE), Poster and Demonstrator at the University Booth*. März 2016. URL: https://ifte.de/mitarbeiter/bigalke/2016_Bigalke_DATE.pdf.
- [BL16b] S. Bigalke und J. Lienig. "Load-aware redundant via insertion for electromigration avoidance". In: *Proc. of the 2016 ACM Int. Symp. on Physical Design (ISPD)*. Apr. 2016, S. 99–106. doi: 10.1145/2872334.2872355.
- [BL18] S. Bigalke und J. Lienig. "FLUTE-EM: Electromigration-optimized net topology considering currents and mechanical stress". In: *Proc. of the 26th IFIP/IEEE Int. Conf. on Very Large Scale Integration (VLSI-SoC)*. Okt. 2018, S. 225–230. doi: 10.1109/VLSI-SoC.2018.8644965.
- [Bla69] J. R. Black. "Electromigration - A brief survey and some recent results". In: *IEEE Trans. on Electron Devices* 16.4 (Apr. 1969), S. 338–347. doi: 10.1109/T-ED.1969.16754.
- [Ble76] I. A. Blech. "Electromigration in thin aluminum films on titanium nitride". In: *Journal of Applied Physics* 47.4 (Apr. 1976), S. 1203–1208. doi: 10.1063/1.322842.
- [BM01] K. Banerjee und A. Mehrotra. "Coupled analysis of electromigration reliability and performance in ULSI signal nets". In: *Proc. of the 2001 IEEE/ACM Int. Conf. on Computer-Aided Design (ICCAD)*. IEEE Press, 2001, S. 158–164. ISBN: 0-7803-7249-2.
- [Boo17] Boost. *Boost 1.62.0 Library*. 2017. URL: https://www.boost.org/doc/libs/1_62_0/.

- [CC09] H.-Y. Chen und Y.-W. Chang. "Global and detailed routing". In: *Electronic Design Automation*. Hrsg. von L.-T. Wang, Y.-W. Chang und K.-T. Cheng. Boston: Morgan Kaufmann, 2009, S. 687–749. ISBN: 978-0-12-374364-0. doi: 10.1016/B978-0-12-374364-0.50019-9.
- [Che+08] H.-Y. Chen, M.-F. Chiang, Y.-W. Chang, L. Chen und B. Han. "Full-chip routing considering double-via insertion". In: *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* 27.5 (Mai 2008), S. 844–857. doi: 10.1109/TCAD.2008.917597.
- [Che+12] X. Chen, C. Liao, T. Wei und S. Hu. "An interconnect reliability-driven routing technique for electromigration failure avoidance". In: *IEEE Trans. on Dependable and Secure Computing* 9.5 (Sep. 2012), S. 770–776. doi: 10.1109/TDSC.2010.57.
- [CJC02] C.-C. Chang, J. Jeng und J. Chen. "Microstructural and electrical characteristics of reactively sputtered Ta-N thin films". In: *Thin Solid Films* 413.1 (2002), S. 46–51. doi: 10.1016/S0040-6090(02)00342-5.
- [Cle97] J. J. Clement. "Reliability analysis for encapsulated interconnect lines under DC and pulsed DC current using a continuum electromigration transport model". In: *Journal of Applied Physics* 82.12 (1997), S. 5991–6000. doi: 10.1063/1.366464.
- [CS11] H. Ceric und S. Selberherr. "Electromigration in submicron interconnect features of integrated circuits". In: *Materials Science and Engineering: R: Reports* 71.5 (2011), S. 53–86. doi: 10.1016/j.mser.2010.09.001.
- [CSN16] S. Chatterjee, V. Sukharev und F. N. Najm. "Fast physics-based electromigration checking for on-die power grids". In: *Proc. of the 2016 IEEE/ACM Int. Conf. on Computer-Aided Design (ICCAD)*. Nov. 2016, S. 1–8. doi: 10.1145/2966986.2967041.
- [CSN17] S. Chatterjee, V. Sukharev und F. N. Najm. "Fast physics-based electromigration assessment by efficient solution of linear time-invariant (LTI) systems". In: *Proc. of the 2017 IEEE/ACM Int. Conf.*

- on *Computer-Aided Design (ICCAD)*. Nov. 2017, S. 659–666. doi: 10.1109/ICCAD.2017.8203840.
- [CSN18] S. Chatterjee, V. Sukharev und F. N. Najm. “Power grid electromigration checking using physics-based models”. In: *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* 37.7 (Juli 2018), S. 1317–1330. doi: 10.1109/TCAD.2017.2666723.
- [CW08] C. Chu und Y. Wong. “FLUTE: Fast lookup table based rectilinear steiner minimal tree algorithm for VLSI design”. In: *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* 27.1 (Jan. 2008), S. 70–83. doi: 10.1109/TCAD.2007.907068.
- [Dij59] E. W. Dijkstra. “A note on two problems in connexion with graphs”. In: *Numerische Mathematik* 1.1 (Dez. 1959), S. 269–271. doi: 10.1007/BF01386390.
- [DS14] E. Demircan und M. Shroff. “Model based method for electro-migration stress determination in interconnects”. In: *Proc. of the 2014 IEEE Int. Reliability Physics Symp. (IRPS)*. Juni 2014, IT.5.1–IT.5.6. doi: 10.1109/IRPS.2014.6861154.
- [Fil+17] L. Filipovic, R. L. de Orio, W. H. Zisser und S. Selberherr. “Modeling electromigration in nanoscaled copper interconnects”. In: *Proc. of the 2017 Int. Conf. on Simulation of Semiconductor Processes and Devices (SISPAD)*. Sep. 2017, S. 161–164. doi: 10.23919/SISPAD.2017.8085289.
- [Fis+15] K. Fischer u. a. “Low-k interconnect stack with multi-layer air gap and tri-metal-insulator-metal capacitors for 14nm high volume manufacturing”. In: *Proc. of the 2015 IEEE Int. Interconnect Technology Conf. and 2015 IEEE Materials for Advanced Metallization Conf. (IITC/MAM)*. Mai 2015, S. 5–8. doi: 10.1109/IITC-MAM.2015.7325600.

- [Gam+09] J. P. Gambino, T. C. Lee, F. Chen und T. D. Sullivan. "Reliability challenges for advanced copper interconnects: Electromigration and time-dependent dielectric breakdown (TDDB)". In: *Proc. of the 16th IEEE Int. Symp. on the Physical and Failure Analysis of Integrated Circuits*. Juni 2009, S. 677–684. doi: 10.1109/IPFA.2009.5232553.
- [Gan+03] C. L. Gan, C. V. Thompson, K. L. Pey und W. K. Choi. "Experimental characterization and modeling of the reliability of three-terminal dual-damascene Cu interconnect trees". In: *Journal of Applied Physics* 94.2 (2003), S. 1222–1228. doi: 10.1063/1.1585119.
- [GM15] Z. Guan und M. Marek-Sadowska. "Atomic flux divergence-based AC electromigration model for signal line reliability assessment". In: *Proc. of the 65th IEEE Electronic Components and Technology Conf. (ECTC)*. Mai 2015, S. 2155–2161. doi: 10.1109/ECTC.2015.7159901.
- [GM16] Z. Guan und M. Marek-Sadowska. "AFD-based method for signal line EM reliability evaluation". In: *Proc. of the 17th Int. Symp. on Quality Electronic Design (ISQED)*. März 2016, S. 443–449. doi: 10.1109/ISQED.2016.7479241.
- [Gur16] *Optimization 7.0.2*. Gurobi. 2016. URL: <http://www.gurobi.com/academia/for-universities>.
- [Har16] M. Harris. "Inside pascal: NVIDIA's newest computing platform". In: *NVIDIA Developer Blog* (Apr. 2016). URL: <https://devblogs.nvidia.com/inside-pascal/>.
- [Hau02] S. P. Hau-Riege. "Probabilistic immortality of Cu damascene interconnects". In: *Journal of Applied Physics* 91.4 (2002), S. 2014–2022. doi: 10.1063/1.1436562.
- [Her+11] A. Heryanto u. a. "The effect of stress migration on electromigration in dual damascene copper interconnects". In: *Journal of Applied Physics* 109.1 (2011), S. 013716-1–013716-9. doi: 10.1063/1.3531393.

- [HGR06] C.-K. Hu, L. Gignac und R. Rosenberg. "Electromigration of Cu/low dielectric constant interconnects". In: *Microelectronics Reliability* 46.2 (2006), S. 213–231. doi: 10.1016/j.microrel.2005.05.015.
- [HHM04] C. S. Hau-Riege, S. P. Hau-Riege und A. P. Marathe. "The effect of interlevel dielectric on the critical tensile stress to void nucleation for the reliability of Cu interconnects". In: *Journal of Applied Physics* 96.10 (2004), S. 5792–5796. doi: 10.1063/1.1787139.
- [HLK09] J. Hohage, M. Lehr und V. Kahlert. "A copper-dielectric cap interface with high resistance to electromigration for high performance semiconductor devices". In: *Microelectronic Engineering* 86.3 (2009), S. 408–413. doi: 10.1016/j.mee.2008.12.012.
- [HNR68] P. E. Hart, N. J. Nilsson und B. Raphael. "A formal basis for the heuristic determination of minimum cost paths". In: *IEEE Trans. on Systems Science and Cybernetics* 4.2 (Juli 1968), S. 100–107. doi: 10.1109/TSSC.1968.300136.
- [Hua+14] X. Huang, T. Yu, V. Sukharev und S. X. D. Tan. "Physics-based electromigration assessment for power grid networks". In: *Proc. of the 51st ACM/EDAC/IEEE Design Automation Conf. (DAC)*. Juni 2014, S. 1–6. doi: 10.1145/2593069.2593180.
- [Hua+16a] X. Huang, V. Sukharev, T. Kim, H. Chen und S. X. Tan. "Electromigration recovery modeling and analysis under time-dependent current and temperature stressing". In: *Proc. of the 21st Asia and South Pacific Design Automation Conf. (ASP-DAC)*. Jan. 2016, S. 244–249. doi: 10.1109/ASPDAC.2016.7428018.
- [Hua+16b] X. Huang u. a. "Electromigration assessment for power grid networks considering temperature and thermal stress effects". In: *Integration, the VLSI Journal* 55 (2016), S. 307–315. doi: 10.1016/j.vlsi.2016.04.001.

- [IBM98] IBM. "IBM leads in U.S. patents for fifth consecutive year capping 1997's technology breakthroughs". In: *Press Release* (Jan. 1998). URL: <http://www-03.ibm.com/ibm/history/ibm100/us/en/icons/copperchip/>.
- [IRDS] IEEE International Roadmap for Devices and Systems (IRDS). <https://irds.ieee.org/>. 2018.
- [ITRS] International Technology Roadmap for Semiconductors 2.0 (ITRS 2.0). *More Moore*. <http://www.itrs2.net/itrs-reports.html>. 2016.
- [JCC10] I. H.-R. Jiang, H.-Y. Chang und C.-L. Chang. "Optimal wiring topology for electromigration avoidance considering multiple layers and obstacles". In: *Proc. of the 2010 ACM Int. Symp. on Physical Design (ISPD)*. März 2010, S. 177–184. DOI: 10.1145/1735023.1735064.
- [JCC12] I. H. Jiang, H. Chang und C. Chang. "WiT: Optimal wiring topology for electromigration avoidance". In: *IEEE Trans. on Very Large Scale Integration Systems* 20.4 (Apr. 2012), S. 581–592. DOI: 10.1109/TVLSI.2011.2116049.
- [Jia+18] X. Jia, Y. Cai, Q. Zhou und B. Yu. "A multicommodity flow-based detailed router with efficient acceleration techniques". In: *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* 37.1 (Jan. 2018), S. 217–230. DOI: 10.1109/TCAD.2017.2693270.
- [Kah+11] A. B. Kahng, J. Lienig, I. L. Markov und J. Hu. *VLSI physical design: From graph partitioning to timing closure*. Springer Netherlands, 2011. ISBN: 978-90-481-9591-6. DOI: 10.1007/978-90-481-9591-6.
- [Kin10] T. King-Ning. *Electronic thin-film reliability*. Cambridge University Press, Juli 2010. ISBN: 978-0-511-90817-0. DOI: 10.1017/CBO9780511777691.
- [Kir92] R. Kirchheim. "Stress and electromigration in Al-lines of integrated circuits". In: *Acta Metallurgica et Materialia* 40.2 (1992), S. 309–323. DOI: 10.1016/0956-7151(92)90305-X.

- [KK08] S. Katrue und D. Kudithipudi. "GALEOR: Leakage reduction for CMOS circuits". In: *Proc. of the 15th IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS)*. Aug. 2008, S. 574–577. doi: 10.1109/ICECS.2008.4674918.
- [Kor+93] M. A. Korhonen, P. Børgesen, K. N. Tu und C.-Y. Li. "Stress evolution due to electromigration in confined metal lines". In: *Journal of Applied Physics* 73.8 (Apr. 1993), S. 3790–3799. doi: 10.1063/1.354073.
- [KWX18] A. B. Kahng, L. Wang und B. Xu. "TritonRoute: An initial detailed router for advanced VLSI technologies". In: *Proc. of the Int. Conf. on Computer-Aided Design (ICCAD)*. Sep. 2018, S. 1–8. doi: 10.1145/3240765.3240766.
- [LCH90] B. K. Liew, N. W. Cheung und C. Hu. "Projecting interconnect electromigration lifetime for arbitrary current waveforms". In: *IEEE Trans. on Electron Devices* 37.5 (Mai 1990), S. 1343–1351. doi: 10.1109/16.108197.
- [LCS99] J. Lloyd, J. Clemens und R. Snede. "Copper metallization reliability". In: *Microelectronics Reliability* 39.11 (Nov. 1999), S. 1595–1602. doi: 10.1016/S0026-2714(99)00177-8.
- [LDSI2] *LEF/DEF Parser v5.7*. Si2.org. 2015. URL: <https://projects.si2.org/openeda.si2.org/projects/lefdef/>.
- [Lee+03] K.-D. Lee, E. T. Ogawa, S. Yoon, X. Lu und P. S. Ho. "Electromigration threshold for Cu/low-k interconnects". In: *Proc. of the 2003 IEEE Int. Interconnect Technology Conf. (IITC)*. Juni 2003, S. 259–261. doi: 10.1109/IITC.2003.1219770.
- [Lee12] K. D. Lee. "Electromigration recovery and short lead effect under bipolar- and unipolar-pulse current". In: *Proc. of the 2012 IEEE Int. Reliability Physics Symp. (IRPS)*. Apr. 2012, S. 1–4. doi: 10.1109/IRPS.2012.6241869.

- [LH04] K.-D. Lee und P. S. Ho. "Statistical study for electromigration reliability in dual-damascene Cu interconnects". In: *IEEE Trans. on Device and Materials Reliability* 4.2 (Juni 2004), S. 237–245. doi: 10.1109/TDMR.2004.827679.
- [LHT95] K. L. Lee, C. K. Hu und K. N. Tu. "In situ scanning electron microscope comparison studies on electromigration of Cu and Cu(Sn) alloys for advanced chip interconnects". In: *Journal of Applied Physics* 78.7 (1995), S. 4428–4437. doi: 10.1063/1.359851.
- [Lie06] J. Lienig. "Introduction to electromigration-aware physical design". In: *Proc. of the 2006 ACM Int. Symp. on Physical Design (ISPD)*. San Jose, California, USA, Apr. 2006, S. 39–46. ISBN: 1-59593-299-2. doi: 10.1145/1123008.1123017.
- [Lie16] J. Lienig. *Layoutsynthese elektronischer Schaltungen: Grundlegende Algorithmen für die Entwurfsautomatisierung*. 2. Aufl. Berlin, Heidelberg: Springer Vieweg, 2016. ISBN: 978-3-662-49814-9.
- [LJ03] J. Lienig und G. Jerke. "Current-driven wire planning for electromigration avoidance in analog circuits". In: *Proc. of the 8th Asia and South Pacific Design Automation Conf. (ASP-DAC)*. Jan. 2003, S. 783–788. doi: 10.1109/ASPDAC.2003.1195125.
- [Llo02] J. R. Lloyd. *Electromigration for designers: An introduction for the non-specialist*. Techn. Ber. EE Times, 2002. URL: https://www.eetimes.com/document.asp?doc_id=1275855.
- [Llo07] J. Lloyd. "Black's law revisited—Nucleation and growth in electromigration failure". In: *Microelectronics Reliability* 47.9 (Sep. 2007), S. 1468–1472. doi: 10.1016/j.microrel.2007.07.094.
- [Llo99] J. Lloyd. "Electromigration and mechanical stress". In: *Microelectronic Engineering* 49.1 (Nov. 1999), S. 51–64. doi: 10.1016/S0167-9317(99)00429-3.

- [LO11] M. Lin und A. S. Oates. "The effects of Al doping and metallic-cap layers on electromigration transport mechanisms in copper nanowires". In: *IEEE Trans. on Device and Materials Reliability* 11.4 (Dez. 2011), S. 540–547. doi: 10.1109/TDMR.2011.2163313.
- [LO13] M. H. Lin und A. S. Oates. "AC and pulsed-DC stress electromigration failure mechanisms in Cu interconnects". In: *Proc. of the 2013 IEEE Int. Interconnect Technology Conf. (IITC)*. Juni 2013, S. 1–3. doi: 10.1109/IITC.2013.6615556.
- [LT18a] J. Lienig und M. Thiele. *Fundamentals of electromigration-aware integrated circuit design*. Springer International Publishing, 2018. doi: 10.1007/978-3-319-73558-0.
- [LT18b] J. Lienig und M. Thiele. "The Pressing Need for Electromigration-Aware Physical Design". In: *Proc. of the 2018 ACM Int. Symp. on Physical Design (ISPD)*. 2018, S. 144–151. doi: 10.1145/3177540.3177560.
- [Man+18] S. Mantik, G. Posser, W.-K. Chow, Y. Ding und W.-H. Liu. "ISPD 2018 initial detailed routing contest and benchmarks". In: *Proc. of the 2018 Int. Symp. on Physical Design (ISPD)*. 2018, S. 140–143. doi: 10.1145/3177540.3177562.
- [Moo06] G. E. Moore. "Progress in digital integrated electronics". In: *IEEE Solid-State Circuits Society Newsletter* 11.3 (Sep. 2006), S. 36–37. doi: 10.1109/N-SSC.2006.4804410.
- [Muk+03] S. Mukhopadhyay u. a. "Gate leakage reduction for scaled devices using transistor stacking". In: *IEEE Trans. on Very Large Scale Integration Systems* 11.4 (Aug. 2003), S. 716–730. doi: 10.1109/TVLSI.2003.816145.
- [Nor11] North Carolina State University. *FreePDK*. 2011. URL: <https://www.eda.ncsu.edu/wiki/FreePDK>.

- [OCS10] R. de Orio, H. Ceric und S. Selberherr. "Physically based models of electromigration: From Black's equation to modern TCAD models". In: *Microelectronics Reliability* 50.6 (2010), S. 775–789. doi: 10.1016/j.microrel.2010.01.007.
- [OL14] A. S. Oates und M. H. Lin. "Electromigration failure of circuit - like interconnects: Short length failure time distributions with active sinks and reservoirs". In: *Proc. of the 2014 IEEE Int. Reliability Physics Symp. (IRPS)*. Juni 2014, S. 1–7. doi: 10.1109/IRPS.2014.6860657.
- [PBP15] J. Pak, Bei Yu und D. Z. Pan. "Electromigration-aware redundant via insertion". In: *Proc. of the 20th Asia and South Pacific Design Automation Conf. (ASP-DAC)*. Jan. 2015, S. 544–549. doi: 10.1109/ASPDAC.2015.7059063.
- [Pea84] J. Pearl. *Heuristics: Intelligent search strategies for computer problem solving*. Addison-Wesley, 1984. ISBN: 0-201-05594-5.
- [PJK10] Y. J. Park, P. Jain und S. Krishnan. "New electromigration validation: Via Node Vector Method". In: *Proc. of the 2010 IEEE Int. Reliability Physics Symp. (IRPS)*. Mai 2010, S. 698–704. doi: 10.1109/IRPS.2010.5488746.
- [Pos+14] G. Posser, V. Mishra, P. Jain, R. Reis und S. S. Sapatnekar. "A systematic approach for analyzing and optimizing cell-internal signal electromigration". In: *Proc. of the 2014 IEEE/ACM Int. Conf. on Computer-Aided Design (ICCAD)*. Nov. 2014, S. 486–491. doi: 10.1109/ICCAD.2014.7001395.
- [Pos+15] G. Posser u. a. "Reducing the signal electromigration effects on different logic gates by cell layout optimization". In: *Proc. of the 6th IEEE Latin American Symp. on Circuits Systems (LASCAS)*. Feb. 2015, S. 1–4. doi: 10.1109/LASCAS.2015.7250429.
- [PPR16] L. de Paris, G. Posser und R. Reis. "Electromigration aware circuits by using special signal non-default routing rules". In: *Proc. of the*

- 2016 *IEEE Int. Symp. on Circuits and Systems (ISCAS)*. Mai 2016, S. 2795–2798. doi: 10.1109/ISCAS.2016.7539173.
- [Sar+00] M. Sarychev, Y. Zhitnikov, L. Borucki, C.-L. Liu und T. Makhviladze. “A new, general model for mechanical stress evolution during electromigration”. In: *Thin Solid Films* 365.2 (2000), S. 211–218. doi: 10.1016/S0040-6090(99)01054-8.
- [Sar+99] M. E. Sarychev, Y. V. Zhitnikov, L. Borucki, C.-L. Liu und T. M. Makhviladze. “General model for mechanical stress evolution during electromigration”. In: *Journal of Applied Physics* 86.6 (1999), S. 3068–3075. doi: 10.1063/1.371169.
- [SCC18] F.-K. Sun, H. Chen, C.-Y. Chen, C.-H. Hsu und Y.-W. Chang. “A multithreaded initial detailed routing algorithm considering global routing guides”. In: *Proc. of the Int. Conf. on Computer-Aided Design (ICCAD)*. Nov. 2018, S. 1–7. doi: 10.1145/3240765.3240777.
- [Sha+04] D. Shamiryan, T. Abell, F. Iacopi und K. Maex. “Low-k dielectric materials”. In: *Materials Today* 7.1 (2004), S. 34–39. doi: 10.1016/S1369-7021(04)00053-7.
- [She99] Y.-L. Shen. “Analysis of Joule heating in multilevel interconnects”. In: *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena* 17.5 (Juni 1999), S. 2115–2121. doi: 10.1116/1.590881.
- [Sil11] Silvaco. *PDK 45nm Open Cell Library*. 2011. URL: https://silvaco.com/products/nangate/FreePDK45_Open_Cell_Library/index.html.
- [Sim+13] A. H. Simon u. a. “Electromigration comparison of selective CVD cobalt capping with PVD Ta(N) and CVD cobalt liners on 22nm-groundrule dual-damascene Cu interconnects”. In: *Proc. of the 2013 IEEE Int. Reliability Physics Symp. (IRPS)*. Apr. 2013, S. 1–6. doi: 10.1109/IRPS.2013.6532002.

- [Spe04] C. Spearman. "The proof and measurement of association between two things". In: *The American Journal of Psychology* 15.1 (Jan. 1904), S. 72–101. doi: 10.2307/1412159.
- [Ste+13] P. Stephan, K. Schaber, K. Stephan und F. Mayinger. *Thermodynamik Grundlagen und technische Anwendungen: Einstoffsysteme*. 19. Aufl. Springer Berlin, Heidelberg, 2013. ISBN: 978-3-662-13213-5. doi: 10.1007/978-3-662-13213-5.
- [Sun+16] Z. Sun u. a. "Voltage-based electromigration immortality check for general multi-branch interconnects". In: *Proc. of the 2016 IEEE/ACM Int. Conf. on Computer-Aided Design (ICCAD)*. Nov. 2016, S. 1–7. doi: 10.1145/2966986.2967083.
- [Sun+18] Z. Sun, E. Demircan, M. D. Shroff, C. Cook und S. X. Tan. "Fast electromigration immortality analysis for multisegment copper interconnect wires". In: *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* 37.12 (Dez. 2018), S. 3137–3150. doi: 10.1109/TCAD.2018.2801221.
- [SZ04] V. Sukharev und E. Zschech. "A model for electromigration-induced degradation mechanisms in dual-inlaid copper interconnects: Effect of interface bonding strength". In: *Journal of Applied Physics* 96.11 (Aug. 2004), S. 6337–6343. doi: 10.1063/1.1805188.
- [Tan+05] C. M. Tan, A. Roy, A. V. Vairagar, A. Krishnamoorthy und S. G. Mhaisalkar. "Current crowding effect on copper dual damascene via bottom failure for ULSI applications". In: *IEEE Trans. on Device and Materials Reliability* 5.2 (Juni 2005), S. 198–205. doi: 10.1109/TDMR.2005.846830.
- [Tat18] G. Tate. "The importance of metal stack compatibility for semi IP". In: *Semiconductor Engineering* (Jan. 2018). URL: <https://www.semiengineering.com/the-importance-of-metal-stack-compatibility-for-semi-ip/>.

- [TBL17] M. Thiele, S. Bigalke und J. Lienig. "Exploring the use of the finite element method for electromigration analysis in future physical design". In: *Proc. of the 2017 IFIP/IEEE Int. Conference on Very Large Scale Integration (VLSI-SoC)*. Okt. 2017, S. 1–6. doi: 10.1109/VLSI-SoC.2017.8203466.
- [TBL19] M. Thiele, S. Bigalke und J. Lienig. "Electromigration analysis of VLSI circuits using the finite element method". In: *VLSI-SoC: Opportunities and Challenges Beyond the Internet of Things*. Hrsg. von M. Maniatakos u. a. Int. Federation for Information Processing, Springer Nature Switzerland AG, 2019. doi: 10.1007/978-3-030-15663-3_7.
- [TCH93] J. Tao, N. W. Cheung und C. Hu. "Metal electromigration damage healing under bidirectional current stress". In: *IEEE Electron Device Letters* 14.12 (Dez. 1993), S. 554–556. doi: 10.1109/55.260787.
- [TCH94] J. Tao, N. W. Cheung und C. Hu. "An electromigration failure model for interconnects under pulsed and bidirectional current stressing". In: *IEEE Trans. on Electron Devices* 41.4 (Apr. 1994), S. 539–545. doi: 10.1109/16.278507.
- [TFS17] E. Track, N. Forbes und G. Strawn. "The end of Moore's law". In: *Computing in Science Engineering* 19.2 (März 2017), S. 4–6. doi: 10.1109/MCSE.2017.25.
- [TH13] C. M. Tan und F. He. *Electromigration modeling at circuit layout level*. Springer, Singapore, 2013. ISBN: 978-981-4451-21-5. doi: 10.1007/978-981-4451-21-5.
- [Thi17] M. Thiele. *Elektromigration und deren Berücksichtigung beim zukünftigen Layoutentwurf digitaler Schaltungen*. Düsseldorf: VDI Verlag GmbH, 2017. ISBN: 978-3-18-339509-5.
- [Tho08] C. V. Thompson. "Using line-length effects to optimize circuit-level reliability". In: *Proc. of the 15th Int. Symp. on the Physical and*

- Failure Analysis of Integrated Circuits (IPFA)*. Juli 2008, S. 1–4. doi: 10.1109/IPFA.2008.4588155.
- [Tin+93] L. M. Ting, J. S. May, W. R. Hunter und J. W. McPherson. “AC electromigration characterization and modeling of multilayered interconnects”. In: *Proc. of the 31st Annual Proceedings Reliability Physics*. März 1993, S. 311–316. doi: 10.1109/RELPHY.1993.283282.
- [TL02] M. Thiele und J. Lienig. “Der Feind auf dem Chip - Elektromigration in digitalen Schaltungen”. In: *Elektronik WEKA Fachmedien* (Feb. 2002), S. 32–36. URL: <https://www.elektroniknet.de/elektronik/halbleiter/der-feind-auf-dem-chip-85242.html>.
- [TLG12] C. Tan, W. Li und Z. Gan. “Applications of finite element methods for reliability study of ULSI interconnections”. In: *Microelectronics Reliability* 52 (Aug. 2012). doi: 10.1016/j.microrel.2011.09.015.
- [TLW10] Y. Tian, B. Long und C. Wang. “Finite element analysis of electromigration reliability in copper chip interconnect”. In: *Proc. of the 11th Int. Conf. on Electronic Packaging Technology High Density Packaging (ICEPT-HDP)*. Aug. 2010, S. 1124–1127. doi: 10.1109/ICEPT.2010.5582740.
- [Tu03] K. N. Tu. “Recent advances on electromigration in very-large-scale-integration of interconnects”. In: *Journal of Applied Physics* 94.9 (Juli 2003), S. 5451–5473. doi: 10.1063/1.1611263.
- [TZG04] C. M. Tan, G. Zhang und Z. Gan. “Dynamic study of the physical processes in the intrinsic line electromigration of deep-submicron copper and aluminum interconnects”. In: *IEEE Trans. on Device and Materials Reliability* 4.3 (Sep. 2004), S. 450–456. doi: 10.1109/TDMR.2004.833228.
- [Uek+96] M. Uekubo u. a. “WNx diffusion barriers between Si and Cu”. In: *Thin Solid Films* 286.1 (Sep. 1996), S. 170–175. doi: 10.1016/S0040-6090(96)08553-7.

- [VS81] S. Vaidya und A. Sinha. "Effect of texture and grain structure on electromigration in Al-0.5%Cu thin films". In: *Thin Solid Films* 75.3 (Jan. 1981), S. 253–259. doi: 10.1016/0040-6090(81)90404-1.
- [WDY03] K. Weide-Zaage, D. Dalleau und X. Yu. "Static and dynamic analysis of failure locations and void formation in interconnects due to various migration mechanisms". In: *Materials Science in Semiconductor Processing* 6.1 (Feb. 2003), S. 85–92. doi: 10.1016/S1369-8001(03)00075-1.
- [Wei+08a] F. L. Wei, C. S. Hau-Riege, A. P. Marathe und C. V. Thompson. "Effects of active atomic sinks and reservoirs on the reliability of Cu/low-k interconnects". In: *Journal of Applied Physics* 103.8 (Feb. 2008), S. 1–11. doi: 10.1063/1.2907962.
- [Wei+08b] K. Weide-Zaage, J. Zhao, J. Ciptokusumo und O. Aubel. "Determination of migration effects in Cu-via structures with respect to process-induced stress". In: *Microelectronics Reliability* 48.8 (Aug. 2008), S. 1393–1397. doi: 10.1016/j.microrel.2008.06.028.
- [Yan+10] C.-C. Yang, P. Flaitz, P.-C. Wang, F. Chen und D. Edelstein. "Characterization of selectively deposited cobalt capping layers: Selectivity and electromigration resistance". In: *IEEE Electron Device Letters* 31.7 (Juli 2010), S. 728–730. doi: 10.1109/LED.2010.2048298.
- [YC11] J. Yan und Z. Chen. "Obstacle-aware multiple-source rectilinear Steiner tree with electromigration and IR-drop avoidance". In: *Proc. of the 2011 Design, Automation Test in Europe Conf. (DATE)*. März 2011, S. 1–6. doi: 10.1109/DATE.2011.5763078.
- [ZY13] J. Zhang und H. Yao. "FaSEA: Fast single-trunk detailed router for electromigration avoidance". In: *Proc. of the 2013 Int. Conf. on Communications, Circuits and Systems (ICCCAS)*. Nov. 2013, S. 395–398. doi: 10.1109/ICCCAS.2013.6765260.



Werden Sie Autor im VDI Verlag!

Publizieren Sie in „Fortschritt- Berichte VDI“

Veröffentlichen Sie die Ergebnisse Ihrer interdisziplinären technikorientierten Spitzenforschung in der renommierten Schriftenreihe **Fortschritt-Berichte VDI**. Ihre Dissertationen, Habilitationen und Forschungsberichte sind hier bestens platziert:

- **Kompetente Beratung und editorische Betreuung**
- **Vergabe einer ISBN-Nr.**
- **Verbreitung der Publikation im Buchhandel**
- **Wissenschaftliches Ansehen der Reihe Fortschritt-Berichte VDI**
- **Veröffentlichung mit Nähe zum VDI**
- **Zitierfähigkeit durch Aufnahme in einschlägige Bibliographien**
- **Präsenz in Fach-, Uni- und Landesbibliotheken**
- **Schnelle, einfache und kostengünstige Abwicklung**

PROFITIEREN SIE VON UNSEREM RENOMMEE!

www.vdi-nachrichten.com/autorwerden

VDI verlag

Die Reihen der Fortschritt-Berichte VDI:

- 1 Konstruktionstechnik/Maschinenelemente
 - 2 Fertigungstechnik
 - 3 Verfahrenstechnik
 - 4 Bauingenieurwesen
- 5 Grund- und Werkstoffe/Kunststoffe
 - 6 Energietechnik
 - 7 Strömungstechnik
- 8 Mess-, Steuerungs- und Regelungstechnik
 - 9 Elektronik/Mikro- und Nanotechnik
 - 10 Informatik/Kommunikation
 - 11 Schwingungstechnik
- 12 Verkehrstechnik/Fahrzeugtechnik
 - 13 Fördertechnik/Logistik
- 14 Landtechnik/Lebensmitteltechnik
 - 15 Umwelttechnik
 - 16 Technik und Wirtschaft
- 17 Biotechnik/Medizintechnik
- 18 Mechanik/Bruchmechanik
- 19 Wärmetechnik/Kältetechnik
- 20 Rechnerunterstützte Verfahren (CAD, CAM, CAE CAQ, CIM ...)
 - 21 Elektrotechnik
 - 22 Mensch-Maschine-Systeme
- 23 Technische Gebäudeausrüstung

ISBN 978-3-18-347220-8